



电子元器件

2018.09.26

**评级:** **增持**  
 上次评级: 增持

## 多轮驱动刻蚀市场，大陆厂商崛起可期

### ——半导体刻蚀设备行业深度报告

细分行业评级

半导体 增持


**王聪 (分析师)**  
 021-38676820  
 wangcong@gtjas.com

证书编号 S0880517010002

#### 本报告导读:

受益国内建厂潮及 3D NAND、FinFET 带来芯片结构变化等多种因素，刻蚀设备市场将保持快速成长，国内企业崛起可期。

#### 摘要:

- **投资建议:** 受益于刻蚀设备市场蓬勃发展和进口替代加速，推荐以硅刻蚀为主的北方华创 (002371.SZ)。
- 干法刻蚀是市场主流，硅刻蚀难度最大，反应离子刻蚀是目前业界重点发展方向，原子层刻蚀是未来之星。硅刻蚀作为晶体管层刻蚀，刻蚀选择比达到 150: 1，14nm 下深宽比达到约 30: 1，难度最大。
- 刻蚀设备市场空间巨大。据 Factor Equilibrium 数据，2016 年全球刻蚀设备市场为 78 亿美元；2017-2025 年市场销售额 CAGR 为 6.8%。受益建厂潮，国内产线建设拉动 20 亿美元刻蚀设备需求。根据长江存储和华力微电子产线设备采购情况，国产刻蚀设备占有率不到 20%，国产化率极低。制程不断推进及设计结构日益复杂是推动刻蚀设备市场的核心逻辑。新的制造工艺，如多重图形、基于金属硬掩模的双大马士革工艺、浅沟道刻蚀、高深宽比和高选择比刻蚀等技术不断对刻蚀设备提出挑战。结构上，DRAM 和 Logic/Foundry 小型化、3D NAND 堆叠层数不断增多、FinFET 成为主流等结构创新，使得刻蚀难度和刻蚀步骤不断增加，拉动刻蚀设备需求和发展。
- 海外公司称霸市场，“内部研发+外延并购”打造具有技术优势的平台型企业，解决方案逐步升级。泛林和应用材料在全球刻蚀领域市场份额位列第一名和第三名。两个公司均积极并购业务重复性低的企业，实现技术优势互补和业务拓展，增强产线上不同阶段设备协同性，升级解决方案。国内刻蚀公司服务优势明显，技术紧跟步伐，有望实现弯道超车。国内公司具有地理优势，服务响应快速。北方华创主攻硅刻蚀和金属刻蚀，14nm 制程已进入验证阶段；8 英寸高密度等离子硅刻蚀机已进入中芯国际产线；深硅刻蚀机成功挺进东南亚市场。中微半导体深耕介质刻蚀设备，7nm 制程已实现量产，并成功进入台积电产线；5nm 制程正在研发；电容型介质刻蚀设备已进入全球前三；硅通孔刻蚀设备方面，8 英寸和 12 英寸设备国内市占率超过 50%。
- **风险提示:** 进口替代速度不及预期、国内建厂进程不及预期。

## 目录

1. 去除沉积层，决定最小限度，刻蚀环节举足轻重 .....	3
1.1. 刻蚀、光刻和薄膜沉积同为 IC 制造三个最重要环节 .....	3
1.2. 立足刻蚀重要参数，干法刻蚀大势所趋 .....	4
1.3. 干法刻蚀三足鼎立，硅刻蚀难度最大 .....	6
1.4. 干法刻蚀技术不断演进，ALE 成未来之星 .....	9
2. 受益建厂潮，多重因素共同推动市场需求 .....	13
2.1. 设备投资占比巨大，刻蚀设备是重要一环 .....	13
2.2. 受益建厂潮，国内刻蚀设备需求大，国产化率有待提升 .....	14
2.3. 多种因素共同推动，刻蚀设备需求高企 .....	17
2.3.1. 制造工艺日益复杂提升刻蚀难度，拉动刻蚀需求 .....	17
2.3.2. 新结构推动制造工艺发展，打开刻蚀设备市场 .....	23
3. 海外龙头“自研+并购”优势明显，平台型企业全设备布局 .....	30
3.1. 泛林：持续研发成就刻蚀龙头，积极外延占比不断提升 .....	30
3.2. 应用材料：刻蚀业务快速增长，多样化并购开疆扩土 .....	36
4. 标的推荐：国内厂商奋起直追，推荐关注优质标的 .....	40
4.1. 北方华创（002371.SZ）：深耕硅刻蚀，切入金属掩模刻蚀 .....	41
4.2. 中微半导体（暂未上市）：介质刻蚀龙头，逐渐打入硅通孔刻蚀 .....	48
5. 风险因素 .....	53
5.1. 进口替代速度不及预期 .....	53
5.2. 国内建厂进程不及预期 .....	53

## 1. 去除沉积层，决定最小限度，刻蚀环节举足轻重

### 1.1. 刻蚀、光刻和薄膜沉积同为 IC 制造三个最重要环节

晶圆制造是半导体生产的必要环节，它是指利用二氧化硅作为原材料制作单晶硅硅片的过程。具体来讲，是先利用西门子工艺，将天然硅加工成用来制作芯片的高纯硅，后者又被称为半导体级硅或电子级硅，再利用 CZ 法等技术将半导体级硅的多晶硅块转换成一块大的单晶硅锭。对硅锭进行一系列机械加工、化学处理、表面抛光和质量测量后，可以得到用于下一步晶圆加工的硅片。

表 1: 晶圆制造需要众多步骤

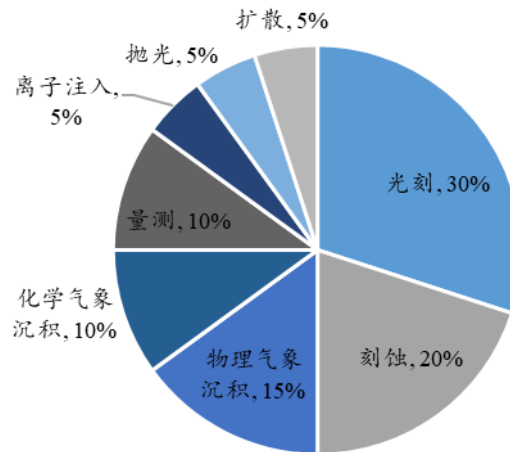
主要生产步骤	工艺细节	所需设备
半导体级硅制作	利用西门子工艺，以含碳的硅石为原料还原出冶金级硅，压碎后与氯化氢反应出三氯化硅气体，再利用氢气还原出半导体级硅	
单晶硅生长	将多晶硅放入坩埚加热熔化后，利用一块具有所需晶向的籽晶接触到熔化的多晶硅表面，以一定速度向上旋转直拉，再进行缩颈、放肩转肩和收尾等步骤，得到单晶硅锭	单晶炉
整形处理	去掉硅锭两端并径向研磨产生精确均匀的直径，方便材料运输，之后研磨出一个定位边标明硅片的晶向和导电类型	
切片	使用带有金刚石切割边缘的内圆切割机或者线锯对硅锭进行切片	内圆切割机、线锯
磨片和倒角	对切片的双面进行机械磨片确保截面的平行及平坦，再进行倒角使硅片边缘周线更加平坦	平磨机，外圆滚磨机
刻蚀	利用化学刻蚀消除硅片表面的损伤和玷污，通常要腐蚀掉表面约 20 微米的硅以保证所有损伤都被消除	刻蚀机
抛光	也称化学机械平坦化，利用抛光垫对硅片的单面或者双面进行抛光	
湿法清洗	利用湿法清洗化学品，去除硅片表面所有玷污，包括颗粒、有机物、金属和自然氧化层等，使硅片达到几乎没有颗粒和玷污的程度	硅片清洗机、烘干机
评估和包装	评估是否达到质量标准，将达标的硅片放入被氮气保护的片架中，之后运输至芯片制造厂	

数据来源：《半导体制造技术》，国泰君安证券研究

在晶圆制造众多环节中薄膜沉积、光刻和刻蚀是三个核心环节。

- 薄膜沉积在 IC 制造中属于必不可少的重要工序，需要经历沉积-刻蚀-沉积的反复过程，以实现大型集成电路的分层结构。薄膜沉积是一系列涉及原子的吸附、吸附原子在表面的扩散及在适当的位置下聚结，以渐渐形成薄膜并成长的过程。
- 光刻是晶圆制造中最复杂、最关键的环节，也是制造过程中耗时最长成本最高的环节。光刻技术指利用光学-化学反应原理，将电路图形传递到晶圆表面，形成有效图形窗口的工艺技术，而光刻机是光刻工序中的曝光工具。
- 刻蚀是晶圆制造的关键步骤，刻蚀技术高低直接决定了芯片制程的大小，并且在成本上仅次于光刻，近年来随着 3D NAND 技术的不断兴起，刻蚀的重要性也愈发上升。刻蚀是半导体器件制造中利用物理化学途径选择性地移除沉积层特定部分的工艺。

图 1：光刻、刻蚀、成膜成本占比最高

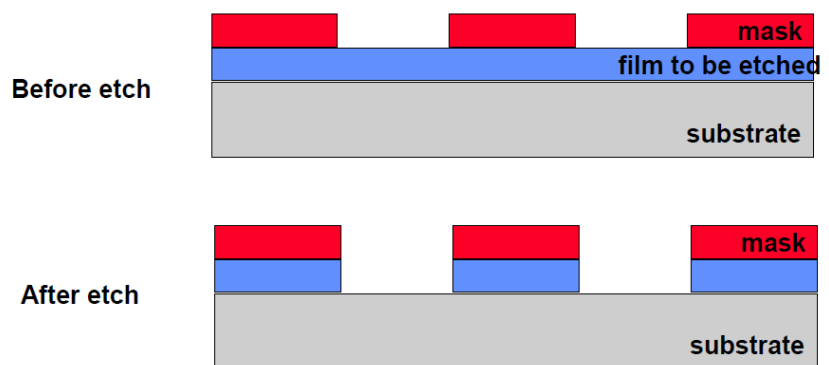


数据来源：Global Foundries，国泰君安证券研究

### 1.2. 立足刻蚀重要参数，干法刻蚀大势所趋

刻蚀是用化学或物理方法对衬底表面或表面覆盖薄膜进行选择性腐蚀或剥离的过程，进而形成光刻定义的电路图形。刻蚀的基本目标是在涂胶的硅片上正确的复制掩模图形。有图形的光刻胶层在刻蚀中不受到腐蚀源显著的侵蚀。这层掩蔽膜用来在刻蚀中保护硅片上的特殊区域而选择性地刻蚀掉未被光刻胶保护的区域。在通常的 CMOS 工艺流程中，刻蚀都是在光刻工艺之后进行的。从这一点来看，刻蚀可以看成在硅片上复制所想要图形的最后主要图形转移工艺步骤。

图 2：刻蚀是去除沉积层形成电路图形的工艺



数据来源：《Etching》

刻蚀分为两种：干法刻蚀和湿法刻蚀。在湿法刻蚀中，液体化学试剂以化学方式（如酸、碱和溶剂等）去除硅片表面的材料。干法刻蚀是把硅片表面暴露于气态中产生的等离子体，等离子体通过光刻胶中开出的窗口，与硅片发生物理或化学反应（或这两种反应），从而去掉暴露的表面材料。湿法刻蚀由于需要大量对人体和环境有害的腐蚀性化学试剂，目前在大规模集成电路制造中，正被干法刻蚀所替代。目前市场主流的刻蚀技术是干法刻蚀，占比高达 90%。

刻蚀主要通过几个参数来表征，其中**刻蚀速率**是指在刻蚀过程中去除硅表面材料的速度，另一个刻蚀速率相关的概念是**选择比**，用来表示同一刻蚀条件下一种材料与另一种材料相比刻蚀速率快多少，高选择比意味着只刻蚀去掉想去除的那一层。**刻蚀剖面**指的是刻蚀图形的侧壁形状，分为两种：各向同性刻蚀剖面以及各向异性刻蚀剖面，各向异性的刻蚀剖面容易形成钻蚀，从而形成**刻蚀偏差**。**刻蚀均匀性**是用来衡量刻蚀工艺均匀性的指标，非均匀性刻蚀会产生额外的过刻蚀，保持硅片的均匀性是保证制造性能一致的关键。而**刻蚀残留物**是指在刻蚀后留在硅片表面不想要的材料，可以在去除光刻胶过程中用湿法刻蚀去掉。

图 3: 各向同性刻蚀剖面有较大刻蚀偏差

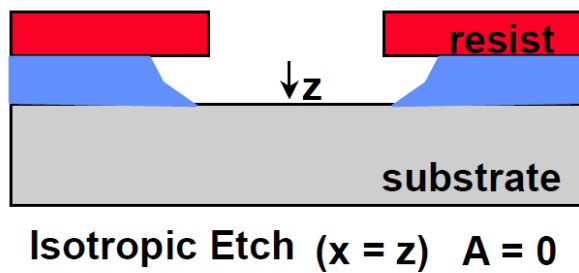
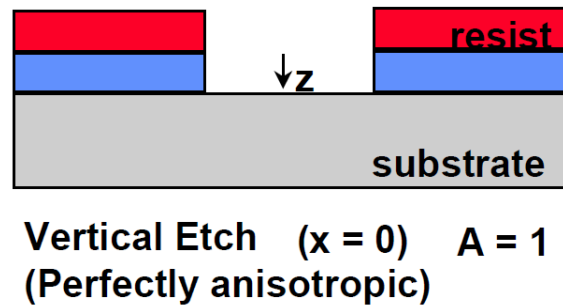


图 4: 各向异性刻蚀剖面有较小刻蚀偏差



数据来源:《Etching》

数据来源:《Etching》

湿法刻蚀本质上是各向同性的，因而湿法刻蚀不能用于亚微米器件中的选择性图形刻蚀。一些干法等离子体系统也能进行各向同性刻蚀。对于亚微米尺寸的图形来说，希望刻蚀剖面是各向异性的，即刻蚀只在垂直于硅片表面的方向进行，只有很少的横向刻蚀。这种垂直的侧壁使得在芯片上可以制作高密度的刻蚀图形。先进集成电路应用上通常需要 88 到 89 度的侧壁。各向异性刻蚀大部分是通过干法等离子体刻蚀来实现的。

干法刻蚀系统中，刻蚀作用是通过化学作用或物理作用，或者是化学和物理的共同作用来实现的，这些不同的刻蚀方法拥有不同的优劣势。其中物理和化学混合作用机理刻蚀能获得好的线宽控制并有不错的选择比，因此被大多数干法刻蚀工艺采用。

表 2: 物理和化学混合作用干法刻蚀具有较多的优点

刻蚀参数	物理刻蚀 (RF 电场垂直于硅片表面)	物理刻蚀 (RF 电场平行于硅片表面)	化学刻蚀	物理和化学刻蚀
刻蚀机理	物理离子溅射	等离子体中的活性基与硅片表面反应	液体中的活性基与硅片表面反应	在干法刻蚀中，刻蚀包括离子溅射和活性元素与硅片表面的反应
侧壁剖面	各向异性	各向同性	各向同性	各向异性至各向同性
选择比	差/难以提高 (1: 1)	一般/好 (5: 1 至 100:1)	高/很高 (高于 500: 1)	一般/高 (5: 1 至 100:1)
刻蚀速率	快	适中	慢	适中
线宽控制	一般/好	差	非常差	好/非常好

数据来源:《半导体制造技术》，国泰君安证券研究

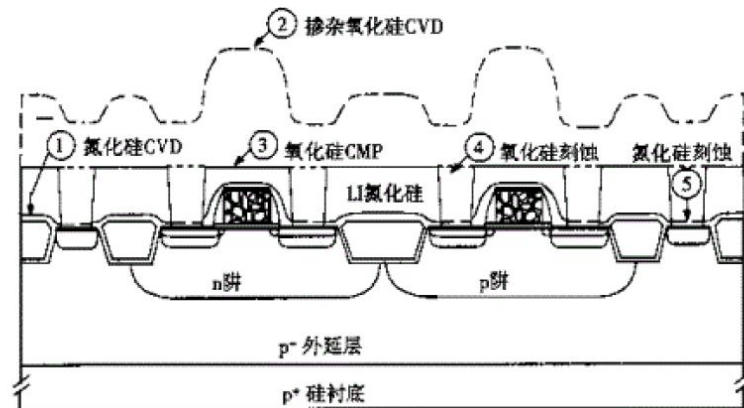


### 1.3. 干法刻蚀三足鼎立，硅刻蚀难度最大

干法刻蚀根据被刻蚀的材料类型来分类，分为三种：金属刻蚀、介质刻蚀和硅刻蚀。

- 介质刻蚀在绝缘材料中雕刻图案以将半导体器件的导电部分分隔开。对于先进的设备，这些结构可能具有较高的深宽比，并且涉及复杂、敏感的材料。与刻蚀参数目标轻微的偏差（即使在原子尺度）也会对器件的质量产生负面影响。介质刻蚀一般要求刻蚀出比较高深宽比的缺口，并且要求下层材料有较高的选择比。

图 5: 介质刻蚀主要用于在绝缘材料中雕刻图案



数据来源：《半导体刻蚀技术》

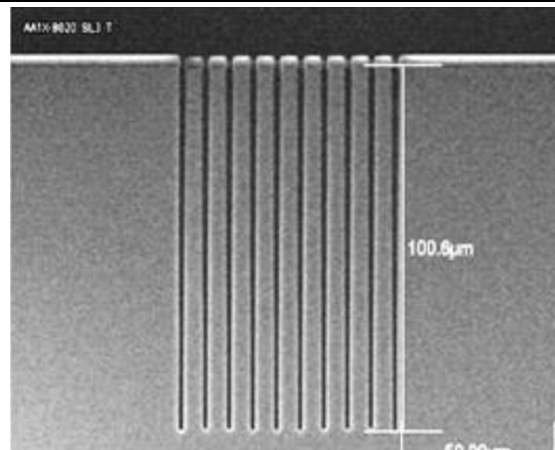
- 硅刻蚀用于需要去除硅的场合，浅沟槽隔离刻蚀(STI)、多晶硅栅极刻蚀(poly gate)是定义半导体器件尺寸的关键工序。由于技术的不断推进，在传统硅刻蚀的基础上发展出了深硅刻蚀，它有别于 VLSI 中的硅刻蚀，因此又称为先进硅刻蚀(ASE) 工艺。它由于采用了感应耦合等离子体(ICP),所以与传统的反应离子刻蚀(RIE)、电子回旋共振(ECR)等刻蚀技术相比，具有更大的各向异性刻蚀速率比和更高的刻蚀速率，且系统结构简单。与此同时，在 VLSI 工艺技术进入深亚微米阶段之后，由于器件尺寸的不断缩小，产生了一系列严重影响器件性能的小尺寸效应，为了克服这些小尺寸效应，有效的器件隔离结构至关重要。基于 LOCOS 的隔离技术已经不适应深亚微米工艺的要求，STI 技术由于所具有的几乎为零的场侵蚀，更好的平坦性和抗锁定性能以及低的结电容，已成为深亚微米工艺的主流隔离技术。STI 良好的隔离性是以集成一系列复杂的单步工艺来获得的，工艺上的难点主要包括沟槽的刻蚀、介质的填充以及 CMP 的平坦化。

表 3: 硅刻蚀步骤包括预刻蚀、主刻蚀、过刻蚀三步

名称	具体内容
预刻蚀	用于去除自然氧化层、硬掩膜和表面污染物
主刻蚀	用于刻蚀多晶硅但不损伤栅氧化层
过刻蚀	用于去除刻蚀残留物和剩余多晶硅

数据来源：《刻蚀技术》，国泰君安证券研究

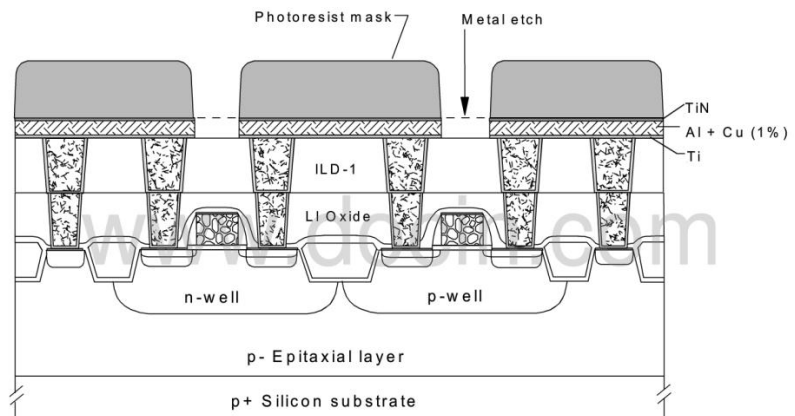
图 6: 硅刻蚀用于需要去除硅の場合



数据来源: 北方华创

- 金属蚀刻工艺在连接形成集成电路 (IC) 的各个部件 (例如, 形成电线和电连接) 中起关键作用。这些工艺还用于钻穿金属硬掩模 (MHM), 金属硬掩模用于对传统掩模太小的特征进行图案化, 从而允许特征尺寸的持续缩小。金属刻蚀主要步骤分为去除氧化层 (自然氧化的铝)、刻蚀其他材料层 (如抗反射层)、主刻蚀 (铝)、去除残留物的过刻蚀、去除光刻胶。

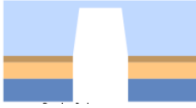
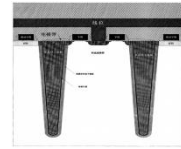
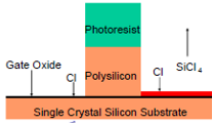
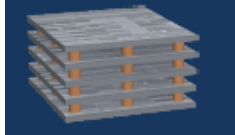
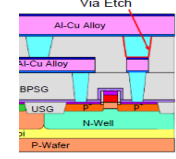
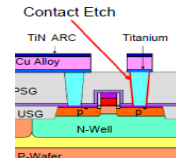
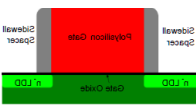
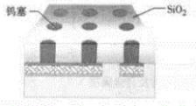
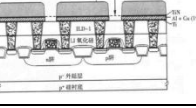
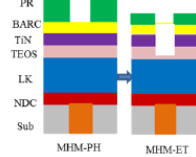
图 7: 金属刻蚀主要用于连接集成电路的各个部件



数据来源: 《刻蚀技术》

硅刻蚀作为晶体管层刻蚀方法, 要求最高, 难度最大。硅刻蚀是对底层晶体管的刻蚀, 其对刻蚀形貌精度要求较高。因此其通常需要具备高选择比、高各向异性、高控制精度。如选择比方面, 对于介质刻蚀, 选择比一般为 20: 1 到 50: 1 左右; 对于金属刻蚀, 选择比则更低; 而对于硅刻蚀, 由于多晶硅栅、浅槽隔离等尺寸极小, 故精度要求极高, 选择比要达到 150: 1 左右。同时小尺寸带来深宽比增大, 硅刻蚀在 14nm 以下的深宽比会达到约 30:1 及以上, 刻蚀难度加大。就制程工艺方面, 对于介质刻蚀和金属刻蚀, 28nm 的刻蚀精度就可以处理 14nm 的集成电路, 而硅刻蚀在 14nm 的集成电路制程下必须要求 14nm 的刻蚀精度。

表 4: 刻蚀步骤按刻蚀材料和形貌分类

按刻蚀材料分类	按刻蚀形貌分类	具体分类	图示	应用场景	难点
槽刻蚀	槽刻蚀	单晶硅浅硅槽刻蚀		用于浅槽隔离	1.速度较快; 2.刻蚀过程时间控制; 3.对光刻胶具有高选择比。
		单晶硅深硅槽刻蚀		形成深槽电容	1.数量多(百万个电容沟槽); 2.要求高。所有硅槽要求一致的光洁度、接近的垂直侧壁、正确的深度和圆滑的沟槽顶角和底角。
硅刻蚀	栅极	多晶硅栅刻蚀		用于制造栅极	1.尺寸小, 难刻蚀; 2.对氧化层的损伤不得超过 1.5 个氧化硅原子层, 要求具有对硅的高选择比。主刻蚀中, 对硅的选择比大于 150: 1; 过刻蚀中对硅的选择比大于 250: 1。
		硅通孔	---		用于 TSV 封装
介质刻蚀	孔刻蚀	通孔		层间金属互连, 如铜互连, 一般用于双大马士革刻蚀	要求对金属 (TiN、W\Al 等) 有高的选择比。
		接触孔		连接器件和金属线	1. 接触孔深度差别很大, 近一倍差别; 2.对硅和金属硅化物有高选择比; 3.增加刻蚀阻挡层。
侧墙	---	---		“侧墙图形转移”(SIT)技术(主要用于多层图案刻蚀)	1.高度各向异性; 2.对氧化物大概为 20: 1 选择比。
平面(无图形刻蚀)	---	---		反刻, 如制作钨塞中钨反刻	防止钨塞产生凹坑。
金属刻蚀	窄线条	---		金属互连线如铝合金刻蚀	1.高刻蚀速率(大于 1000nm/min); 2.对下层具有高选择比: 掩蔽层(大于 4: 1); 层间介质(大于 20: 1)。
沟槽/通孔	---	---		基于金属掩膜的双大马士革工艺	1.刻蚀副产物成分更加复杂, 包括金属副产物、介质膜副产物、以及碳基副产物等; 2.CD控制等难度加大。

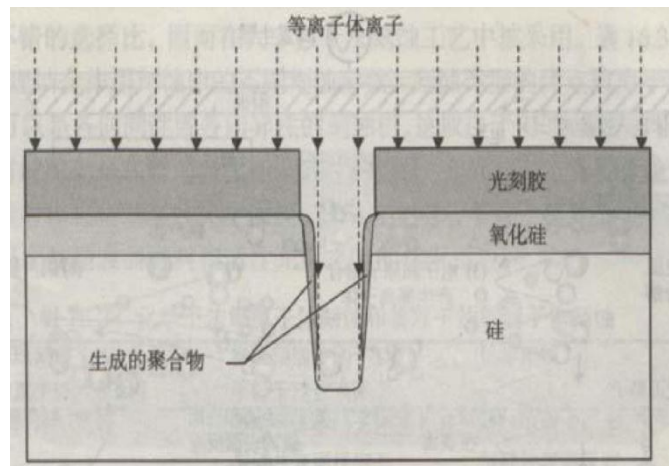
数据来源:《半导体制造刻蚀技术》,《刻蚀工艺》,《DRAM 深沟槽刻蚀》, 维基百科, 百度, Lam Research,《55 nm 金属沟槽通



#### 1.4. 干法刻蚀技术不断演进，ALE 成未来之星

具体到干法刻蚀，运用等离子体的刻蚀是目前主流的刻蚀手段，按照等离子体产生的方式可以分为 ICP、CCP 和 TCP 等。在等离子体刻蚀工艺中，首先是硅晶片上面涂抹一层由碳氢化合物构成的光敏物质，并在光敏物质上盖上具有一定图形规则的金属模版。然后进行紫外曝光，使部分晶片的表面裸露出来。接着再把这种代加工的硅晶片放置到具有化学活性的低温等离子体，进行等离子体刻蚀。这种具有化学活性的等离子体通常是由氯气或碳氟气体放电产生的，它不仅含有电子和离子，还含有大量自由基。这些活性基团沉积到裸露的硅晶片上时，与硅原子相互结合而形成挥发性的氯化硅或氟化硅分子，从而对晶片进行各向异性刻蚀。另一方面，为了控制轰击到晶片上离子的能量分布和角度分布，还通常将晶片放置在一个施加射频或脉冲偏压的电极上面，在晶片的上方将形成一个非电中性的等离子体区，即鞘层。等离子体中的离子在鞘层电场的作用下，轰击到裸露的晶片上面，并与表面的硅原子进行碰撞，使其溅射出来，从而实现对各向异性刻蚀。

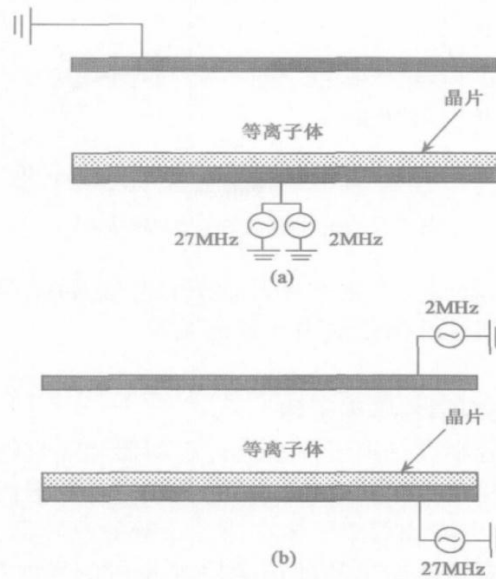
图 8: 等离子体刻蚀主要通过等离子体和被刻蚀物质相互作用进行刻蚀



数据来源：《半导体制造技术》

电容耦合（CCP）等离子体是通过匹配器和隔直电容把射频电压加到两块平行平板电机上进行放电而生成的，两个电极和等离子体构成一个等效电容器。最早用于半导体刻蚀工艺的等离子体就是这种电容耦合射频放电等离子体。不过在早期的等离子体刻蚀工艺中，都是采用单一射频功率原来驱动并维持放电，这种单一 CCP 放电的缺点之一是不能对等离子体密度和轰击到晶片上的粒子能量进行独立控制，为了解决这个矛盾，近几年人们提出了双频（或多频）电源驱动 CCP 放电，其 a 中一个是高频电源，一个是低频电源。原则上讲，采用这种双频驱动放电技术可以实现等离子体参数和离子能量分布的独立控制。前提是高频电源的频率足够高，否则当两个电源频率比较接近时，将会存在很强的非线性相互作用，这将影响等离子体密度的均匀性。这是双频放电等离子体刻蚀工艺中一个急需解决的问题。

图 9: 电容耦合等离子体刻蚀技术示意图

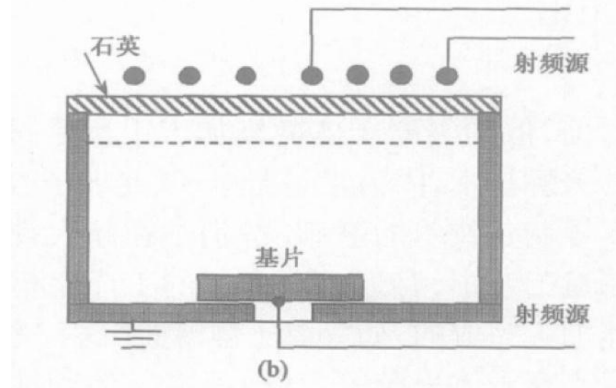
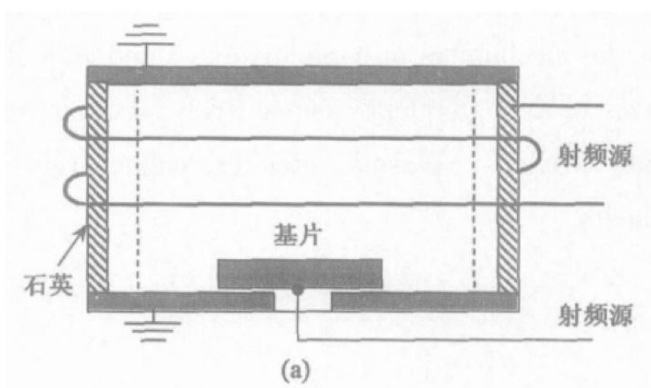


数据来源:《等离子体刻蚀技术》

电感耦合等离子体可以通过电流线圈缠绕充满气体的石英玻璃管进行放电来产生。有两种不同方式的电感耦合放电：一种是把射频线圈缠绕在柱状放电室的侧面，而另一种是把线圈放置在放电室顶部。在 20 世纪 90 年代,人们发现这种电感耦合放电可以在很低的工作气压下进行，而且可以产生高密度的等离子体，特别是不需要引入外磁场来增强这种放电。正是由于这些优点，近年来这种等离子体已经广泛的应用于硅半导体的刻蚀工艺中。电感耦合等离子体具有反常趋肤效应、无碰撞加热、负功率吸收、高次谐波电流等特点。

图 10: 螺旋状线圈电感耦合放电等离子体反应器

图 11: 平面盘绕状电感耦合放电等离子体反应器



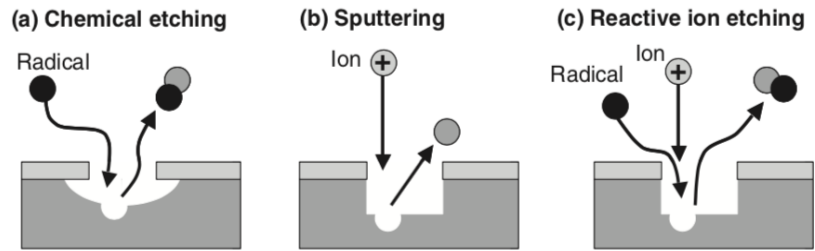
数据来源:《等离子体刻蚀技术》

数据来源:《等离子体刻蚀技术》

运用等离子体的干法刻蚀按照腐蚀原理可以分为等离子体刻蚀（主要是化学反应过程），反应离子刻蚀（物理化学反映过程）(RIE)，离子束铣(Ion Milling)，聚焦离子束刻蚀等(FIB)。其中反应离子刻蚀(RIE)是目前业界重点发展的方向，广泛应用在国外龙头如拉姆研究，东京电子，国内中微半导体和北方华创也采用了反应离子刻蚀。反应离子刻蚀(RIE)是利用高频电场下气体辉光放电产生的离子轰击的物理效应和

活性粒子的化学效应相结合来实现加工目的的一种技术。一般来说具有较高的刻蚀速率，良好的方向性和选择性，能刻蚀精细结构的图形。

图 12: 主流三种运用等离子体进行刻蚀的方案

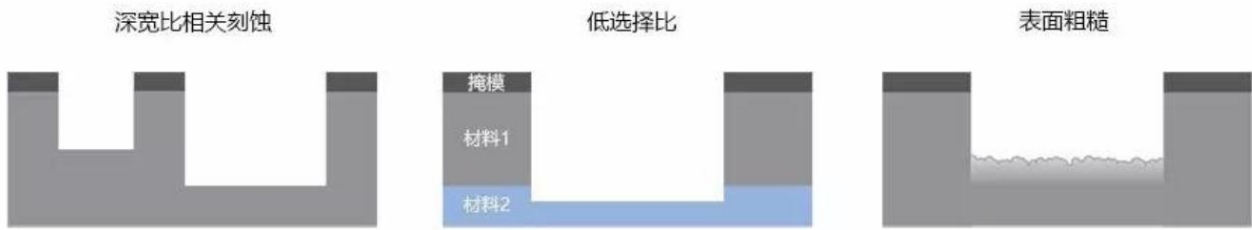


数据来源:《等离子体刻蚀技术》

高刻蚀速度和高均匀性一直是微细加工技术发展的主要内容，随着基片尺寸不断增大，器件结构尺寸不断缩小，这些要求就更为突出。新的等离子体产生方式是近年来干法刻蚀技术发展的重点。电子回旋共振(ECR)技术已得到普遍应用。它是 1984 年前后日本日立公司最早研究的，在较长时间里得不到重视，只在日本发展。直到八十年代末，美英法德的少数公司才开始开发，近年来发展很快。曾有人认为 ECR 技术是今后的发展主流，但没过多久，美国 Lam 公司与 IGM 公司合作发展了线圈耦合等离子体(TCP)技术，最近又出现螺线式、螺线共振式、空心阳极式和共振感应式等新型等离子体结构。这些新开拓的技术共同特点是能够产生高密度等离子体，以提高刻蚀速率和刻蚀均匀性。就目前来看，我国两大刻蚀设备供应商都相继推出了自己的 ICP 刻蚀设备，并且在不断发展更加先进的等离子体产生技术。中微半导体今年推出的 Primo nanova 和北方华创硅刻蚀设备 NMC612D 都采用了 ICP 技术。

摩尔定律的继续发展已经不仅仅指简单的微缩,无论是从 2D 向 3D 转变或是其他方式,产业界始终都有方法让芯片的密度和性能继续提高,而能耗和成本持续降低,反应离子刻蚀虽然快速可靠,但是随着技术的不断演进仍然存在三个挑战。首先,随着结构尺寸的不断缩小,人们需要尽可能降低由各种原因导致的工艺误差。不同尺寸的结构在刻蚀中的速率差异是误差产生的重要原因之一。这种深宽比相关刻蚀(ARDE)会导致高深宽比结构的刻蚀速率要比低深宽比结构的刻蚀速率低。其次,刻蚀工艺需要在去除目标材料的同时,完好保留下一层材料。例如,一个薄膜栈有多层材料组成,我们可能只要去除最上面的那层(材料 1),而同时不能去除或损坏下层(材料 2),这就要求刻蚀工艺具有极高的选择比。第三,当达到期望的深度之后,等离子体中的高能离子可能会导致硅片表面粗糙或底层损伤,这是需要激励避免的问题。对于最先进的芯片,工程师们需要对上述参数进行更严格的控制,以期获得原子级高保真度。

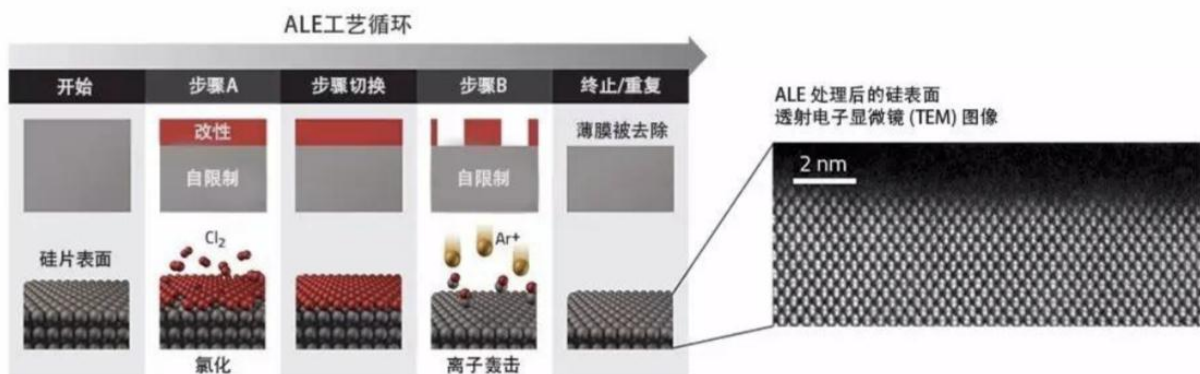
图 13: 反应离子刻蚀面临三个问题



数据来源:《等离子体刻蚀技术》

**原子层刻蚀 (ALE)** 是一种能够精密控制被去除的材料量的先进技术。实现这一技术的一大关键在于将刻蚀工艺分为两个步骤: 改性和去除。首先, 氯气被导入刻蚀腔, 氯气分子吸附与硅材料的表面, 形成一个氯化层, 这样对表面层进行改性处理使其在第二步能够被易于去除。这一改性步骤具有“自限制性”: 表面一旦饱和, 反应立即停止。接着, 清除刻蚀腔内过量的氯气, 并引入氩离子。用氩离子轰击硅片, 从而去除之前反应产生的氯化层, 每次循环只去除薄薄一层材料, 可重复循环直至达到期望的深度。这种去除过程也有自限制性, 因为一旦氯化层被全部去除后, 该过程也将终止。

图 14: ALE 工艺流程是一种能够精密控制被去除的材料量的先进技术



数据来源:《等离子体刻蚀技术》, 国泰君安证券研究所

**ALE 分为两大类, 等离子体 ALE 和高温 ALE, 也有试图结合两种技术的高温等离子体 ALE 技术。**这两类 ALE 技术分别适用于不同类型的刻蚀, 尽管在某些相同过程中它们是一起使用的, 等离子体 ALE 使用高能离子或中性物质从表面上剔除物质的方法来进行刻蚀; 而高温 ALE 应用于特定的高温气相反应。长时间以来, 等离子体 ALE 一直在生产中应用。通常是等离子体 ALE 进行各向异性或定向蚀刻, 相反的, 高温 ALE 执行各向同性或单向蚀刻。混合技术仍然在研发当中, 等离子体 ALE 已经应用于生产中, 而高温 ALE 仍处于早期阶段, 必须在更广泛的材料上进行实验。目前刻蚀设备国际龙头拉姆研究和东京电子相继推出了基于 ALE 技术的刻蚀设备, 而国内企业北方华创也于近日公开了名为《原子层刻蚀装置及采用其的原子层刻蚀方法》发明专利文献, 可见相关研究已经展开, 产品发布指日可待。

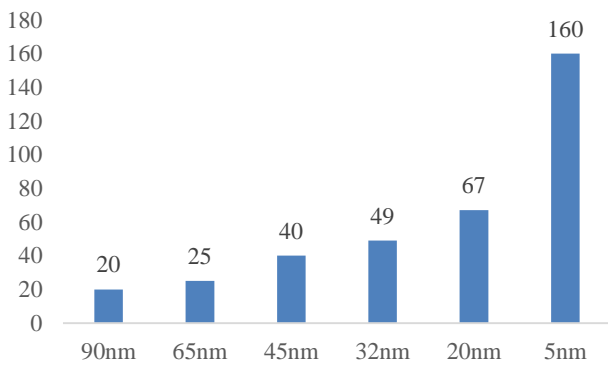


## 2. 受益建厂潮，多重因素共同推动市场需求

### 2.1. 设备投资占比巨大，刻蚀设备是重要一环

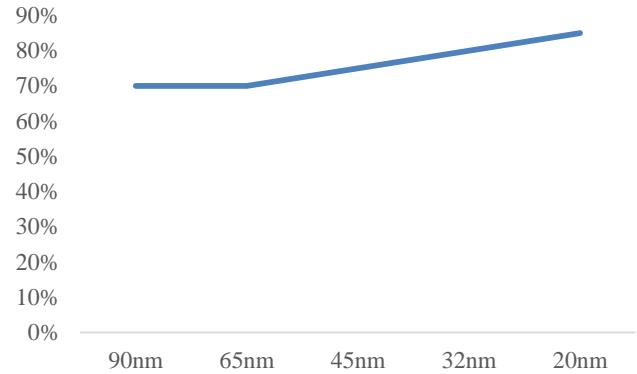
随着半导体制程迈入 10nm 以内，建设晶圆生产线的成本迅速提升，一条 90nm 制程的晶圆生产线的成本是 20 亿美元，20nm 的成本是 67 亿美元而未来 5nm 生产线的成本将高达 160 亿美元，在这快速增加的成本背后，半导体设备是产线投资的主要投入项。半导体设备不仅种类繁多，而且为了在小制程下实现高精度操作，对设备具有极高的技术要求。技术的复杂性导致半导体设备具有极高的技术壁垒，价格昂贵，在 90nm 产线中设备支出占到 70%，在 20nm 制程中占到 85%，从 14 亿美元提高到了 57 亿美元。

图 15: 半导体产线投资不断增多 (亿美元)



数据来源: IC insights, 国泰君安证券研究

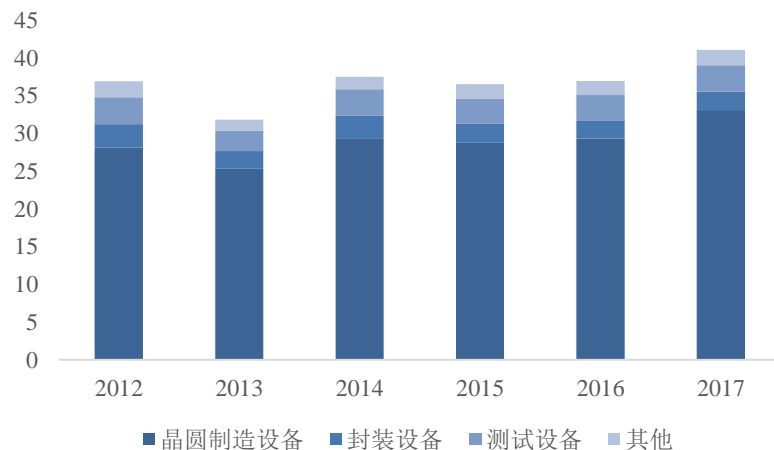
图 16: 半导体设备投资在产线投资占比不断加大



数据来源: GlobalFoundries, 国泰君安证券研究

晶圆制造设备占设备投资比例的 80%，是占比最大的一类半导体设备。2017 年全球半导体设备销售额 410.8 亿美元，其中晶圆制造设备 330.9 亿美元，占比 80.55%，封装设备销售额 24.8 亿美元，占比 6.04%，测试设备 34.6 亿美元，占比 8.42%。过去 10 年间，晶圆制造设备在设备销售额占比基本保持 80% 左右波动。

图 17: 晶圆制造在半导体设备投资中占 80% 左右 (十亿美元)

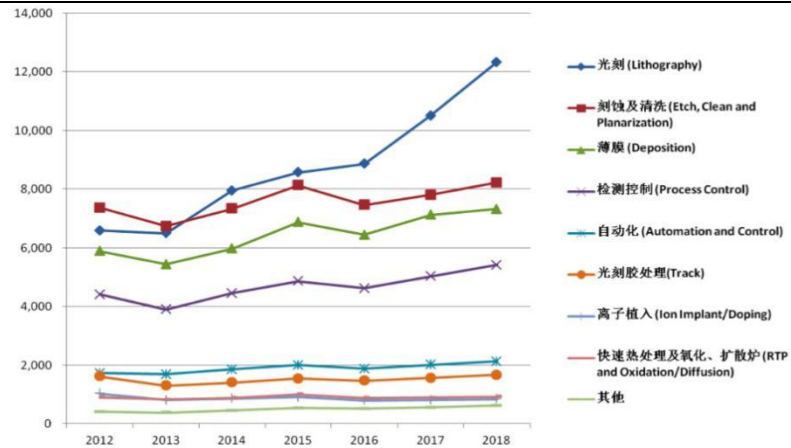


数据来源: Wind, 国泰君安证券研究



晶圆制造设备巨大的价值又以光刻机、刻蚀机以及薄膜沉积设备为主，这三种设备合计能占到设备投资额的 50%-70%左右。一条晶圆生产线根据产能只需要几台光刻机，但是由于光刻机极高的单价（单台价格高达上亿美元），仍在设备投资中占据最大的价值量。相对而言刻蚀机和薄膜沉积设备单台价格稍低，为 200 万-500 万美元之间，但是由于一个产线需要这两类设备的数量较多，因此价值量占比仅次于光刻机，分别排名 2、3 位。

图 18: 三种主要设备占绝大部分晶圆制造设备投资额

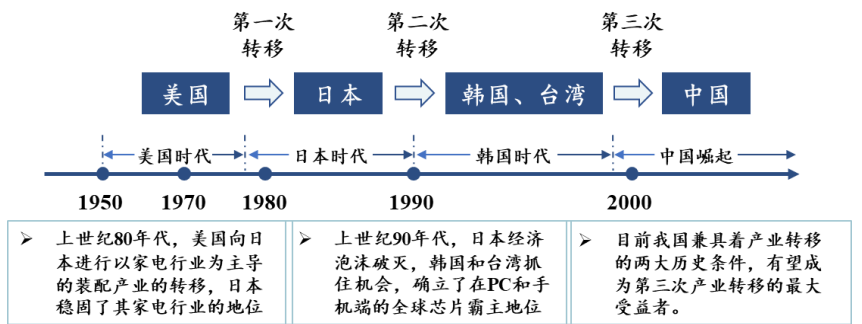


数据来源: IC Insight

## 2.2. 受益建厂潮，国内刻蚀设备需求大，国产化率有待提升

从过往产业转移过程来看，半导体全球级霸主的产生往往伴随着新应用新市场的快速崛起和国家财政的大力支持。目前我国半导体产业正处于新一代智能手机、物联网、人工智能、5G 等行业崛起的过程中，应用市场需求庞大；同时政府以多项文件、专项计划大力支持，又通过大基金进行资本投入，使得我国兼具着产业转移的两大历史条件，有望成为第三次产业转移的最大受益者。

图 19 第三次产业转移将会加速中国半导体崛起

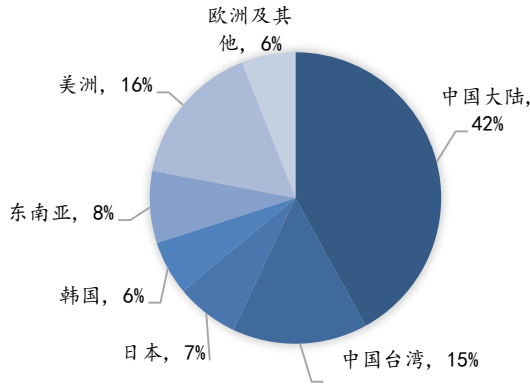


数据来源: 国泰君安证券研究

伴随着第三次产业转移，近年来，大陆半导体产业迎来大规模建厂潮，根据 SEMI 数据，过去两年间全球新建 17 座 12 寸晶圆制造厂，其中 10 座位于中国大陆；17 年到 2020 年，预计全球新增半导体生产线 62 条，其中 26 条位于中国大陆，占比达 42%。而伴随着国内产业投资量的迅猛增长，相关厂商的设备需求也大大增加。自“十二五”以来，中国设备

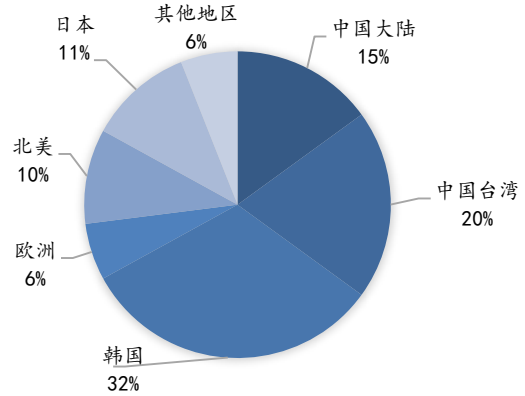
市场销售额自12年起保持着26.9%的复合年增长，与之相对全球销售额增速仅为8.9%。其中的清洗设备市场也由中国市场主导，为国内半导体设备生产厂商提供了广阔的市场空间和机遇。

图 20: 2017-2020 年全球新增生产线中国占比最大



资料来源: SEMI, 国泰君安证券研究

图 21: 2017 年不同国家(地区)半导体设备销售额分



资料来源: SEMI, 国泰君安证券研究

接下来对于国内刻蚀机市场规模进行一个测算，首先统计正在兴建的产线情况。除了已经量产的9条12英寸产线外，从2014下半年至2017上半年，中国大陆正在兴建或宣布计划兴建的12英寸晶圆生产线共有23条(包括扩产升级的产线)，大大超越了已有数量，这在史上也是绝无仅有的集建设时期。

表 5: 国内建厂计划带来156万片/月的晶圆产能

性质	类别	公司	地点	应用	制程	月产能(万片)	开工时间	总投资额
内资	代工	粤芯半导体	广州	-	-	3	2017年12月	70亿元
		中芯国际	上海	Logic	14nm	7	约2018年	102.4亿美元
		中芯国际	深圳	IoT	65/55nm	4	2017年	106亿元
		华力微	上海	Logic	28/20/14nm	4	2016年12月	387亿元
		华虹	无锡	-	90/65nm	4	2017年8月	25亿美元
		士兰微	杭州	MEMS	90nm	8	2017年12月	70亿元
		士兰微	厦门	MEMS	90/65nm	8	2017年3月	170亿元
		紫光集团	成都	-	-	-	-	160亿美元
		中芯国际	北京	-	40/28nm	7	-	待定
		中芯国际	天津	CMOS	180/90nm	5	-	待定
存储	存储	紫光集团	南京	DRAM	-	10	2017年2月	300亿美元
		长江存储	武汉	3D NAND	-	20	2016年3月	240亿美元
		合肥长鑫	合肥	DRAM	2Xnm	12.5	2017年5月	72亿美元
代工	晶合	合肥	面板驱动	150/110/90nm	4	2015年10月	128.1亿元	
合资	存储	联电/晋华	泉州	DRAM	32nm	6	2016年7月	370亿元
		德科玛	淮安	CIS	65nm	1	2016年3月	150亿元
其他	其他	万国半导体	重庆	功率半导体	-	5	2016年3月	10亿美元
		台积电	南京	Logic	16nm/14nm	2	2016年7月	30亿美元

	格罗方德	成都	Logic, PMIC	22nm	10.5	2017年2月	超过100亿美元
	联电	厦门	CMOS	55/40/28nm	5	2015年10月	62亿美元
	英特尔	大连	3D NAND	-	3	2015年10月	55亿美元
存储	SK 海力士	无锡	NAND Flash	45/25 nm	20	2018年底	86亿美元
	三星	西安	3D-NAND	-	8	2018年3月	70亿美元
<b>合计</b>					<b>156</b>		

数据来源：各公司公告、搜狐科技、与非网，国泰君安证券研究

**受益建厂潮，国内产线建设拉动 20 亿美元刻蚀设备需求。**分别用两种方法估计刻蚀设备的市场规模：

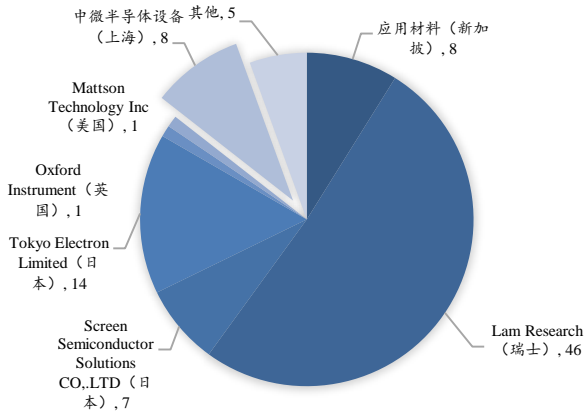
(1) 根据之前的估计，对于不同制程，设备投资占产线投资比例不同：70%—90/65nm、75%—45nm、80%—32nm、85%—20nm，并且假设刻蚀设备占设备投资的 15%，那么根据之前的数据可以得到国内在建产线所需刻蚀设备的市场规模大约为 128.48 亿美元。

(2) 另一种方法是根据产线来估计规模，假设一条典型生产线的产能是 3.5 万，根据目前的市场情况假设一条产线需要介质刻蚀机 20 台、硅刻蚀机 15 台、金属刻蚀机 10 台，硅刻蚀机和介质刻蚀机价格都是 400 万美元，金属刻蚀机一台单价 700 万美元，那么一条典型的生产线的刻蚀设备价值是 1.175 亿美元，根据在建产能计算共有 93.6 亿美元。

对两种方法设置权重，对第一种方法设置 70% 的权重，对第二种设置 30% 的权重，加权平均之后可以得到现有在建计划预计拉动 118.16 亿美元的市场需求，按照国内现在国产化率 11.41%，对未来进行测算，假设未来国产化率会随着国内设备企业的不断成长而不断提高，平均可以达到 17% 的水平，那么在建生产工厂预计会提供给国内刻蚀设备厂商 20.08 亿美元的设备需求。

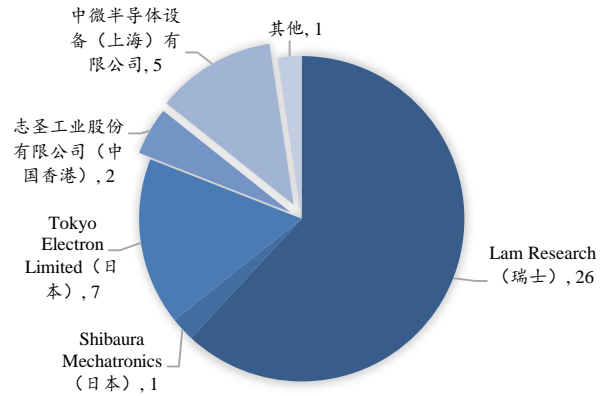
**刻蚀设备国产化率极低，潜在空间巨大。**根据中国国际招标网，自 2017 年 6 月到 2018 年 8 月，长江存储产线共采购 90 台刻蚀设备。其中国产设备仅有 8 台，均来自中微半导体，占比仅为 9%。另一家代工产线巨头华力微电子，自 2016 年底到 2018 年 8 月，其 Fab6 产线共采购 42 台刻蚀设备，其中国产设备有 7 台，分别为来自中微半导体的 5 台和来自志圣工业股份的 2 台，占比为 17%。两家公司刻蚀设备供应商中，Lam Research 均占比最大，分别为 51% 和 62%。长江存储和华力微电子分别是大陆存储产线和代工产线的领先企业，其产线刻蚀设备供应商分布表明在刻蚀领域国产设备占有率依然较低，未来国产设备市场份额相对于国内刻蚀市场需求具有较大成长空间。

图 22: 长江存储产线国产设备占比仅为 9%



资料来源: 中国国际招标网, 国泰君安证券研究

图 23: 华力微电子 Fab6 产线国产设备占比仅为 17%



资料来源: 中国国际招标网, 国泰君安证券研究

### 2.3. 多种因素共同推动, 刻蚀设备需求高企

刻蚀设备市场体量巨大、增速可观。据 Factor Equilibrium 预测, 2016 年全球刻蚀设备市场规模为 78 亿美元, 2017-2025 年市场销售额年复合增长率为 6.8%, 销售量年复合增长率为 8.5%, 而 Gartner 则预计 2017-2019 年刻蚀设备全球销售额年复合增长率为 6.7%。未来受益于芯片制造工艺制程不断微缩、新结构和新材料的不断涌现, 刻蚀设备增量可期。

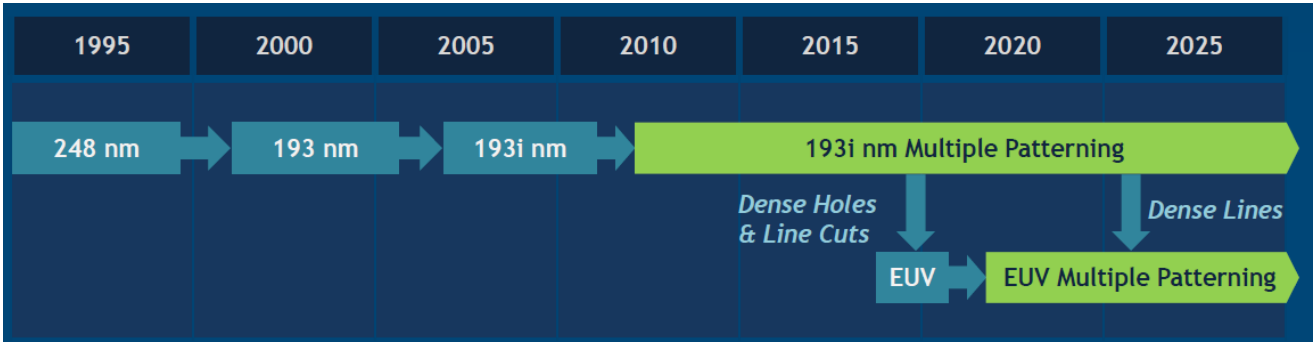
#### 2.3.1. 制造工艺日益复杂提升刻蚀难度, 拉动刻蚀需求

随着制程不断推进和设计结构的革新, 芯片制造工艺不断发展, 一方面刻蚀难度的加大, 推动了刻蚀设备的迭代; 另一方面刻蚀步骤增加, 拉动了刻蚀设备的需求量。在刻蚀设备的下游市场中, 对刻蚀设备产生拉动作用的制造工艺主要有: (1) Multiple Patterning 技术。其中, (litho-etch)<sub>n</sub> 技术: 增加了刻蚀次数; Self-aligned Multiple Patterning (SAMP): 增大了刻蚀的难度和次数。(2) 基于金属硬掩模的双大马士革工艺: 增大了刻蚀难度, 推动了新一代金属刻蚀设备的发展, 同时推动了介质刻蚀设备的需求。(3) 浅层沟道刻蚀技术 (STI), 增大了刻蚀难度。(4) 高深宽比刻蚀 (High-aspect ratio, 即 HAR) 和高选择比刻蚀 (Highly selective etch): 增大了刻蚀难度。

##### (1) Multiple Patterning 技术

Multiple Patterning 技术广泛应用于 10nm 制程时代, 主要可分为 Pitch Split 技术和 SAMP 技术。集成电路微缩化不断发展, 芯片制程不断提升, “光刻一刻蚀”的精密程度决定着集成电路的工艺节点。随着制程进入 10nm 级别, 单步“光刻一刻蚀”已无法满足需求, Multiple Patterning 技术可以提高图形密度, 目前广泛应用于工业。Multiple Patterning 技术主要可分为 Pitch Split 技术和 SAMP 技术。

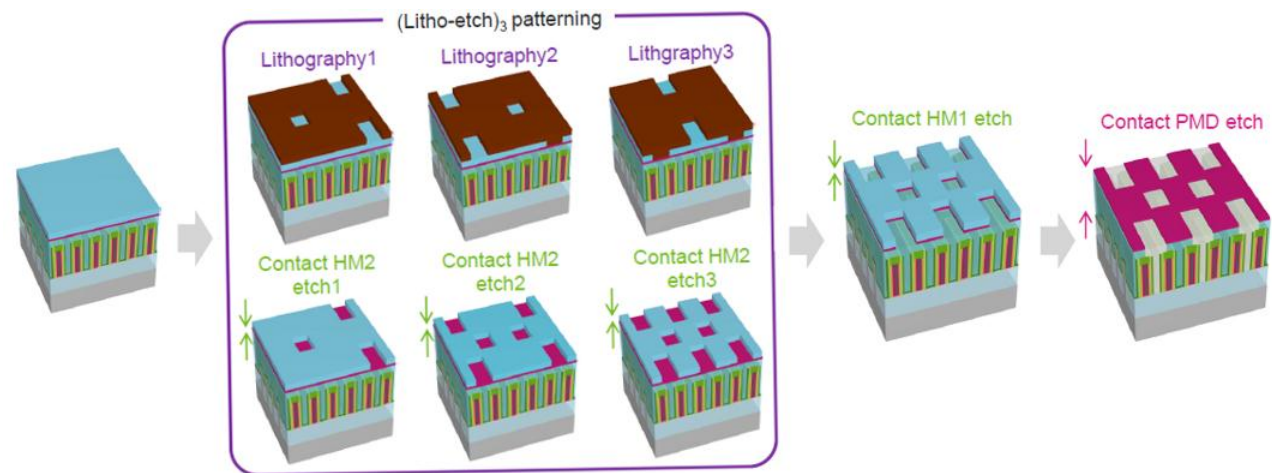
图 24: Multiple Patterning 技术是目前的主流技术



数据来源: Lam Research

**Pitch Split 技术, 增加了刻蚀次数, 拉动刻蚀设备的需求。** Pitch Split 技术, 是指将要转移的图形分离为两个或三个部分, 每个部分按照通常的“光刻-刻蚀”方法进行制作, 最后合并形成最终的图层, 即(litho-etch)n 技术。近年来, LELE 和 LELELE 已广泛用于 20nm、14nm 工艺制程。如三星于 2016 年采用 LELELE 制造 10nmFinFET, 于 2018 年采用四重 LELELELE 制造 8nmLPP 芯片。据传 Intel 将采用五重甚至六重图形技术开发 10nm 工艺。一个 LELELE 工艺至少需要 4 次刻蚀, 随着 n 的增加, (litho-etch)n 技术无疑需要更多的刻蚀次数, 拉动了刻蚀设备的需求。

图 25: LELELE 技术至少需经过 4 次刻蚀



数据来源: TEL

表 6: Pitch Split 技术广泛应用

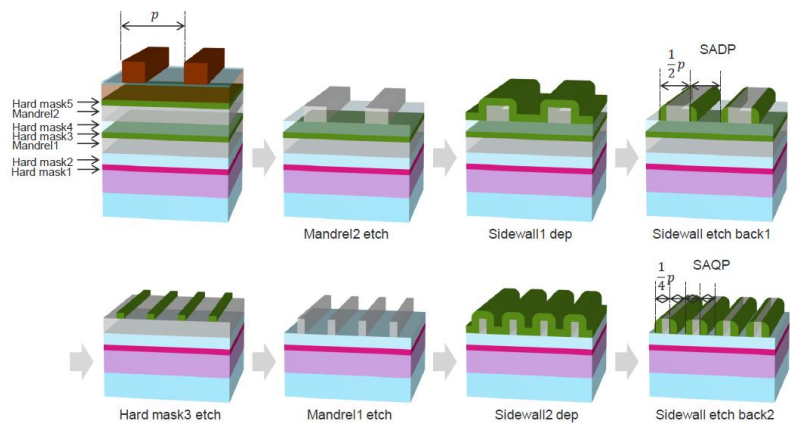
Company	Logic Process	Minimum Metal Pitch (MMP)	Contacted Gate Pitch (CGP)	Fin Pitch	Patterning Technique	Production Start
TSMC	16FF	64 nm	90 nm	48 nm	LELE	2015
Samsung	14LP*	64 nm	78 nm	48 nm	LELE	2015
Samsung	10LPE	48 nm	64 nm		LELELE	end of 2016
Samsung	8LPP	44 nm	64 nm		LELELELE	end of 2018

数据来源: 维基百科, 国泰君安证券研究所



**Self-aligned Multiple Patterning (SAMP)** 是目前 10nm 级制程领域极具竞争力的方案。(litho-etch)<sub>n</sub> 技术具有两个问题，一是随着重复次数的增加成本几乎同比例增加；二是图形分离到独立的步骤制作，不同掩模位置准确度误差难以控制。SAMP 技术，是指通过将预图形两边淀积而产生的物质形成侧壁，采用侧壁图像转移技术实现图形转移。由于预图案存在两个侧壁，故操作后会使得图形特征密度增大，完成了小尺寸图形制作。该技术通常用于 line/space 的形成。其中，SADP (Self-aligned Double Patterning) 可将图形密度增大为 2 倍，SAQP (Self-aligned Quadruple Patterning) 可将密度增大为 4 倍。SAMP 可简单看为 SADP 的重复，随着重复次数的增加，图形特征密度增大。该过程只需要一次光刻，即对形成预图形，一方面不存在多次光刻带来的掩模位置误差；另一方面成本上，几乎不随重复次数的增加而增加，具有极大优势。目前该技术被广泛应用。如台积电 2017 年采用 SADP 技术开发 10nmFFx 芯片；Intel 于 2018 年采用 SAQP 技术开发 10nmFinFET。

图 26: SAMP 技术增加了刻蚀次数和难度



数据来源: TEL

表 7: SAMP 技术应用举例

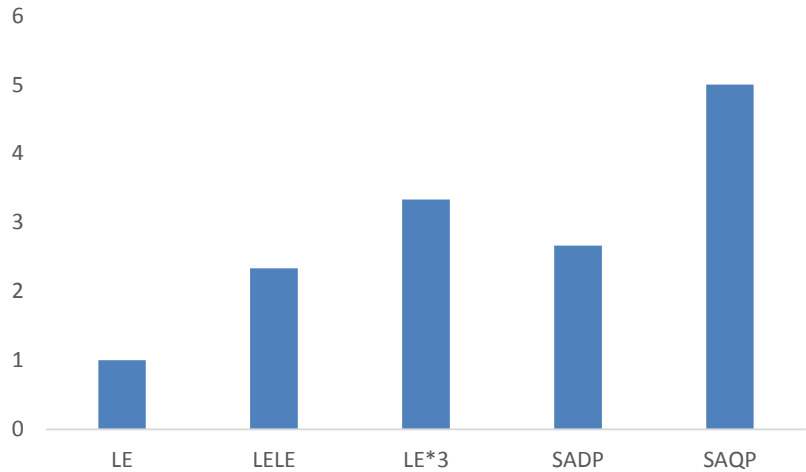
Company	Logic Process	Minimum Metal Pitch (MMP)	Contacted Gate Pitch (CGP)	Fin Pitch	MMP Patterning Technique	Production Start
Intel	14nm	52 nm	70 nm	42 nm	SADP	2014
Intel	10nm	36 nm	54 nm	34 nm	SAQP	end of 2018
TSMC	10FF	42 nm	64 nm	36 nm	SADP	2017
TSMC	7FF	40 nm	57 nm		SADP	early 2017
GlobalFoundries	7LP	40 nm	56 nm	30 nm	SADP	2018

数据来源: 维基百科, 国泰君安证券研究所

**SAMP 技术增加了刻蚀次数和刻蚀难度，推动了刻蚀设备的发展。**一方面，由于 SAMP 过程涉及多层掩模的刻蚀，因此需要匹配多次刻蚀，增加了刻蚀次数。另一方面，该技术的主要难度在于：(1) 选择比问题：重复次数增加的 SAMP 技术会需要更多层侧墙和掩模，使得刻蚀的工艺越加复杂，对于不同层如形成预图形的物质、间隔物、下层材料等，刻蚀选择比也具有更高的要求，从而保证图形转移的准确性。(2) 侧墙形

貌的控制：侧墙形貌是图形转移的关键掩模，刻蚀难度也随侧墙层数的增多而增多。一般采用各向异性刻蚀法获得侧墙，后美国曾申请专利采用侧向同性刻蚀法以获得更理想的侧墙形貌，同时也对刻蚀工艺提出了更高的要求。因此 SAMP 技术使得刻蚀步骤增多且难度加大，拉动了刻蚀设备的更新换代。

图 27: Multiple Patterning 各方法复杂度-Dep/Etch/Clean 步骤(标准化)

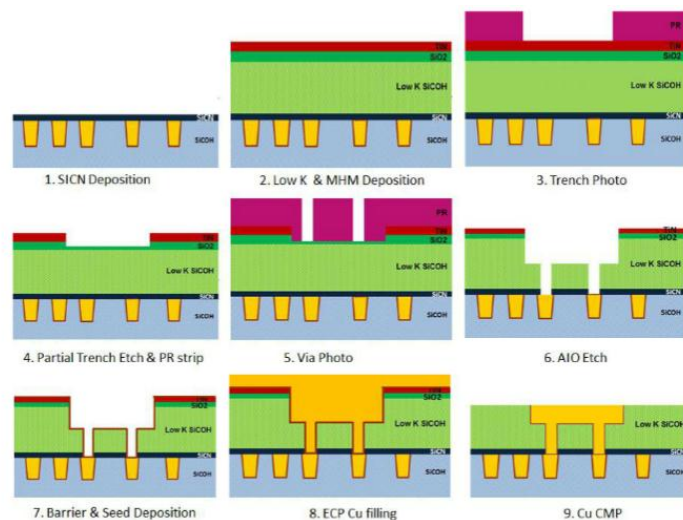


数据来源：Lam Research，国泰君安证券研究所

### (2) 基于金属硬掩模的双大马士革工艺

“双大马士革工艺”的用途是制造高密度的金属互连线。基于集成电路制程不断提升，金属连线密度不断增大，由此带来的电阻和寄生电容不可忽视，推动集成电路制造从金属铝互连发展为由镶嵌工艺实现的金属铜互连，同时低k值材料代替了二氧化硅成为金属层间的绝缘介质。这就是“双大马士革工艺”。其一般步骤为：先挖出柱状通孔，接着在金属层间的绝缘层中挖沟槽，然后在孔和槽中同时填入铜，再通过化学机械抛光工艺将铜磨平，形成金属互连线。

图 28: 基于金属硬掩模的双大马士革一体化刻蚀工艺流程

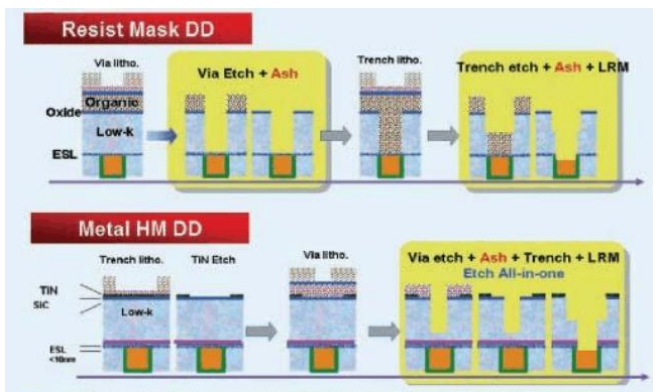


数据来源：百度

基于金属硬质掩模一体化刻蚀的双大马士革工艺最为先进，其增大了刻蚀难度，拉动了金属刻蚀设备的发展。低k值介质材料通常具有多孔性，其形成的薄膜较软，易被高能量攻击，其外形轮廓在刻蚀时非常容易受到损伤；同时随着器件尺寸的不断缩小，沟槽的深宽比越来越大，对硬掩膜材料提出了更高的要求。传统的双大马士革工艺所采用的氮化硅或氧化层掩膜，已经无法满足在沟槽刻蚀的同时保护沟槽之间低k介质的要求，为了消除这一问题，引入了TiN金属硬掩膜双大马士革工艺。基于金属硬掩膜一体化刻蚀对刻蚀工艺提出了挑战。难点主要有两个：（1）当开掩模时，CD会出现收缩现象，如何对聚合物进行控制；（2）通孔刻蚀中，如何精准控制CD，对准通孔。当今的先进微芯片技术能够将20千米长的铜线装入100平方毫米的狭小空间内，将其堆叠成10层，在层与层之间有多达100亿个通孔或垂直互连。基于金属硬掩膜的双大马士革工艺的更新，会不断推动金属刻蚀设备的发展。

图 29: 光刻胶硬掩模和金属硬掩模的双大马士革工艺

图 30: 北方华创 28-14nm 氮化钛金属硬掩膜刻蚀设备



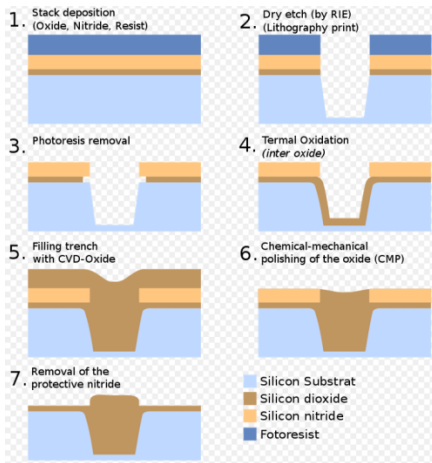
资料来源：百度

资料来源：北方华创官网

### （3）浅槽隔离技术(Shallow Trench Isolation; STI)

浅槽隔离（STI）技术广泛用于有源区域之间的绝缘结构的制作，其比LOCOS工艺拥有较佳的隔离特性。STI结构的形成通常是先在半导体基底上沉积一层氮化硅层，然后图案化此氮化硅层形成硬掩膜，再蚀刻基底，在相邻的元件之间形成陡峭的沟渠；最后，在沟渠中填入氧化物形成元件隔离结构。

图 31: STI 制造工艺流程



资料来源：百度

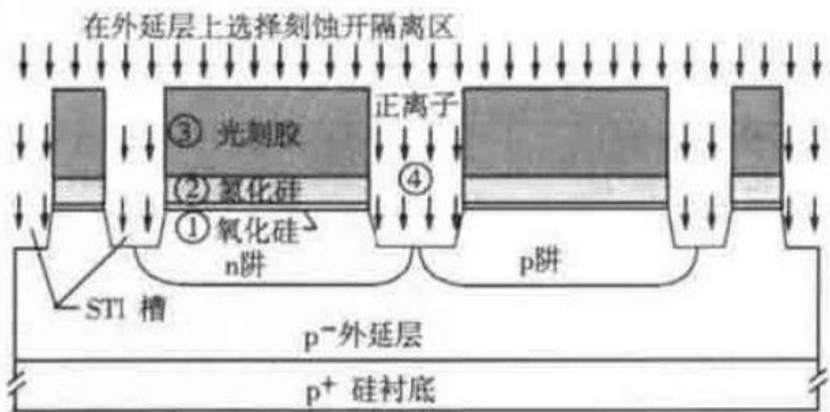
图 32 北方华创硅刻蚀设备采用 STI 技术



资料来源：北方华创官网

STI 技术增大了刻蚀的难度，推动了刻蚀设备的发展。STI 结构对沟槽形状要求较高。该结构下理想的沟槽形状为正梯形，倾斜度范围为 75-89 度。倾斜的侧壁及圆滑的底面有助于提高后续填充的质量和隔离结构的电学特性。然而由于等离子体破坏，刻蚀过程可产生大量的蚀刻缺陷，且具有尖锐角落的陡峭沟渠也会导致角落寄生漏电流，导致降低 STI 的隔离特性。刻蚀过程对沟槽形状的控制是 STI 技术的关键一步，其对刻蚀工艺提出了较高要求，推动了硅刻蚀设备的发展。

图 33: STI 技术对沟槽刻蚀形状要求较高



数据来源：百度

#### (4) 高深宽比刻蚀和高选择比刻蚀

随着集成电路制程的缩小，制造工艺日益复杂，高深宽比、高选择比、高均一性刻蚀日益重要。由于制程的缩小，在深度不变的情况的宽度愈来愈小，导致了更高的深宽比。高深宽比结构（HAR）的刻蚀工艺极易产生侧向弯曲、顶部 CD 和底部 CD 的变化、颈缩、倾斜及图形扭曲等问题。因此其刻蚀过程包含多个刻蚀步骤来满足剖面形貌、CD、刻蚀选择比、均匀度及工艺重复性要求，刻蚀难度加大，推动了刻蚀设备的更新换代。



图 34: 高深宽比结构刻蚀问题

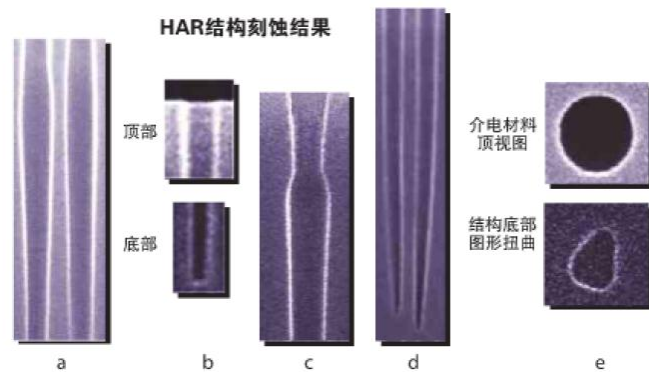
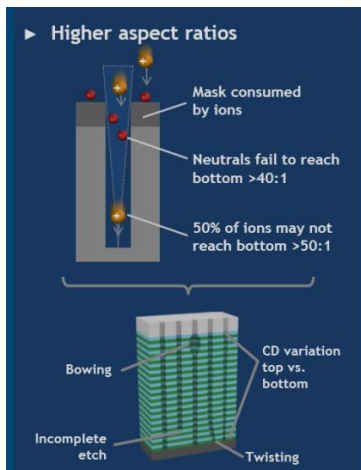


图3. HAR刻蚀工艺中产生的缺陷类型举例：侧向弯曲（a），顶部CD和底部CD的变化（b），颈缩（c），倾斜（d）以及图形扭曲（e）。

数据来源：《先进 DRAM 驱动高深宽比刻蚀的发展》

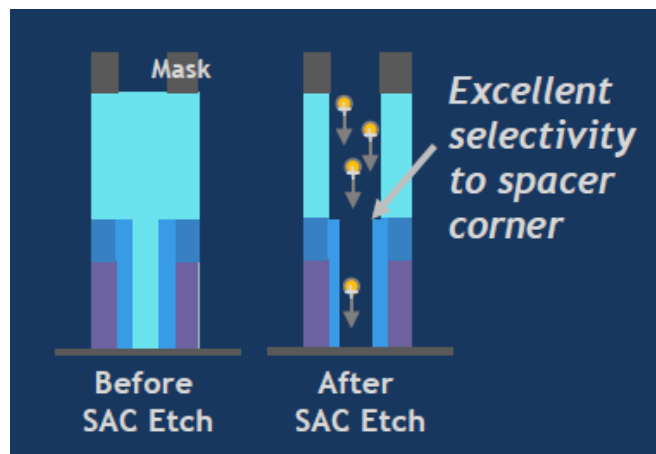
随着制造工艺日益复杂，刻蚀对象种类增多，高选择比刻蚀日益重要。如 HAR 结构刻蚀中，就涉及到硬掩模材料、绝缘材料、刻蚀阻挡层、图形层材料、导电层材料等。其中掩模和刻蚀阻挡层的刻蚀选择比即为开发 HAR 结构刻蚀工艺的关键考量因素。掩模的刻蚀选择比会对顶部 CD 的控制及侧壁条纹的性能产生影响；刻蚀阻挡层的刻蚀选择比对于减轻刻蚀深度以及负载效应所产生的非均匀性至关重要。低刻蚀选择比会导致对下层材料的过刻蚀，造成短路、短路、较高的漏电率和良率损失。高选择比要求日益提高，也极大推动了原子层刻蚀技术的发展。

图 35: 高深宽比等离子体难以达到底层



资料来源：Lam Research

图 36: 多层刻蚀对象需要高选择比



资料来源：Lam Research

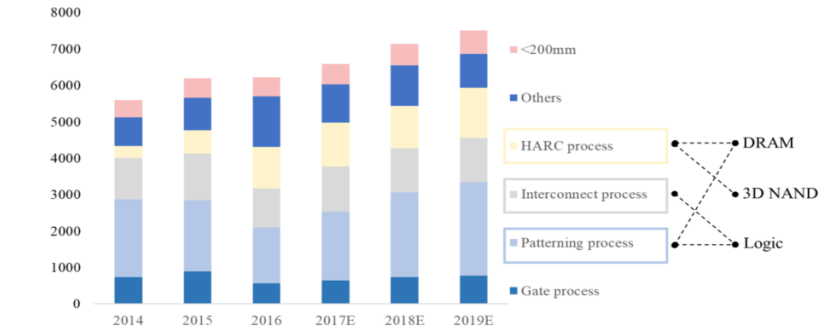
### 2.3.2. 新结构推动制造工艺发展，打开刻蚀设备市场

电子行业历来有着从下游看上游的逻辑，上下游联动效应显著。刻蚀设备下游应用领域主要包括逻辑、存储、MEMS、功率器件、RFID、CMOS 图像传感器等，其中逻辑和存储应用市场占比最高(约 65%)且仍呈现上升趋势。制程的不断推进以及设计结构的日益复杂是推动刻蚀设备发展的核心逻辑。DRAM 小型化，增加多重图案刻蚀重复次数、HARC(High Aspect Ratio Contact)刻蚀需求；3D NAND 堆叠层数不断增多，带动



HARC 市场增长; Logic/Foundry 小型化, 同时其结构日益复杂, 增加多重图案重复次数和互连过程。下游的强劲增长, 将催动上游刻蚀设备的需求。

图 37 刻蚀设备下游细分市场增长强劲



数据来源: TEL

表 8: 制程的不断推进以及设计结构的日益复杂是推动刻蚀设备发展的核心逻辑

终端产品	制程/结构	Multiple Etching steps
DRAM	Mid-2x	3-4
	-20 nm	20-30
	1x/1y	35-45
Foundry/Logic	16/14 nm	13-14
	10/7 nm	40-50
	5 nm	65-75
Nand	Planar	<15%
	3D	>50%

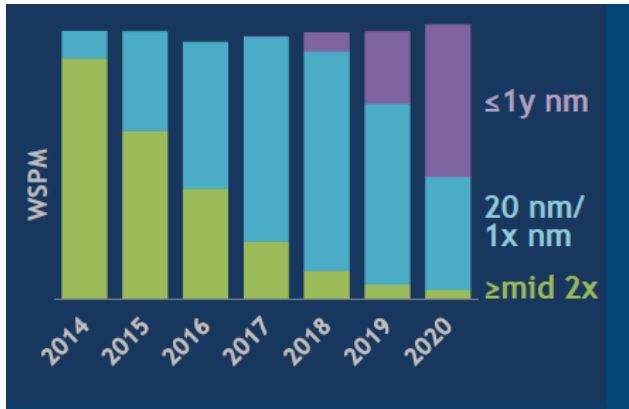
数据来源: Lam Research, Gartner, 国泰君安证券研究

注: Nand Etch steps 数据为刻蚀设备占芯片制造设备比例

### (1) DRAM 拉动 Multiple Patterning 和 HAR 市场

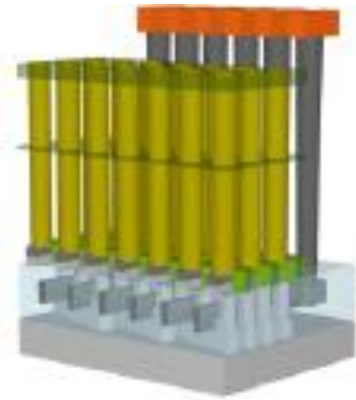
为提高存储性能和密度, DRAM 制程不断缩小。DRAM 的基本单元是一个晶体管加一个电容, 并用电容有无电荷来表示数字信息 0 和 1。为提升存储速度、降低成本和功耗, DRAM 逐渐微型化, 2014 年, 20 nm/1x nm 制程占据市场份额不到 10%, 2017 年, 其占比已达到约 75%。2018 年, 1y nm 制程将开始涌现, 并成为趋势。DRAM 制程不断微缩, 推动了其结构设计的更新和器件尺寸的减小, 增大了制造工艺的难度。

图 38: 先进制程在 DRAM 产品种占比越来越高



资料来源: Lam Research

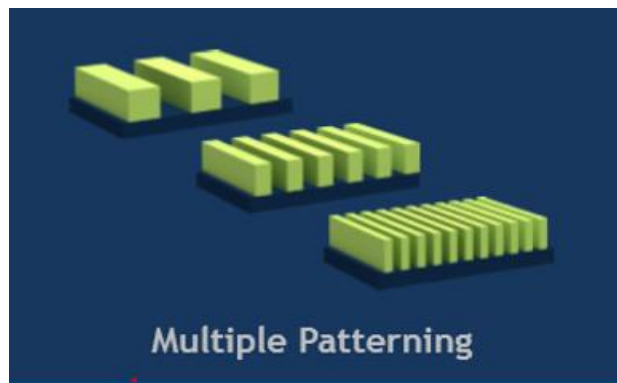
图 39: DRAM 结构



资料来源: TEL

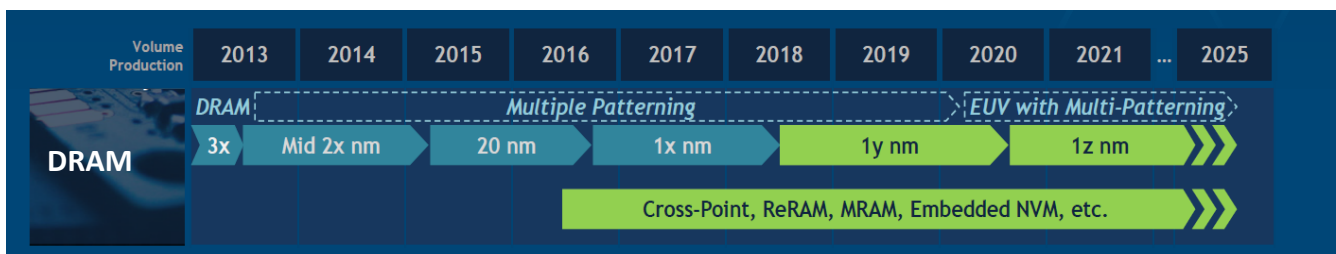
DRAM 电路图形密度增大, Multiple Patterning 重复次数增加, 增大刻蚀设备需求。2013 年, 制程步入 Mid-20x 级别时, Multiple Patterning 刻蚀步骤仅为 3-4 步; 2015 年, 制程微缩到 20nm 以下, 刻蚀步骤为 20-30 步, 近 10 倍增长; 自 2017 年开始, 1x、1y 制程出现, 刻蚀步骤增加为 35-45 步。步骤的增多加大了刻蚀的工作量, 进一步推动了刻蚀设备的需求。

图 40: DRAM 拉动 Multiple Patterning 需求



数据来源: Lam Research

图 41: 近年来 DRAM 广泛应用 Multiple Patterning

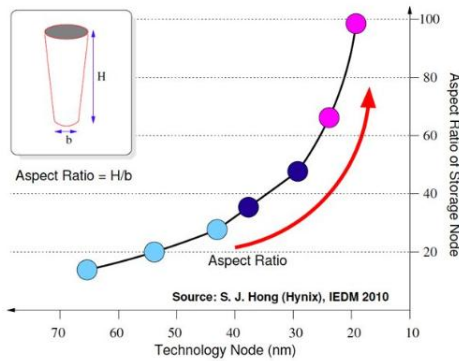


数据来源: LAM research

DRAM 储存电容的深宽比随制程微缩几乎呈指数增加, 拉动了 HAR 结构的刻蚀需求。DRAM 利用圆柱形电容存储单元, 提高电容可以提高存储性能和减轻漏电流。提高电容的方法之一即为在绝缘层上刻蚀出具有更大深宽比的圆柱形电容, 即 HAR 结构。当制程步入 20xnm 级别时,

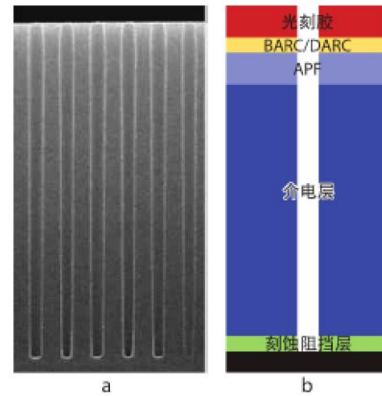
厂商大多采用 50: 1 深宽比, 已经开始对绝缘材料刻蚀提出挑战。当制程为 10x nm, 深宽比达到 80: 1。据 Reed-electronics 网站报道, 应用材料已推出最新的刻蚀产品——Centura(R) Mariana(TM) 沟槽刻蚀系统, 称其为深槽刻蚀纳米制造技术的一次“飞跃”, 其沟槽深宽比达到 80:1。而当制程到了 10nm 以下, 深宽比可达到 150: 1。更高的深宽比结构对刻蚀提出了新的挑战, 推动了刻蚀设备的发展。

图 42: 电容深宽比随制程微缩几乎呈指数增长



资料来源: 《Challenges for DRAM: Scaling Wall》

图 43: 深宽比为 30: 1 的 HAR 电容剖面图及示意图

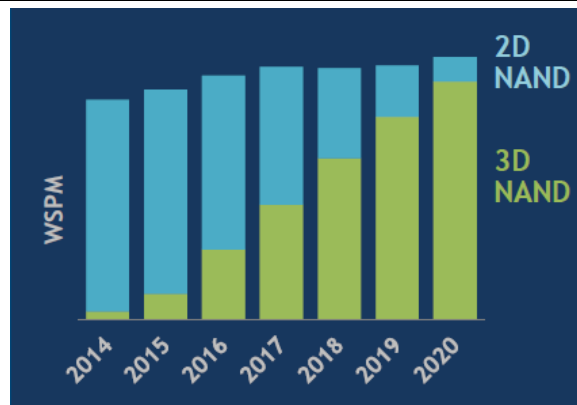


资料来源: 《先进 DRAM 驱动高深宽比刻蚀的发展》

(2) 3D NAND 拉动 HAR 市场

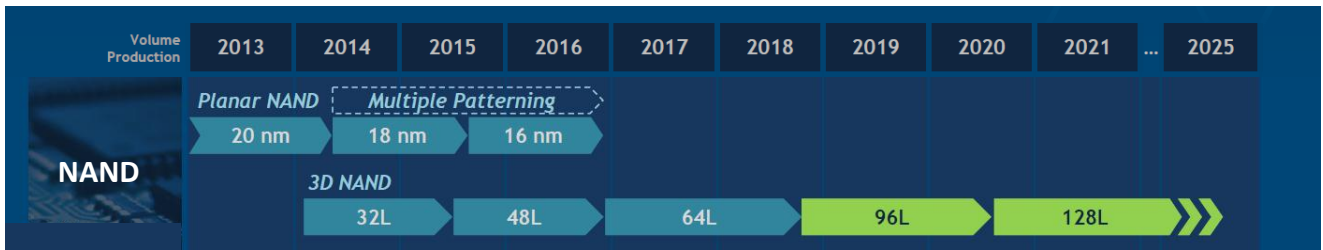
**3D NAND 市场占比逐渐增大, 层数逐渐增多。**2D NAND 是按照传统二维平面模式对闪存颗粒进行排列。随着 NAND 存储器在物联网和移动装置中的普及, 轻薄、低功耗的需求日益提高, 另外随着晶圆物理极限的不断逼近, 固态硬盘上单体的存储单元内部能够装载的闪存颗粒接近极限, 2D NAND 已难以满足要求, **3D NAND 技术应运而生, 该技术是在二维平面基础上, 在垂直方向也进行闪存颗粒排列, 从而对原本的平面堆叠方式进行了创新。**这种立体式的堆叠突破了由于晶圆物理极限而无法进一步扩大单 die 可用容量的限制, 在同等体积下, 极大提升了闪存颗粒单 die 的容量体积, 并推动存储颗粒总体容量的飙升。2017 年, 3D NAND 在 NAND 市场占比已接近 50%, 预计 2020 年, 其占比将达到 90% 左右。就 3D NAND 而言, 其层数也在不断增长, 从开始的 32 层, 到 2017 年 64 层出现, 预计未来将突破百层。

图 44: 3D NAND 市场占比逐渐增大



数据来源: Lam Research

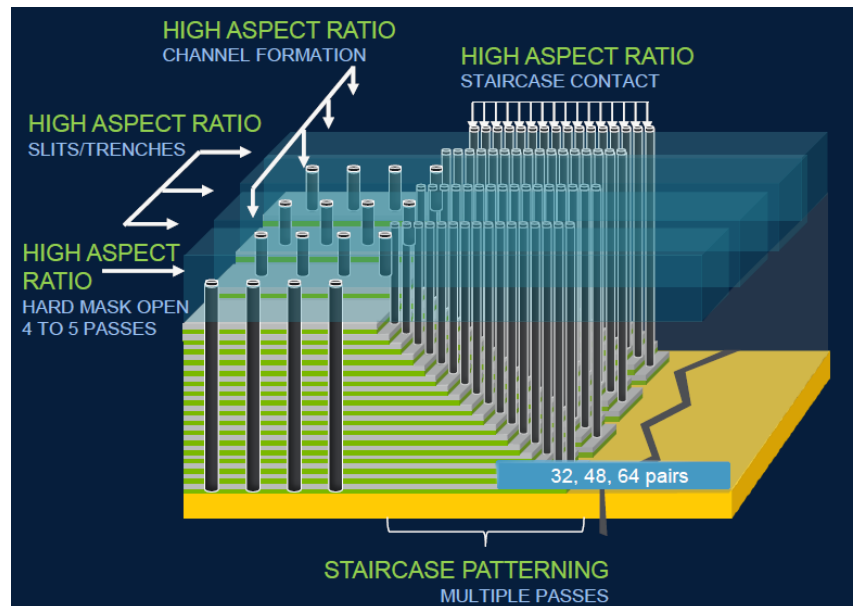
图 45: 3D NAND 层数逐渐增多



数据来源: LAM Research

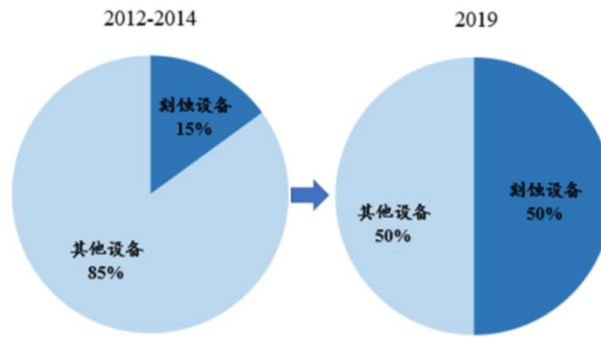
沉积和刻蚀工艺定义 3D NAND，拉动 HAR 结构刻蚀，增加刻蚀步骤，为刻蚀设备需求提供强大支撑。3D NAND 在制造过程中需要层层堆叠，HAR 通道蚀刻工具必须从器件堆顶部到底部衬底钻出小的圆形孔或通道，通过多个层来实现统一的孔尺寸以定义存储器单元的沟道。要让每一层薄膜之间顺利沟通，刻蚀技术至关重要。如三星的 3D NAND 设备在同一芯片上需要同时并高度均匀、并行统一地刻蚀 250 万条微小的通道。32-48 层 3D NAND，纵横比范围在 30:1 到 40:1；而 64 层及以上设备的需求，纵横比范围达到 60:1、70:1 甚至更高。同时为了是实现互连所需要地阶梯型刻蚀也增加了刻蚀次数。因此，随着 3D NAND 堆叠层数不断提升，刻蚀设备在其制作过程中的重要性也愈发凸显。2012-2014 年间，刻蚀系统在 NAND 制造过程中占比约 15%，据 TEL 预测，到 2019 年该比例将达到 50%。在具体工艺方面，高纵横比的 HARC 加工制程投资额占刻蚀过程总投资额比例也随着 3D NAND 层数增加而上升。

图 46: 3D NAND 拉动 HAR 结构刻蚀需求，增加刻蚀步骤



数据来源: Applied Materials

图 47: NAND 制造中刻蚀设备占比逐渐增大

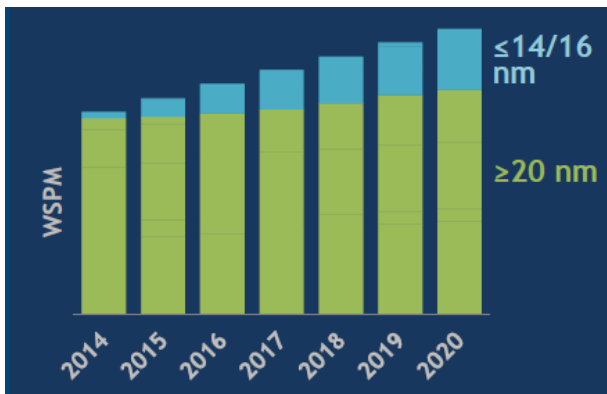


数据来源: TEL, 国泰君安证券研究

(3) Foundry/Logic 拉动 Multiple Patterning 和 Interconnect process 市场

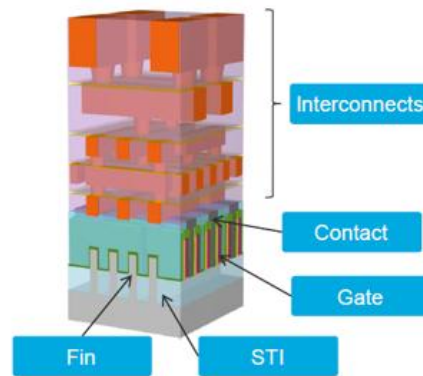
逻辑电路制程不断微缩，晶体管层和互连层双轮驱动刻蚀设备增长。2014 年，大于 20nm 支撑占据市场；随后 14/16nm 技术出现；到 2016 年，制程步入 10nm 级别；2017 年，7nm 出现，未来即将进入 5/3nm 制程。对于底部晶体管制造，平面结构制程工艺逐渐达到极限，难以有所突破，3D 结构 FinFET 逐渐取代平面结构成为主流，增加刻蚀步骤和难度；对于上部互连层制造，随着电路密度加大，互连结构日益复杂，增加了刻蚀步骤；同时复杂的互连层带来的损耗逐渐增多，互连材料和设计趋于变革，为刻蚀设备带来新机会。

图 48: 伴随着代工产量的提升，先进制程占比也不断



资料来源: Lam Research

图 49: Foundry/Logic 结构



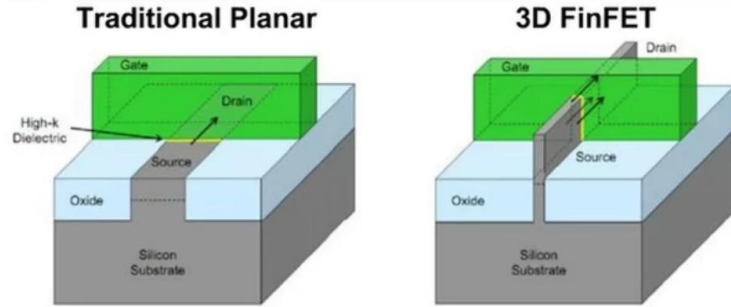
资料来源: TEL

对于晶体管层，新结构 FinFET 成为主流。MOSFET 是目前半导体产业最常使用的一种场效应晶体管 (FET)，在 2D 构造 MOSFET 中，“栅极长度”大约 10nm，是左右构造中最细小也最难制作的，因此我们常常以栅极长度来代表半导体制程的进步程度，这就是所谓的“制程线宽”。但是对于 MOSFET 而言，当栅极长度缩小到 20nm 以下时，会产生“短沟道效应”，源极和汲极的距离过近，栅极下方的氧化层愈来愈薄，电子可能发生“漏电”现象。同时原本电子是否能从源极流到汲极是由栅极电压来控制的，当栅极长度越小时，栅极对通道的影响力越小。平面结构很难再通过缩小制程来实现性能提升，由此，3D 的 FinFET 技术诞生。FinFET，称为鳍式场效应晶体管，在该结构中，栅极设计成类似鱼鳍的叉状 3D



结构。其相对于平面结构具有众多优势：(1) 更好的沟道控制能力；(2) 更低的漏电流；(3) 更低的阈值电压；(4) 大幅缩减闸长。自 2013 年，FinFET 技术开始成为市场主流。

图 50: 平面结构和 3D FinFET



数据来源: Tom's Hardware

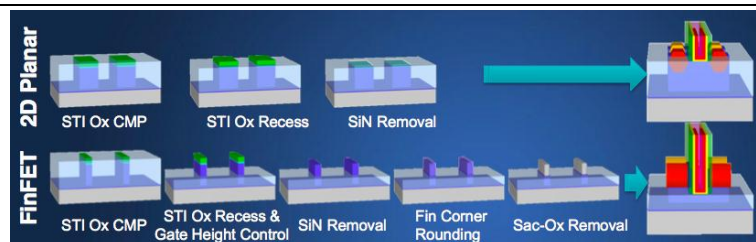
FinFET 结构增大刻蚀难度和刻蚀步骤，对刻蚀设备提出了更高的要求。FinFET 结构中对鳍状栅极的均匀性和对尺寸的精确控制最为重要。鳍的高度限制了驱动电流和栅电容，鳍的宽度影响到阈值电压和短沟道控制。而栅极顶部拐角的形貌对器件的特性有重要影响。在 22nm 技术节点中，鳍的宽度为 10-15nm，其高度为宽的两倍左右。因此鳍状栅极的制作尤为重要，增大了刻蚀难度。目前广泛采用“侧墙图形转移”(SIT)技术以及浅沟槽刻蚀技术 (STI)。Multiple Patterning 重复次数增加，增大刻蚀设备需求。当制程为 16/14nm 时，Multiple Patterning 步骤刻蚀步骤为 13-14 步；当制程微缩到 10/7nm 以下，刻蚀步骤为 40-50 步；未来当制程进入到 5nm 下，刻蚀步骤将达到 65-75 步。步骤的增多加大了刻蚀的工作量，进一步推动了刻蚀设备的需求。

图 51: FinFET 逐渐成为主流，制程逐渐微缩



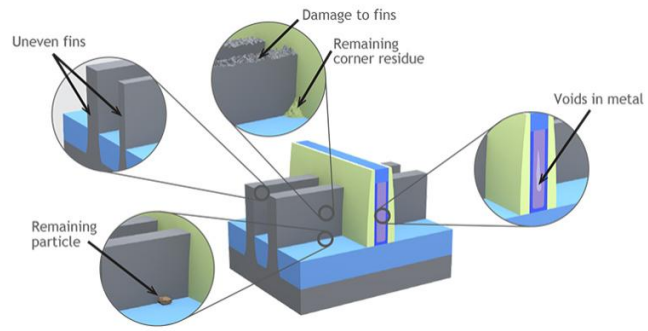
数据来源: Lam Research

图 52: FinFET 增加刻蚀步骤



数据来源: TEL

图 53: FinFET 增大刻蚀难度

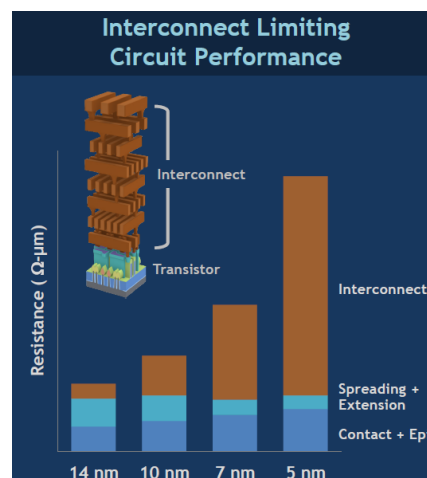


Some of the key process challenges in creating FinFET structures

数据来源: TEL

对于上部互连层, 日益复杂的互连层, 带来刻蚀设备需求。目前互连层多采用基于铜互连的双大马士革工艺。随着制程不断微缩, 上层互连层结构日益复杂, 层数逐渐增多, 其制造过程中 Multiple Patterning 步骤增加, 增加刻蚀设备的需求, 推动了基于金属硬掩模刻蚀工艺的设备的发展。随着器件互连层数增多, 也拉动了介质刻蚀设备的需求。同时, 复杂的互连层产生的损耗随制程的微缩几乎呈指数形式增加, 未来互连层新材料的引入为刻蚀设备带来新机会。

图 54: 互连层产生的损耗随制程的微缩而增加



数据来源: Lam Research

### 3. 海外龙头“自研+并购”优势明显, 平台型企业全设备布局

#### 3.1. 泛林: 持续研发成就刻蚀龙头, 积极外延占比不断提升

泛林 (Lam Research) 是仅次于应用材料、全球排名第二的半导体设备供应商。泛林集团成立于 1980 年, 其主要业务包括薄膜沉积、刻蚀、去胶和清洗以及质量监控系统五大部分, 是世界领先的半导体设备提供商, 是刻蚀机领域的技术先驱和市场领导者。

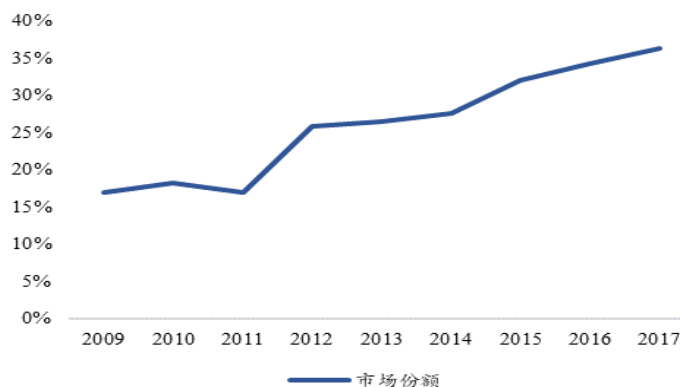
图 55：泛林产品种类丰富



数据来源：公司公告

泛林市场份额增长迅速，盈利能力强。在全球半导体设备供应商中，泛林发展迅速，自 2012 年排名第四，不断研发积累实现技术赶超，到目前已连续三年成为仅次于应用材料的第二大设备供应商。过去 5 年，泛林的收入增速超过行业整体的 2 倍，营业收入超过 1.9 倍。2017 泛林实现营业收入为 80 亿美元，收入增速超过行业整体增速的 1.5 倍，其中营业收入超过行业的 1.8 倍。2017 年其在晶圆厂设备市场份额也从 2012 年的 25% 达到约 35%。其盈利能力也远高于同行业平均水平，如其 ROE 指标和净利率均达到行业平均水平的 7 倍。

图 56：泛林占晶圆厂设备市场份额不断增长



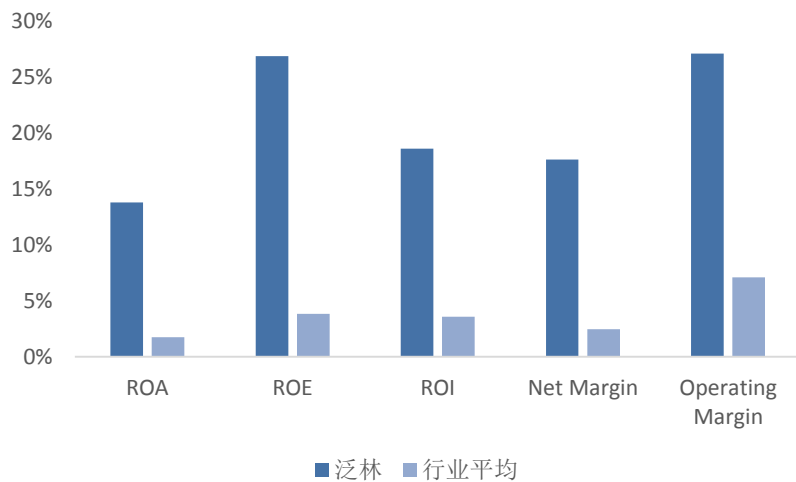
数据来源：公司官网，国泰君安证券研究

表 9: 泛林成为仅次于应用材料的全球排名第二的半导体设备供应商

排名	2012	2013	2014	2015	2016	2017
1	Applied Materials	Applied Materials	Applied Materials	Applied Materials	Applied Materials	Applied Materials
2	ASML	ASML	ASML	Lam Research	Lam Research	Lam Research
3	Tokyo Electron	Lam Research	Tokyo Electron	ASML	ASML	Tokyo Electron
4	Lam Research	Tokyo Electron	Lam Research	Tokyo Electron	Tokyo Electron	ASML
5	KLA-Tencor	KLA-Tencor	KLA-Tencor	KLA-Tencor	KLA-Tencor	KLA-Tencor

数据来源：维基百科，百度，国泰君安证券研究

图 57: 泛林盈利能力远高于行业平均水平



数据来源：阿尔法工场\_1，国泰君安证券研究

公司刻蚀设备主要有五种类型：(1) Conductors Etch；(2) Dielectric Etch (介质刻蚀)；(3) Metal Etch (金属刻蚀)；(4) TSV 刻蚀；(5) MEMS/Deep Si Etch。

一是 Conductors 刻蚀，主要有 Kiyoo 产品系列。Kiyoo 产品系列通过原位蚀刻能力、连续等离子和先进的无晶圆自动清洗技术实现了高生产率和多薄膜叠层的低缺陷率。为了解决图案化中的技术变化问题，Kiyoo 系列采用 Hydra® 技术提供最先进的功能，该技术可为 NVM, DRAM 和逻辑器件中的 FEOL/BEOL 工艺模块提供良好的晶圆内均匀性。此外，Kiyoo 系统可配置为执行原子层蚀刻，应用包括 FinFET 栅极，STI 等。

二是介质刻蚀。主要有 Flex 产品系列，多频率、小体积、受限制的等离子体设计实现了均匀性、可重复性和可调性，该系统通过原位多步刻蚀和连续等离子体功能实现了高生产率和低缺陷率，应用包括用于 DRAM 电容单元的高纵横比应用等。

三是金属刻蚀。Versys Metal 产品系列为 BEOL 金属蚀刻工艺提供了一个灵活的平台。对称腔室设计和独立调谐功能为金属硬掩模应用提供均匀性控制，该产品专有的腔室清洁技术确保 BEOL 加工的高可用性，高产量和出色的工艺重复性。

**四是 TSV 刻蚀。**主要为 Syndion 产品系列，该系列为 TSV 和 CIS 蚀刻应用提供低风险、灵活的解决方案。Syndion 产品由于高蚀刻速率、出色的重复性以及 TSV 叠层（硅、电介质、导电膜）中的多种材料的原位蚀刻而提供了较低的成本。该系统支持传统的单步刻蚀和快速交替工艺（“RAP”），高工艺灵活性、卓越的剖面控制和出色的均匀性能够成功实现各种互补金属氧化物半导体和图像传感器应用的 TSV。

**五是 MEMS/Deep Si Etch。**主要为 DSiE 产品系列。该系列产品为深硅刻蚀提供了解决方案。广泛应用于 MEMS 的沟槽、通孔的深硅刻蚀，有源器件的硅槽刻蚀以及晶圆级封装的 TSV 刻蚀。

**表 10: 泛林主要刻蚀产品**

Products		Technology	Application
DSiE Product Family	MEMS/ Deep Si Etch	Deep Reactive Ion Etch (DRIE)	<ul style="list-style-type: none"> <li>• Deep silicon etch for MEMS (trench, cavity)</li> <li>• Silicon trench etch for power devices</li> <li>• Through-silicon via for wafer level packaging</li> </ul>
Flex Product Family	Dielectric Etch	Atomic Layer Etch (ALE)、Reactive Ion Etch (RIE)	<ul style="list-style-type: none"> <li>• Low-k and ultra low-k dual damascene</li> <li>• Self-aligned contacts</li> <li>• Capacitor cell</li> <li>• Mask open</li> <li>• 3D NAND high aspect ratio hole, trench, contact</li> </ul>
Kiyo Product Family	Conductors Etch	Atomic Layer Etch (ALE)、Reactive Ion Etch (RIE)	<ul style="list-style-type: none"> <li>• Shallow trench isolation</li> <li>• Source/drain engineering</li> <li>• High-k/metal gate</li> <li>• FinFET and tri-gate</li> <li>• Double and quadruple patterning</li> <li>• 3D NAND</li> </ul>
Reliant Etch Products	Conductor etch Dielectric etch Metal etch	Deep Reactive Ion Etch (DRIE)、Reactive Ion Etch (RIE)、Reliant Systems	<ul style="list-style-type: none"> <li>• Conductor etch</li> <li>• Dielectric etch</li> <li>• Metal etch</li> <li>• Etch of specialty films (lead zirconate titanate [PZT], GaN, AlGaN, SiC, etc.)</li> <li>• Deep silicon etch for MEMS, power device, and TSV etch applications</li> </ul>
Syndion Product Family	TSV Etch	Deep Reactive Ion Etch (DRIE)、Reactive Ion Etch (RIE)	<ul style="list-style-type: none"> <li>• Deep trench isolation and TSV for CMOS image sensors</li> <li>• TSV for high-bandwidth memory</li> </ul>
Versys Metal Product Family	Metal Etch	Reactive Ion Etch (RIE)	<ul style="list-style-type: none"> <li>• TiN metal hardmask</li> <li>• High-density aluminum line</li> <li>• Aluminum pad</li> </ul>

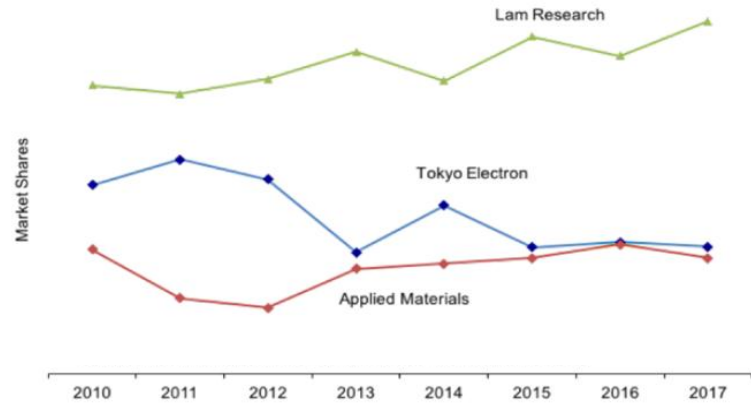
数据来源：公司官网，国泰君安证券研究

**公司在等离子体刻蚀领域市场份额第一。**根据 The information Network 数据，自 2010 年到 2017 年，公司在等离子刻蚀领域市场占比始终维持第一，并保持上涨趋势。2016 年，刻蚀领域市场中，排于第二名和第三名的 TEL、AMAT 市场份额分别为 19.7% 和 18.1%，而排名第一的泛林



的市场份额为 52.7%，高于 TEL、AMAT 二倍之多。2017 年，公司市场份额拐点式增长，公司龙头地位稳固。

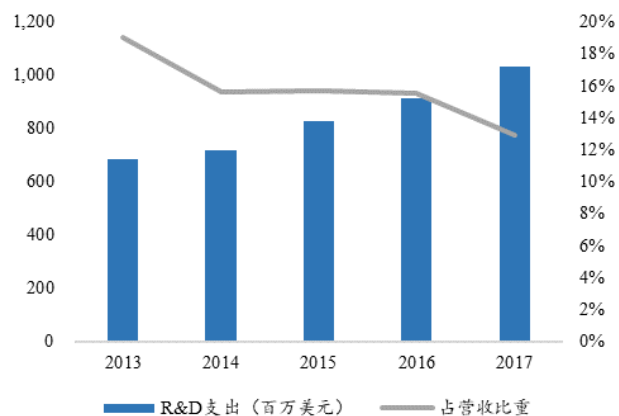
图 58：泛林在等离子体刻蚀领域市场份额第一



数据来源：The Information Network

泛林重视研发技术领先，在多数细分领域均为龙头地位，推动行业发展。如在刻蚀领域，泛林介质刻蚀位列全球第二，导体刻蚀则排名第一；在沉积领域，其钨沉积和铜沉积均为全球第一，氧化物沉积则排名第二；在清洗领域第三，在更细分的斜角清洗领域则位列全球第一。公司的领导力主要体现在四个方面。一是垂直缩放 (Vertical Scaling)，包括高纵横比刻蚀技术、高生产率平台、压力控制、选择性刻蚀等；二是多重图案化 (Multiple Patterning)，包括垫片沉积、EUV 吸收层、选择性沉积、先进制程控制等；三是原子量级加工 (Atomic-Scale Processing)，包括 3D NAND ALD 钨字线、晶体管间隔物沉积、自动校准 ALE 等；四是新材料 (New Material)。公司对刻蚀、沉积、清洗等设备进行持续而大量的研发投资，研发支出稳定增长，2017 年达到 10.3 亿美元，占营收比重始终保持 12% 以上。

图 59：泛林研发支出持续增长



数据来源：公司公告，国泰君安证券研究

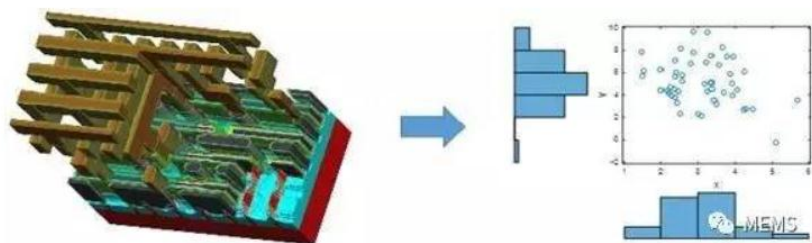
**公司积极外延并购，打造平台型企业。**公司自 1997 年以来，共有 6 项主要的半导体设备领域内的并购事件。1997 年，泛林收购了专门从事化学机械平面化 CMP 清洗的芯片设备制造商 OnTrak Systems Inc，切入清洗领域。2008 年，以 5.68 亿美元收购从事单晶湿式清洗和基板蚀刻的 SEZ 集团，扩大清洗业务和刻蚀业务。2011 年，公司以 33 亿美元收购 Novellus Systems，其主要从事化学气体沉积、物理气体沉积、铜电镀等领域，拓展了公司薄膜沉积业务。该收购案被视为自 2011 年 5 月应用材料以 49 亿美元收购 Varian 公司以来的业内第二大收购案。2015 年，公司试图收购目前全球半导体设备供应商中排名第五的 KLA 公司。但由于担心商务部因为反垄断问题无法通过，后放弃收购。2017 年，泛林宣布收购 MEMS 仿真和建模解决方案领导者 Coventor 公司，以获得先进的虚拟加工技术，为客户提供开发阶段提前了解工艺情况、降低试错成本的技术支持，增强了其解决方案的完整性。纵览收购案，泛林与目标公司在业务上均少有重叠，通过收购公司切入或拓展了新业务，增强业务多元化，增强其平台型企业属性。

**表 11: 泛林通过合理并购拓宽业务**

时间	收购对象	收购金额	领域
1997	OnTrak Systems Inc	2.25 亿美元	专门从事化学机械平面化 CMP 清洗的芯片设备制造商
2006	“牛头半导体” (Silfex 公司)	——	高纯度定制硅组件供应商，为太阳能、光学和半导体设备市场提供集成硅解决方案
2008	SEZ 集团	5.68 亿美元	半导体制造提供领先的单晶湿式清洗处理、基板蚀刻的解决方案
2011	Novellus Systems	33 亿美元	化学气体沉积、物理气体沉积、铜电镀、光阻与残留物处理等半导体制程设备制造商
2015	KLA-Tencor (后双方放弃)	106 亿美元	从事半导体及相关纳米电子产业的设计、制造及营销制程控制和良率管理解决方案商
2017	Coventor	暂未披露	MEMS 仿真和建模解决方案领导者

数据来源：百度，国泰君安证券研究

**图 60: Coventor 新推出的 SEMulator3D6.1 版仿真方案**



数据来源：搜狐

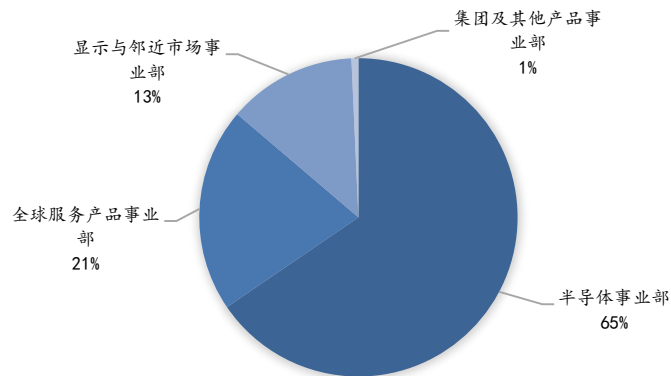
**平台型企业多元化业务，技术互补产品协同，促进解决方案升级，抢占市场份额。**经过不断收购，公司目前主要业务包括薄膜沉积、刻蚀、去胶和清洗以及质量监控系统五大部分。多元化业务有利于发挥业务协同

效应。如 2011 年，公司收购 Novellus Systems。收购前，泛林的优势主要在刻蚀和单晶圆清洗设备方面，属于薄膜处理的“减法”端；而 Novellus 则更加擅长薄膜沉积和表面处理技术，属于薄膜处理的“加法”端。收购后，两个公司实现技术互补，将薄膜生长和刻蚀的解决方案相融合，有助于前后配合统一解决工艺问题，为下游客户节省成本、提高效率，同时增大了加工的可靠性，使得产品更具竞争力，为公司争取到更多客户资源。平台型企业业务多元化，增强了公司解决方案的完整性，促进解决方案的升级，有利于抢占到更大的市场份额。

### 3.2. 应用材料：刻蚀业务快速增长，多样化并购开疆扩土

AMAT(应用材料)公司是全球最大的半导体设备供应商，其规模最大，设备种类最多，是平台型公司的最典型代表。公司创建于 1967 年，业务主要由半导体产品事业部、全球服务产品事业部、显示与临近市场事业部和集团及其他产品事业部组成。2017 年，半导体产品事业部占公司总营收的 65%，是公司最主要的收入来源。公司半导体设备产品种类繁多，覆盖原子层沉积、化学气相沉积、物理气相沉积、电气化学沉积、外延工艺、刻蚀、离子注入、测量与检测、快速热处理等，几乎包揽光刻机以外的半导体制造各环节所需设备，是三星电子、台积电、美光、英特尔等巨头的设备供应商。公司已连续 15 年位列半导体设备领域第一名，是全球半导体设备供应商龙头，行业地位稳固。

图 61：半导体产品事业部是公司最主要的收入来源



数据来源：公司公告，国泰君安证券研究

公司刻蚀设备产品丰富，增长迅速。公司刻蚀领域产品下游覆盖广泛，主要包括金属刻蚀（如 Applied Tetra™ III Adcansed Reticle Etch 等）、硅刻蚀（如 Centris™ AdvantEdge™ Mesa™ Etch、Centura® Silvia™ Etch 等）、介质刻蚀（如 Centura® Avatar™ Etch、Producer® Selectra™ Etch 等）、掩模刻蚀（如 Centura® Tetra™ Z Photomask 等）；技术上涉及图案化刻蚀（Multiple Patterning）、浅硅槽刻蚀（STI）、硅通孔刻蚀（TSV）等。刻蚀设备是公司目前处于高增长的业务之一，2013-2017 年销售额年复合增长率高达 27%，营业利润率持续提升。与 2013 年相比，2017 年 AMAT 的刻蚀设备销售额增长超过 3 倍，高于全行业平均的 2.6 倍。

**表 12: AMAT 主要刻蚀设备**

产品	应用
Producer® 刻蚀系统	晶圆级封装
Centura® Silvia™ 刻蚀系统	晶圆级封装
Centura® Tetra™ Z Photomask 刻蚀系统	图案化, 光掩模
Centura® Tetra™ EUV Advanced Reticle 刻蚀系统	图案化, 光掩模
Producer® Selectra™ 刻蚀系统	图案化
Centura® Avatar™ 刻蚀系统	存储器
Centris™ Sym3™ 刻蚀系统	互联, 图案化
Centris™ AdvantEdge™ Mesa™ 刻蚀系统	互连, 存储器, 图案化, 晶体管
Centura® AdvantEdge™ Mesa™ 刻蚀系统	互连, 存储器, 图案化, 晶体管

数据来源: 公司官网, 国泰君安证券研究

**图 62: AMAT 各业务板块营收增速及营业利润率**

	FY'13 – FY'17E	
	REVENUE CAGR	OP% GROWTH
Leadership Semi Epi, PVD, CMP, Implant, Thermal	14%	+15pts
High-Growth Semi Etch, CVD, Process Control	27%	
Display	29%	+11pts
Services	11%	+6pts
<b>Total Applied</b>	<b>18%</b>	<b>+14pts</b>

数据来源: 公司公告

**图 63: AMAT 部分设备 2017 年与 2013 年销售额对比**

PRODUCTS	2017E vs 2013	
	TAM	APPLIED REVENUE
Etch	~2.6x	>3x
CVD	~2.4x	~3x
e-Beam	~1.4x	~2x

数据来源: 公司公告

**打造平台型企业。**公司目前几乎包揽光刻机以外的半导体制造各环节所需设备，是半导体制造设备的综合平台。要保证广泛的产品覆盖度，公司不得不面临技术研发投入大、研发周期长、失败风险高、技术更新迭代迅速的问题，而多样化的外延并购可以加快公司技术更新速度，适应市场需求，并降低内部研发失败的风险。

自上世纪 90 年代中后期起，AMAT 进行了一系列并购。1997 年，AMAT 收购以色列公司 Opal Technologies 和 Orbot Instruments，以切入集成电路监测与控制设备领域；次年，收购 Consilium 公司，以通过其 MES 系统提高生产效率；2000 年，收购 Etec Syetems 公司，切入光罩和薄膜晶体管阵列测试领域；紧接着在 2001 年收购 Oramir 半导体设备公司，以获得该公司的半导体晶片激光清洗技术，对公司现有的晶片检测系统进行补充；2006 年，通过收购薄膜沉积设备供应商 Applied Films 公司，成功进入太阳能电池和相关设备市场，产品线得到大举扩充；2008 年，收购意大利 Baccini 公司，以开拓意大利市场，并扩大自身在太阳能面板制造设备市场的影响力；次年，公司在西安建太阳能研发中心并收购 Semitool 公司，以提高公司在晶圆级封装和存储器铜互连工艺这两大快速增长市场上的地位；2011 年，收购芯片设备制造商 Varian，以提高公司在离子注入系统和晶体管生产方面的技术。这些并购活动壮大了公司的规模和主营业务，并在公司增速放缓、市场份额已难以提高之时为其提供了新的增长驱动力，使公司一直得以在多个领域维持有竞争力的市占率。

**表 13: 应用材料多样化收购**

时间	收购对象	收购金额	领域
1980	Lintott Engineering, Ltd.		离子注入
1996	以色列 Opal 技术	1.75 亿美元	Opal 开发并制造半导体制造商使用的高速计量系统，以验证集成电路生产过程中的关键尺寸。
1996	以色列 Orbot 仪器	1.1 亿美元	Orbot 生产系统，用于检测在半导体制造过程中提高产量的模式硅晶片，以及在模式过程中使用的面具的系统。
1998	Consilium		通过其 MES 系统提高生产效率，推动软件技术与设备操作系统相结合
1999	Obsidian Inc.		CMP 技术
1999	Applied Komatsu Technology		成为广泛应用于平板显示 (FPD) 领域的化学气相沉积 (CVD) 系统的主要供应商
2000	Etec Systems		成功切入光罩图案生成解决方案
2001	以色列公司 Oramir 半导体设备有限公司	2100 万美元	半导体晶片激光清洁技术的供应商
2001	Schlumberger		电子束晶圆检测业务
2004	Metron Technology N.V.	8500 万美元	提供专业的原料管理、厂房清洁、专业设备和厂房维护等服务，推动 AMAT 成为最大服务公司
2005	SCP Global Technologies 部门		收购湿法工艺和硅片去污部门，促使 AMAT 巩固湿法设备领先地位
2007	Brooks Software		软件解决方案



2007	瑞士的 HCT 整形系统公司	4.75 亿美元	生产太阳能和半导体晶片的晶片锯切工具的专家
2008	意大利公司 Baccini		制造太阳能电池的工具设计师
2009	Semitool 公司	3.64 亿美元	提高在晶圆级封装和存储器铜互连工艺这两大快速增长市场上的地位
2011	Varian 半导体	40 亿	提高在离子注入系统和晶圆管生产方面的技术; 第二年 AMAT 推出 20 纳米设备
2013	计划与东京电子公司合并 (后取消)		

数据来源: 芯思想研究院, 百度, 国泰君安证券研究

图 64: AMAT 通过外延并购寻找持续增长动力

PRODUCTS	MARKET SHARE	
	2016	2017E
Epi	90%	~
PVD	74%	↑
Implant	73%	~
CMP	66%	↑
Thermal	50%	↑

**Strong and Growing Share**

数据来源: 公司公告

其次, 公司顺应产业转移趋势, 积极进行全球布局, 扩大市场。上世纪 70 年代, 美国对日本进行以家电行业为主导的装配产业转移, 这是历史上第一次半导体产业转移。基于此, 1979 和 1984 年, AMAT 的日本子公司和技术研发中心相继设立。1979 至 1983 年期间, 公司在日本地区销售额年均复合增长率达 93%, 1983 年日本销售额占公司总销售额比例达到 30%。上世纪 90 年代, 日本经济泡沫破裂, 出现了从日本到韩国和台湾的第二次半导体产业转移, 韩国和台湾借此机会确立了在 PC 和手机端的芯片霸主地位, AMAT 于 1985 和 1989 年分别设立韩国办事处和台湾办事处。此外, 公司于 1984 年开始进入中国市场, 成为第一个在中国内地设立客服中心的半导体设备商, 于 1991 年建立新加坡办事处, 在欧洲的苏格兰、德国也设立了营业部。广阔的全球市场使公司营业额不断实现突破。

最后, AMAT 始终注重内部技术研发, 每年在研发上投入不低于营收的 11%, 团队成员中 30% 为专业研发人员, 有业界最强的知识产权储备,

拥有 12000 项专利，平均每天申请 4 个以上专利，旗下的梅丹(Maydan)技术中心耗资数十亿美元，致力于先进芯片制造，是全球最先进半导体研发实验室之一。高强度的研发使公司核心设备技术始终领先全球。2017 年，公司研发投入约 17.7 亿美元，并增加了在刻蚀设备上的研发投入，投资主要集中于支持高精度、高选择性的刻蚀技术，以实现 3D 逻辑和存储芯片的持续扩展。

图 65: AMAT 重视研发，研发收入比较高

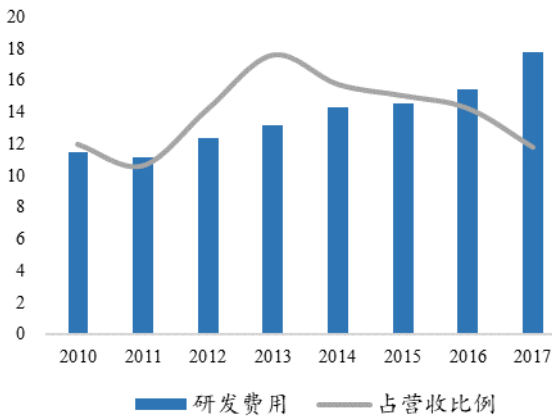
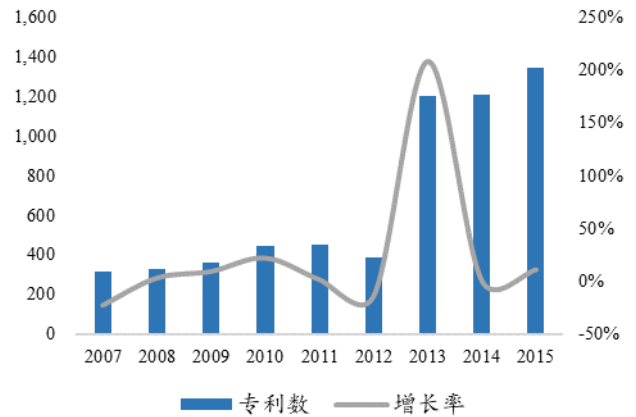


图 66: AMAT 平均每天新申请 4 个专利



数据来源: WIND, 国泰君安证券研究

数据来源: WIND, 国泰君安证券研究

#### 4. 标的推荐: 国内厂商奋起直追, 推荐关注优质标的

国内公司服务优势明显，技术紧跟步伐，有望实现弯道超车。(1) 服务上，随着制造工艺要求不断提高，刻蚀设备日益复杂，设备相关服务日益重要。国内公司相比于国外公司，具有地理优势，能够为国内客户提供更加高效、快速响应的售前、售中及售后服务。国内公司有望以服务为优势，逐渐抢占市场份额，加速进口替代。(2) 技术上，国内公司奋力赶超，在先进制造工艺上已与国外公司站在同样起跑线上。中微半导体在介质刻蚀领域一骑绝尘，7nm 制程已实现量产，并成功进入台积电产线；5nm 制程正在研发，有望在该领域弯道超车；电容型介质刻蚀设备已进入全球前三。同时其已切入 TSV 硅通孔刻蚀设备和金属硬掩膜刻蚀设备。其 8 英寸和 12 英寸设备国内市占率超过 50%。北方华创重点布局金属刻蚀和硅刻蚀领域。其中硅刻蚀机已突破 14nm 技术；金属硬掩膜刻蚀机攻破 28-14nm 制程。同时其介质刻蚀中侧墙刻蚀已成为公司刻蚀设备强项。(3) 发展策略上，公司均向平台型企业迈进，通过合理并购开拓业务，升级解决方案，抢占市场份额。

表 14: 国内外公司刻蚀细分领域布局

按刻蚀材料分类	按刻蚀形貌分类	具体分类	应用材料	泛林	中微半导体设备	北方华创
硅刻蚀	槽刻蚀	单晶硅浅硅槽刻蚀	√	√	研发/推广	√
		单晶硅深硅槽刻蚀	√	√	研发/推广	√
	栅极	多晶硅栅刻蚀	√	√	研发/推广	√
	硅通孔	——	√	√	√	√
介质刻蚀	孔刻蚀	通孔	√	√	√	研发/推广
		接触孔	√	√	√	研发/推广

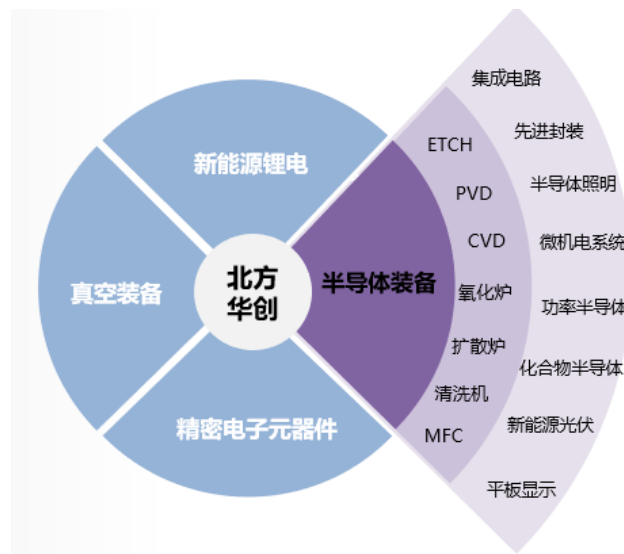
	侧墙	—	√	√	√	研发/推广
金属刻蚀	平面	—	√	√	研发/推广	研发/推广
	窄线条	—	√	√	研发/推广	√
	金属掩膜刻蚀	—	√	√	√	√

数据来源：国泰君安证券研究

#### 4.1. 北方华创 (002371.SZ): 深耕硅刻蚀, 切入金属掩膜刻蚀

半导体装备是公司最主要业务。2015年10月，七星电子(002371)和北方微电子战略重组，2017年1月公司更名为“北方华创”，成为中国唯一集成电路前道工艺装备上市公司。重组完成后，公司拥有半导体装备、真空装备、新能源锂电设备及精密元器件四个事业群，是国内集成电路高端工艺装备的龙头。其中半导体装备为公司最主要业务。设备种类齐全，包括7大系列产品，覆盖8大应用领域，囊括晶圆制造过程中的薄膜生长和刻蚀环节以及辅助设备，包括七星电子的清洗机与氧化炉、北方微电子的刻蚀、物理气相沉积和化学气相沉积三大类设备，以及单片退火设备和退火炉。北方华创产品目前已实现LED、MEMS、光伏、先进封装等领域核心装备的国产化替代，累计超过3100台/套。

图 67: 北方华创四大事业群



数据来源：IC CHINA

公司技术领先，14nm 先进制程已进入验证阶段。2003年，公司承接国家863项目，2008年，承担02科技重大专项，在设备类项目（除光刻机外）中，数量占比过半。公司自2011年开始研发应用于12寸产线设备，现已开始8寸产线设备研发。目前公司设备在14寸65-28nm制程生产线上已实现批量应用，如硅刻蚀设备、PVD设备、单片退火设备、清洗设备和立式炉等。公司不断研发，部分设备已切入14nm制程开始进入验证阶段。

**图 68: 北方华创累计承担 02 科技重大专项设备类项目（除光刻机外）数量占比大**

工艺	设备种类	承担单位	所在地区
ETCH	<b>硅刻蚀机</b>	<b>北方华创</b>	<b>北京</b>
	介质刻蚀机 (CCP)	上海中微	上海
薄膜Metal CVD	<b>PVD</b>	<b>北方华创</b>	<b>北京</b>
	<b>氧化炉/LPCVD</b>	<b>北方华创</b>	
	<b>ALD</b>	<b>北方华创</b>	
	PECVD	沈阳拓荆	沈阳
离子注入IMPL	离子注入机	北京中科信	<b>北京</b>
湿法WET	<b>清洗机</b>	<b>北方华创/盛美</b>	
	CMP	华海清科/盛美/45所	天津/上海/北京
	镀铜(研发中)	上海盛美	上海
检测	光学检测 (OCD、膜厚)	上海睿励	上海
<b>热处理(RTP)</b>	<b>退火炉、合金炉、单片退火</b>	<b>北方华创/上微</b>	<b>北京</b>
光刻	光刻机/匀胶机 (研发中)	上海微电子装备	上海

数据来源: IC CHINA

**表 15: 北方华创设备在 65-28nm 生产线上实现批量应用**

类型	技术节点	主要应用工艺	当前状态
硅刻蚀机	65-28nm	AIO ETCH、PASS ETCH	已采购>50
PVD 设备	65-28nm	STI ETCH	已采购>20
单片退火设备	65-28nm	HM DEP、AI DEP	已采购>20
清洗设备	65-28nm	POST-ET CLEAN	已采购>20
立式炉	65-28nm	POLY DEP、AA OX	已采购>10

数据来源: IC CHINA, 国泰君安证券研究

**表 16: 北方华创设备在 14nm 产线上进入验证阶段**

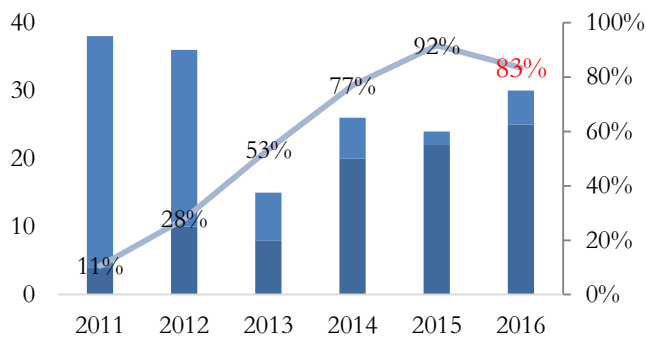
类型	技术节点	主要应用工艺
硅刻蚀机	14nm	STI ETCH
HM PVD 设备	14nm	HM DEP
单片退火设备	14nm	Anneal

LPCVD	14nm	SiO <sub>2</sub> Film Deposition
AI PVD 设备	14nm	AI DEP
ALD	14nm	Hi-K insulator

数据来源：IC CHINA，国泰君安证券研究

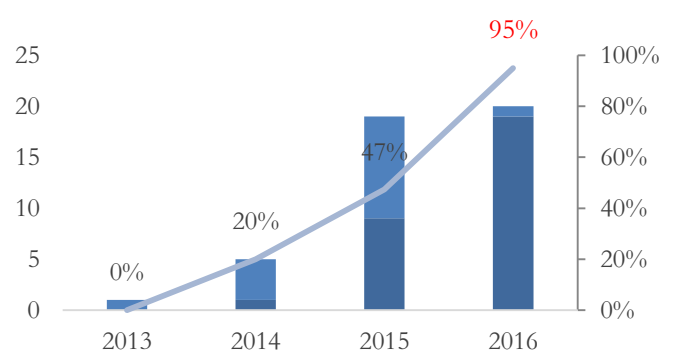
公司产品市场地位领先，下游应用领域广泛，客户质量高。公司产品广泛应用于 LED、MEMS、光伏、先进封装等领域。在过去的 5 年中，LED、光伏、先进封装等领域公司设备市占率稳居第一。公司的 14nm 制程等离子刻蚀机、ALD 等设备已成功进入集成电路主流代工厂；应用于 55nm 的硅刻蚀机被国内领军集成电路芯片制造企业指定为 Baseline 机台，28nmPVD 和 8 英寸高密度等离子硅刻蚀机已进入中芯国际生产线；公司的深硅刻蚀设备成功挺进东南亚市场。

图 69：北方华创 LED 刻蚀设备市场占有率第一



数据来源：公司公告，国泰君安证券研究

图 70：北方华创 LED PVD 设备市场占有率第一



数据来源：公司公告，国泰君安证券研究

图 71：北方华创先进封装 PVD 设备市场占有率第一

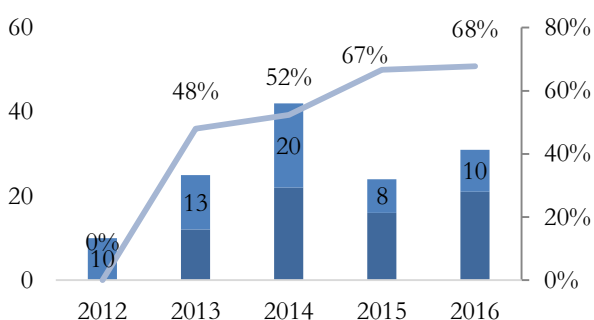
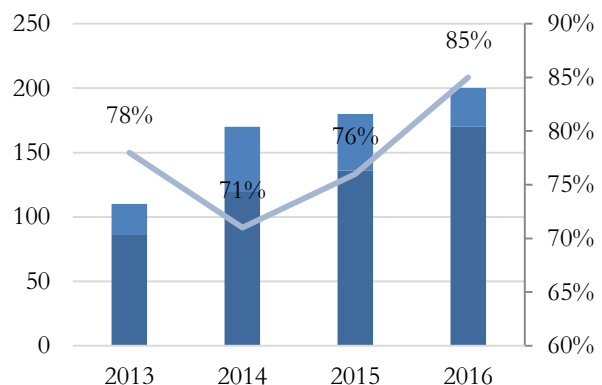


图 72：北方华创光伏扩散设备市场占有率第一





数据来源：公司公告，国泰君安证券研究

数据来源：公司公告，国泰君安证券研究

公司在刻蚀设备领域主攻硅刻蚀和金属刻蚀，其中硅刻蚀机已突破14nm技术。2005年8月28日，北方微电子公司自主研发的8英寸高密度等离子体硅刻蚀机正式交付中芯国际（天津）集成电路制造有限公司，开始在生产线上进行安装和调试，这是中国第一台自主研发干法刻蚀机在中芯国际上线，是中国在半导体设备研发领域的一个新的里程碑。目前，公司等离子刻蚀设备产品线丰富，在集成电路、半导体照明、微机电系统、先进封装、功率半导体等领域可提供高端装备及工艺解决方案，形成了对硅、介质、化合物半导体、金属等多种材料的刻蚀能力。2016年，公司在LED刻蚀设备市场占有率达到83%。公司先进的硅刻蚀机，采用STI技术，已突破14nm技术。公司有望率先突破14nm刻蚀领域。

**表 17: 北方华创主要刻蚀设备及应用领域**

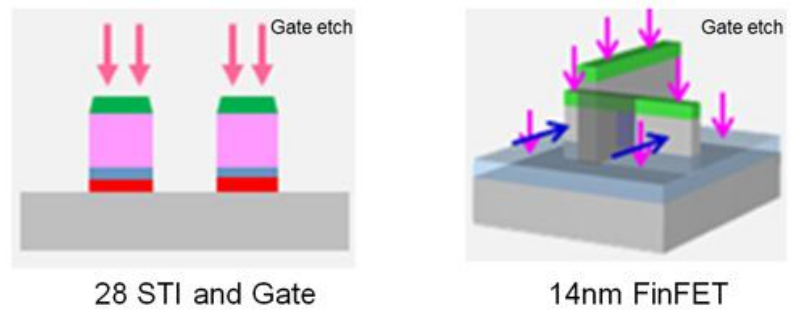
产品系列	应用领域
NMC508M 8 英寸铝金属刻蚀机	0.11-0.35um 制程集成电路
NMC508C 8 英寸硅刻蚀机	0.11-0.35um 制程集成电路
NMC612C 12 英寸硅刻蚀机	90-40nm 制程集成电路
NMC612D 12 英寸硅刻蚀机	28-14nm 制程集成电路
NMC612M 12 英寸氮化钛金属硬掩膜刻蚀机	28-14nm IC 金属刻蚀
HSE 系列等离子刻蚀机	8-12 英寸先进封装、8 英寸及以下 MEMS
GDE 系列等离子刻蚀机	8-12 英寸先进封装、8 英寸及以下光通信、 SiC 功率器件
ELEDE® 380G+/G380C 刻蚀机	LED
ELEDE® 380E PSS 刻蚀机	LED
DSE200 系列等离子刻蚀机	8 英寸及以下硅基功率器件
NMC612G 12 英寸刻蚀机	平板显示

数据来源：公司官网，国泰君安证券研究

**NMC612D** 刻蚀机是北方华创自主研发的国内首台 12 英寸 14 纳米 FinFET 等离子硅刻蚀机，已正式进入上海集成电路研发中心。自半导

体制程进入 14nm，采用 FinFET 3D 结构工艺已成为主流技术。14 纳米 FinFET 相比于传统的平面型晶体管，引入了截然不同的工艺流程，这对刻蚀设备提出更高的挑战。NMC612D 硅刻蚀机满足了 14nm FinFET 的各项工艺要求。设备采用了新开发的同步脉冲等离子技术，通过对等离子体的实时控制和诊断来实现低损伤和高选择比，采用多区 ESC 以获得更高的 CD 均匀性，增加高温上电极的设计来降低缺陷，增大 Throughput。NMC612D 硅刻蚀机多项关键指标达到国际先进水平，满足 28/14 纳米多种硅刻蚀工艺制程要求，同时具备 10/7 纳米工艺延伸能力。目前，该产品正式进入上海集成电路研发中心，与客户共同开展研发工作。

**图 73: 14nm FinFET 3D 工艺对刻蚀工艺提出更多挑战**



数据来源：公司官网

**图 74: 北方华创 NMC612D 刻蚀机**



数据来源：公司官网

**NMC612M 12 英寸氮化钛金属硬掩膜刻蚀机攻破 28-14nm 制程。**随着器件尺寸的不断缩小，沟槽的深宽比越来越大，对硬掩膜材料提出了更高的要求。传统的双大马士革工艺所采用的氮化硅或氧化层掩膜，由于和低 k 介电层之间的选择比不高，已经无法满足在沟槽刻蚀的同时保护沟槽之间低 k 介质的要求。基于 TiN 金属硬掩膜双大马士革工艺则应运而生。NMC612M 氮化钛金属硬掩膜刻蚀机则是满足 TiN 硬掩膜刻蚀要求的新一代金属刻蚀机。**该产品主要有三个亮点：(1) 采用脉冲等离子技术和多区 ESC 技术。**提供同步脉冲双射频等离子源，有效改善负载效应和等离子体损伤，在刻蚀形貌控制、均匀性控、减少刻蚀损伤、刻蚀选择比提高，可满足刻蚀工艺的更高要求。**(2) 设备应用多接口平台技术，**满足客户不同的腔室数量要求。**(3) 采取先进的表面处理和陶瓷镀层技术，**有利于减少缺陷和颗粒的产生。该产品已攻破 28-14nm 制程。

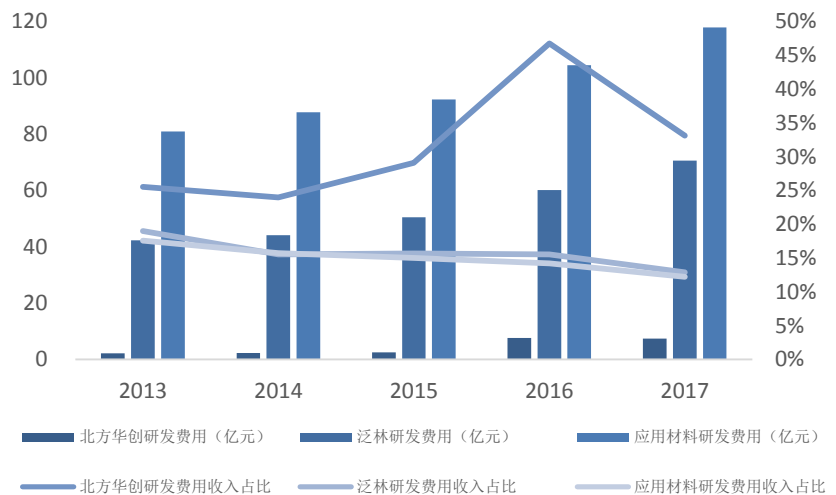
图 75: 北方华创 NMC612M 12 英寸氮化钛金属硬掩膜刻蚀机



数据来源: 公司官网

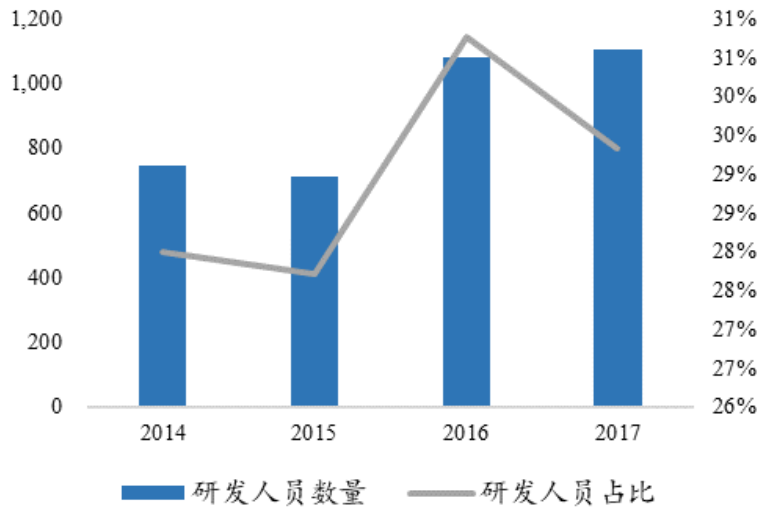
公司注重内部研发, 研发占比远高于国外龙头。自重组后研发费用绝对值和占营收比例大幅提升。2016 年研发费用为 7.6 亿元, 占营业收入 47%。2017 年公司研发费用几乎维持同样水平, 占营收百分比约为 33%。公司研发投入虽远不及全球龙头厂商, 但研发占比可达到龙头厂商二倍之多。可见公司重视研发, 寻求技术突破。公司积极承接国家 02 项, 实现技术突破, 先后完成了 12 吋集成电路制造设备 90-14nm 等多个关键制程的攻关工作。公司人才方面, 硕士以上研发人员 800 余名, 拥有海外专家 50 余人, 其中“千人计划”专家 10 名。北京市“海聚工程”专家 12 名, 并拥有北京市领军人才团队、首席技师工作室、国资委优秀科技创新团队等各类管理与技术优秀人才团队。公司发明专利保持强势增长。截至 2017 年, 公司累计申请发明专利 2998 件, 累计授权 1517 件。

图 76: 公司研发费用远不及国际龙头, 但研发费用率更高



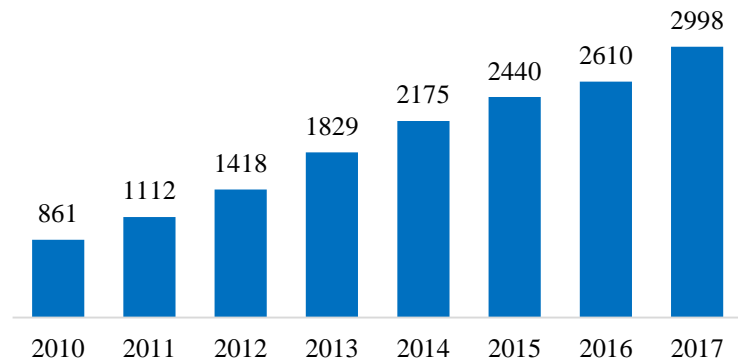
数据来源: WIND, 国泰君安证券研究

图 77: 北方华创研发人员占比高



数据来源: 公司公告, 国泰君安证券研究

图 78: 公司发明专利累计申请数量逐年增加



数据来源: 公司公告, 国泰君安证券研究

**公司秉持平台型企业发展战略, 合理外延扩张, 强化产品性能, 拓展产品线。**公司业务布局广泛, 目前拥有半导体装备、真空装备、新能源锂电设备及精密元器件四个事业群, 其中半导体装备包括 7 大系列产品, 囊括晶圆制造过程中的薄膜生长和刻蚀环节以及辅助设备, 产品线丰富。2017 年 8 月, 公司全资子公司“北方华创微电子”拟以在美国设立子公司的方式以 1,500 万美元收购美国 Akrion Systems LLC 公司, 双方于 2018 年 1 月完成交割。Akrion 专注于半导体硅晶圆清洗设备, 产品下游应用领域与公司基本重合, 本次收购后公司的清洗机业务部将拥有单片与批式清洗两大产品线, 产品结构更加完善, 公司技术与客户积累也得到强化, 进一步扩大清洗机市场。

#### 4.2. 中微半导体（暂未上市）：介质刻蚀龙头，逐渐打入硅通孔刻蚀

中微半导体公司暂未上市，但作为国内龙头刻蚀公司简介如下供投资者参考。

中微半导体在芯片介质刻蚀设备、硅通孔刻蚀设备、MOCVD 设备三大细分领域均成为世界三强。中微半导体（AMEC）成立于2004年，是国内领先的高端芯片设备企业，也是大基金一期首个投资企业。公司专注于刻蚀和化学薄膜沉积类型设备的生产，其产品能够最大限度利用拥有的产品资源，如主机、软件系统等，大大缩短产品开发周期和减少产品开发成本。其介质刻蚀设备、硅通孔刻蚀设备、MOCVD 设备广泛应用于国际市场和国内市场，均位列世界三强。VOC 设备客户已验证合格并实现重复订货，有限推广到 LCD 产业。硅刻蚀设备公婆 28-10nm 制程，正在进行客户验证阶段。2014 年中微公司一家独占全国半导体设备出口额的 79%。

图 79：中微半导体代表设备及正在进行验证的设备



数据来源：半导体行业国际观察

公司已成功进入海内外领先客户供应链。目前，公司芯片介质刻蚀设备已在台积电 7nm、10nm 产线工作，并与其联合进行 5nm 认证，同时占



据中芯国际 50% 以上新增采购额。硅通孔刻蚀设备在我国 TSV/CIS/MEMS 刻蚀机市场市占率超过 50%，MEMS 刻蚀机已进入德国博世和意法半导体。MOCVD 设备方面，公司的第二代 Primo A7 MOCVD 设备在国内市场已全面取代德国 Aixtron 和美国 Veeco，获得 80% 市场份额。公司设备已经进入了全球大半排名前列的晶圆厂。

图 80：中微半导体主要客户



数据来源：半导体行业国际观察

公司深耕介质刻蚀设备，7nm 制程已实现量产，5nm 制程正在研发；电容型介质刻蚀设备已进入全球前三。截至目前公司在介质刻蚀设备已经实现三代产品迭代，分别是 Primo D-RIE、Primo AD-RIE、Primo SSC

AD-RIE，以及一款与除胶机集成的 Primo iDEA 设备。公司介质刻蚀设备已进入 16-7nm 制程量产，在 10nm 和 7nm 的研发线核准数道 BARK 刻蚀应用，并成为标配设备，已经开始 5nm 器件的刻蚀开发。目前介质刻蚀设备共进入 25 条芯片生产线，生产 4300 多万片晶圆，其中在台积电拥有 232 个反应台，累计生产晶圆超过 2400 万片，包括台积电 7nm、10nm 量产线。此外，中微的电容型介质刻蚀设备已进入全球市场前三，仅次于东京电子和泛林。

表 18:全球 CCP 电容型介质等离子体刻蚀设备公司排名（百万美元）

	2014	2015	2016
Tokyo Electron	1,207.8	985.7	1,365.0
Lam Research	514.5	848.4	1,023.2
AMEC	53	59	64
Mattson Technology	73.9	54.4	62.5
Applied Materials	18	16.8	11.8

数据来源：半导体行业国际观察，国泰君安证券研究

**表 19: 中微半导体介质刻蚀设备**

产品	定位	制程	创新点
Primo D-RIE	第一代介质等离子体刻蚀设备	65-28nm	1. 独创的双台反应器设计; 2. 率先开发出高频去耦合例子反应刻蚀技术; 3. 拥有资助支持产权的射频匹配系统; 4. 拥有自主知识产权的、稳定的例子体隔离技术, 具有高流导性。
Primo AD-RIE	第二代介质等离子体刻蚀设备	28-14nm	1. 独创的双台反应器设计; 2. 率先开发出高频去耦合例子反应刻蚀技术; 3. 三区气体分布, 有效协调均匀性; 4. 小于 1nm 的刻蚀线宽控制; 5. 降低加工成本 30% 以上。
Primo iDEA	第二代机制等离子体刻蚀和除胶机集成设备	28-14nm	1. 远程等离子体源; 2. 高效率例子隔滤, 达到高速率除胶效果; 3. 完全避免等离子体诱发的器件损伤; 4. 节省成本 20% 以上。
Primo SSC AD-RIE	第三代等离子体刻蚀设备	16-7nm	1. 极高功率的低频射频偏压电源; 2. 配备较大的射频接地面积, 产生更高的支流偏压; 3. 配备双区温控设备; 4. 三区其他分布系统和两路可以独立控制中心、边缘和极端边缘区域精密调整气体, 结合双区控温静电吸盘, 可实现关键尺寸均匀性的精密控

制。

数据来源：半导体行业国际观察，国泰君安证券研究

图 81: Primo D-RIE 产品样机



数据来源：公司官网

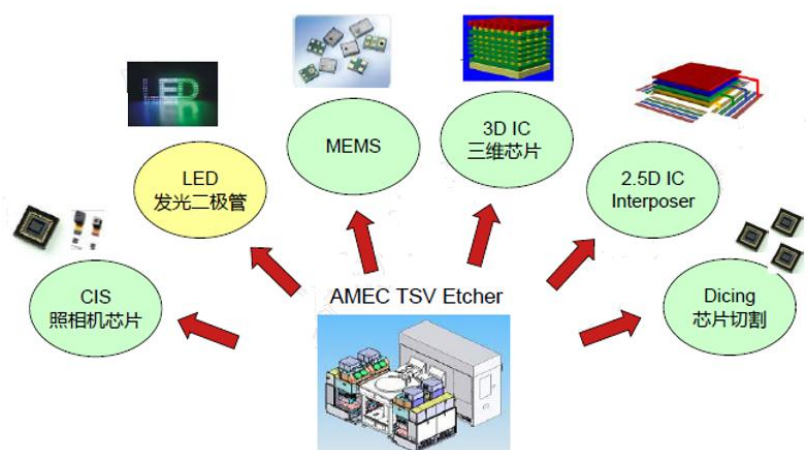
图 82: Primo AD-RIE 产品样机



数据来源：公司官网

TSV 硅通孔刻蚀设备方面,8 英寸和 12 英寸设备国内市占率超过 50%。公司目前拥有两款 TSV 硅通孔设备和 MEMS 刻蚀设备,分别为:Primo TSV200E 和 Primo TSV300E。两款产品广泛应用于 8 寸和 12 寸制作工艺,具有以下创新点:(1) 配备高效冷却系统的 5kW 功率射频电感耦合等离子体源功率电源,可以提高工艺调整能力。(2) 拥有自主知识产权的气体分布系统。(3) 尺寸可变的气体集聚还可以优化刻蚀均匀性。硅通孔刻蚀设备应用广泛,中微在 3 年内已运出 100 个反应台,在 MEMS 和 CIS 加工超过 340 万片晶圆。在 TSV/MEMS/CIS 刻蚀机市场已占有超过 50% 市场。中微自主设计的 MEMS 刻蚀机达到国际最先进水平,与欧美同类型设备相比具有良率高、输出量大、成本低的优势,已成功进入国际最领先的德国博世和意法半导体。中微的 TSV 硅通孔刻蚀机在 8 英寸和 12 英寸设备国内市场占有率超过 50%,是业界唯一的双台机,无论技术性能、产率和成本均优于美国科林和英国 SPTS,市场份额呈现进一步上升趋势。

图 83: TSV 硅通孔刻蚀设备应用广泛



数据来源：半导体行业国际观察

**表 20：国际主要 TSV 硅通孔刻蚀设备中中微设备领先**

	美国科林	中微 AMEC	英国 SPTS
技术和性能	++	+++	++
产率和成本	+	+++	++
可靠性、重复性	++	++	++
市场占有率	++	++↑	++

数据来源：半导体行业国际观察，国泰君安证券研究

**公司技术水平领先，研发实力强劲。**公司拥有尹志尧等 100 多位来自美国硅谷、日本、韩国、东南亚及台湾地区的行业专家，曾领导或参与 20 多个国际先进半导体设备的开发及市场化。研发人员占公司员工总数近三分之一。公司 30 年来一直致力于推动刻蚀技术和设备的发展，在 32 项关键的等离子体刻蚀技术和设备创新突破中，由中微成员或中微首创的有 19 项，占比达到 60%。

**表 21：等离子体刻蚀技术和设备创新突破中中微成员或中微首创的有 19 项**

等离子体刻蚀技术和设备关键的创新和突破	中微成员 首创	中微首创
1 400KHz 双电极反向耦合介质蚀刻技术	√	
2 等离子体聚焦的必要和初始聚焦技术	√	
3 机械卡盘硅片背后温度控制	√	
4 TCP ICP 电感型等离子体源	√	
5 MERIE 刻蚀内衬里技术	√	
6 DPS ICP 等离子体源	√	
7 DPS 上下双反应腔体设计	√	
8 D-RIE>60MHz 甚高频去耦合离子反应刻蚀		√
9 双反应台反应器集成系统	√	
10 双反应台可单台独立操作反应器集成系统		√
11 垂直删等离子体最佳聚焦技术		√
12 TSV ICP 小体积反应器和及高速气体切换技术		√
13 有硅片边缘微调的多道气体分布板		√
14 ICP 最小电容耦合的感应线圈设计		√

15	Polyimide ESC 静电吸盘硅片温度控制	√	
16	Si 单晶硅 电极及反应器内部材料	√	
17	SiC 碳化硅 ICP Roof 材料	√	
18	SiC 碳化硅电极气体分布板及反应器内部材料		√
19	C4F6 关键刻蚀气体	√	

数据来源：半导体行业国际观察，国泰君安证券研究

**公司布局 MOCVD 业务，逐渐积累平台型企业优势。**除了刻蚀业务，公司另一主营业务为 MOCVD 设备业务。MOCVD 设备，是指金属有机化合物气相沉积设备，是加工 LED 芯片的核心设备。过去，该领域主要由美国 Veeco 和德国 Aixtron 两家公司把控市场。目前公司已经完全打败国外竞争对手。公司第二代 Primo A7 MOCVD 设备，已在国内全面取代德国 Aixtron 和美国 Veeco 的设备成为 2017 年三安、华灿、聚灿等主要 LED 芯片厂的唯一供应商。目前该设备已有 100 余台进入产线。沉积设备与刻蚀设备皆为半导体制造的关键步骤设备，打通两项业务有利于公司提供更加完善的解决方案，发挥设备参数设定、功能设计等方面的协同效应，增强产品竞争力，拉动业务增长。

**综上，受益于刻蚀设备市场蓬勃发展和进口替代加速，推荐关注以硅刻蚀为主的北方华创(002371.SZ)。**北方华创主攻硅刻蚀和金属刻蚀，14nm 制程已进入验证阶段；8 英寸高密度等离子硅刻蚀机已进入中芯国际产线；深硅刻蚀机成功挺进东南亚市场。

表 9：北方华创估值表（截止 2018 年 9 月 26 日）

代码	简称	收盘价（元）	市值（亿元）	EPS		PE		PB	评级
				2018E	2019E	2018E	2019E		
002371	北方华创	47.61	206.56	0.66	1.00	68	45	6.05	增持

数据来源：wind，国泰君安证券研究，

## 5. 风险因素

### 5.1. 进口替代速度不及预期

目前半导体制造设备大部分细分领域依然由国外企业主导，而多数国外企业业务囊括多个细分领域，同时也在相关领域拥有多年积累，导致进口替代面临两大困难，一是技术水平能否赶超以提供更加具有竞争力的产品；二是产线上不同阶段设备具有协同性，会增强客户粘性，增大国内企业渗透难度。如果国内刻蚀龙头企业技术突破不及预期、导入客户不及预期，则刻蚀设备进口替代速度减慢，影响国内刻蚀设备企业业绩。

### 5.2. 国内建厂进程不及预期

受益于世界半导体产业转移、下游新兴市场的快速崛起以及国家政策的大力支持，近年来大陆半导体产业迎来大规模建厂潮。未来，如果产业转移进程不及预期、相关下游行业发展低于期望，则大陆企业会降低投



资，减慢建厂进程，影响刻蚀设备需求。

## 本公司具有中国证监会核准的证券投资咨询业务资格

### 分析师声明

作者具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，保证报告所采用的数据均来自合规渠道，分析逻辑基于作者的职业理解，本报告清晰准确地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响，特此声明。

### 免责声明

本报告仅供国泰君安证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为本公司的当然客户。本报告仅在相关法律许可的情况下发放，并仅为提供信息而发放，概不构成任何广告。

本报告的信息来源于已公开的资料，本公司对该等信息的准确性、完整性或可靠性不作任何保证。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可升可跌。过往表现不应作为日后的表现依据。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。本公司不保证本报告所含信息保持在最新状态。同时，本公司对本报告所含信息可在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。

本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议。在任何情况下，本公司、本公司员工或者关联机构不承诺投资者一定获利，不与投资者分享投资收益，也不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。投资者务必注意，其据此做出的任何投资决策与本公司、本公司员工或者关联机构无关。

本公司利用信息隔离墙控制内部一个或多个领域、部门或关联机构之间的信息流动。因此，投资者应注意，在法律许可的情况下，本公司及其所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。在法律许可的情况下，本公司的员工可能担任本报告所提到的公司的董事。

市场有风险，投资需谨慎。投资者不应将本报告作为作出投资决策的唯一参考因素，亦不应认为本报告可以取代自己的判断。在决定投资前，如有需要，投资者务必向专业人士咨询并谨慎决策。

本报告版权仅为本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制、发表或引用。如征得本公司同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“国泰君安证券研究”，且不得对本报告进行任何有悖原意的引用、删节和修改。

若本公司以外的其他机构（以下简称“该机构”）发送本报告，则由该机构独自为此发送行为负责。通过此途径获得本报告的投资者应自行联系该机构以要求获悉更详细信息或进而交易本报告中提及的证券。本报告不构成本公司向该机构之客户提供的投资建议，本公司、本公司员工或者关联机构亦不为该机构之客户因使用本报告或报告所载内容引起的任何损失承担任何责任。

### 评级说明

#### 1. 投资建议的比较标准

投资评级分为股票评级和行业评级。以报告发布后的 12 个月内的市场表现为比较标准，报告发布日后的 12 个月内的公司股价（或行业指数）的涨跌幅相对同期的沪深 300 指数涨跌幅为基准。

#### 2. 投资建议的评级标准

报告发布日后的 12 个月内的公司股价（或行业指数）的涨跌幅相对同期的沪深 300 指数的涨跌幅。

	评级	说明
股票投资评级	增持	相对沪深 300 指数涨幅 15%以上
	谨慎增持	相对沪深 300 指数涨幅介于 5%~15%之间
	中性	相对沪深 300 指数涨幅介于 -5%~5%
	减持	相对沪深 300 指数下跌 5%以上
行业投资评级	增持	明显强于沪深 300 指数
	中性	基本与沪深 300 指数持平
	减持	明显弱于沪深 300 指数

## 国泰君安证券研究所

	上海	深圳	北京
地址	上海市浦东新区银城中路 168 号上海银行大厦 29 层	深圳市福田区益田路 6009 号新世界商务中心 34 层	北京市西城区金融大街 28 号盈泰中心 2 号楼 10 层
邮编	200120	518026	100140
电话	(021) 38676666	(0755) 23976888	(010) 59312799
E-mail:	gt.jaresearch@gt.jas.com		