

中信建投证券股份有限公司

关于

**合肥颀中科技股份有限公司
向不特定对象发行可转换公司债券**

之

上市保荐书

保荐人



中信建投证券股份有限公司
CHINA SECURITIES CO.,LTD.

二〇二五年六月

保荐人及保荐代表人声明

中信建投证券股份有限公司及本项目保荐代表人吴建航、廖小龙已根据《中华人民共和国公司法》《中华人民共和国证券法》等法律法规和中国证监会及上海证券交易所的有关规定，诚实守信，勤勉尽责，严格按照依法制定的业务规则和行业自律规范出具上市保荐书，并保证所出具文件真实、准确、完整。

目 录

释 义.....	3
一、发行人基本情况.....	6
二、发行人本次发行情况.....	33
三、本次证券发行上市保荐代表人、协办人及项目组其他成员情况、联系地址、电话和其他通讯方式.....	34
四、关于保荐人是否存在可能影响公正履行保荐职责情形的说明.....	36
五、保荐人按照有关规定应当承诺的事项.....	37
六、保荐人关于发行人是否已就本次证券发行上市履行了《公司法》《证券法》和中国证监会及上海证券交易所规定的决策程序的说明.....	38
七、保荐人关于发行人是否符合板块定位及国家产业政策所作出的专业判断以及相应理由和依据，以及保荐人的核查内容和核查过程.....	38
八、持续督导期间的工作安排.....	39
九、保荐人关于本项目的推荐结论.....	40

释 义

在本上市保荐书中，除非另有说明，下列词语具有如下特定含义：

一、一般释义

保荐机构、保荐人	指	中信建投证券股份有限公司
颀中科技、公司、发行人	指	合肥颀中科技股份有限公司
先进功率及倒装芯片封测技术改造项目	指	颀中科技（苏州）有限公司先进功率及倒装芯片封测技术改造项目
会计师、天职国际	指	天职国际会计师事务所（特殊普通合伙）
评级机构、东方金诚	指	东方金诚国际信用评估有限公司
《公司法》	指	《中华人民共和国公司法》
《证券法》	指	《中华人民共和国证券法》
《注册管理办法》	指	《上市公司证券发行注册管理办法》
《上市规则》	指	《上海证券交易所科创板股票上市规则》
中国证监会、证监会	指	中国证券监督管理委员会
上交所	指	上海证券交易所
报告期	指	2022 年度、2023 年度、2024 年度、2025 年 1-3 月
报告期各期末	指	2022 年 12 月 31 日、2023 年 12 月 31 日、2024 年 12 月 31 日、2025 年 3 月 31 日
元、万元	指	人民币元、人民币万元

二、专业术语释义

集成电路、芯片、IC	指	Integrated Circuit 的缩写，即集成电路，是一种将电路所需元器件及布线互连，集成在基片上并封装成具有所需电路功能的微型结构
吋	指	英寸的缩写，一寸等于 25.4 毫米
显示业务	指	显示驱动芯片封装业务
非显示业务	指	非显示类芯片封装业务
晶圆	指	Wafer，即制作硅半导体电路所用的硅晶片，由高纯度的硅晶棒研磨、抛光、切片后形成
晶粒、裸芯片	指	Die，将晶圆切割成芯片大小的方块，但尚未进行封装
射频	指	指可辐射到空间的电磁波频率，频率范围在 300KHz-300GHz 之间，包括蓝牙、WiFi、2.4G 无线传输技术、FM 等技术
FC、Flip Chip、倒装、覆晶封装	指	一种先进封装技术，FC 系 Flip Chip 的缩写，即倒装芯片封装工艺，在芯片上制作凸块，然后翻转芯片用回流焊等方式使凸块和 PCB、引线框等衬底相连接

凸块制造技术	指	Bumping, 在芯片上制作凸块, 通过在芯片表面制作金属凸块提供芯片电气互连的“点”接口, 广泛应用于 FC、WLP、CSP、3D 等先进封装
金凸块	指	Gold Bumping, 是一种利用金凸块接合替代引线键合实现芯片与基板之间电气互联的制造技术, 主要用于显示驱动芯片封装
铜柱凸块	指	Cu Pillar, 是一种利用铜柱 (Cu Pillar) 接合替代引线键合实现芯片与基板之间电气互联的制造技术
铜镍金凸块	指	CuNiAu Bumping, 是一种可优化 I/O 设计、大幅降低了导通电阻的凸块制造技术, 凸块主要由铜、镍、金三种金属组成, 可在较低成本下解决传统引线键合工艺的缺点
锡凸块	指	Sn Bumping, 是一种利用锡 (Sn) 接合替代引线键合实现芯片与基板之间电气互联的制造技术
COG	指	Chip on Glass 的缩写, 即玻璃覆晶封装, 是一种将芯片直接结合在玻璃上的封装技术
COP	指	Chip on Plastic 的缩写, 即柔性屏幕覆晶封装, 是一种将芯片直接结合在柔性屏幕上的封装技术
COF	指	Chip on Film/Flex 的缩写, 即薄膜覆晶封装, 是一种将芯片结合在软性基板电路上的封装技术
DPS	指	Die Process Service 的缩写, 指将晶圆研磨切割成单个芯片后准确放置在特制编带中的过程
CP	指	Chip Probing 的缩写, 即晶圆测试, 是一道用探针针对每个晶粒上的接点进行接触测试其电气特性, 标记出不合格的晶粒的工序
FT	指	Final Test 的缩写, 即芯片成品测试, 在晶圆被研磨切割成芯片后、出货前的测试环节, 原理和 CP 基本类似
Cu Clip	指	铜片夹扣键合封装工艺
BGBM	指	Back-Side Grinding and Back-side Metallization 的缩写, 即背面减薄及金属化
FSM	指	Front-Side Metallization 的缩写, 即晶圆正面金属化
RDL	指	Redistribution Layer 的缩写, 即重布线技术, 通过晶圆级金属布线制程和凸块制程改变其 I/O 接点位置, 达到线路重新分布的目的
引脚	指	集成电路内部电路与外围电路的接线
Pad	指	铝垫, 是晶圆内部电路电信号输入输出的端口, 即晶圆管脚
探针卡	指	是晶圆测试中被测芯片和测试机之间的接口, 通过将测试探针与芯片上的焊区或凸块直接接触, 引出信号, 再配合测试仪器达到自动化检测的目的
I/O	指	Input/Output 的缩写, 即输入输出端口
金盐	指	氰化亚金钾, 是镀金工艺中一种十分重要的原材料, 广泛被用于半导体、印制电路板等行业
光刻胶	指	可以通过光化学反应, 经曝光、显影等光刻工序将所需微图形由掩模板转移至待加工基底上的一种光致抗蚀剂
散热贴	指	一种贴附在 COF 产品上的材质, 可降低芯片工作时的温度
卷带、卷带式薄膜	指	柔性封装基板, 即还未装联上芯片、元器件柔性基板
Tray 盘	指	晶粒盘, 是用于承托晶粒 (芯片) 的托盘
模组	指	由数个基础功能组件组成的特定功能组件, 可用来组成具完整功能之系统、设备或程序

LCD	指	Liquid Crystal Display 的缩写，即液晶显示，是一种借助于薄膜晶体管驱动的有源矩阵液晶显示技术
AMOLED	指	Active-Matrix Organic Light-Emitting Diode 的缩写，即有源矩阵有机发光二极管，其中 OLED（有机发光二极管）是描述薄膜显示技术的具体类型，AM（有源矩阵体或称主动式矩阵体）是指背后的像素寻址技术
Mini LED	指	Mini Light-Emitting Diode 的缩写，芯片尺寸介于 50~200 μm 之间的 LED 器件，主要用于显示器件或背光模组
Micro LED	指	Micro Light-Emitting Diode 的缩写，即微型发光二极管，指由微小 LED 作为像素组成的高密度集成的 LED 阵列
PCB	指	印刷电路板（Printed Circuit Board），又称印刷线路板，PCB 是重要的电子部件，是电子元器件的支撑体与电子元器件电气连接的载体
WLCSP	指	一种封装技术，Wafer Level Chip Scale Packaging 的缩写，晶圆片级芯片规模封装，此技术是先在整片晶圆上进行封装测试，其后再切割成单个芯片，可实现更大的带宽、更高的速度与可靠性以及更低的功耗
TSV	指	一种封装技术，Through Silicon Via 的缩写，即晶圆级系统封装-硅通孔，是一种通过硅通道垂直穿过组成堆栈的不同芯片或不同层实现不同功能芯片集成的封装技术
Fan-Out	指	一种封装技术，扇外型集成电路封装，指基于晶圆重构技术，将芯片重新埋置到晶圆上，然后按照与标准 WLP 工艺类似的步骤进行封装，得到的实际封装面积要大于芯片面积，在面积扩展的同时也可以增加其它有源器件及无源元件
BGA	指	一种封装技术，Ball Grid Array Package 的缩写，即球栅阵列封装，圆形或柱状的焊点按阵列形式分布在基板下面的封装形式
QFN	指	一种封装技术，Quad Flat No-lead Package 的缩写，即方形扁平无引脚封装，封装四侧配置有电极触点，由于无引脚，贴装占有面积比 QFP 小，高度比 QFP 低
LGA	指	一种封装技术，Land Grid Array 的缩写，即栅格阵列封装，是一种 BGA 封装
MCM	指	一种封装技术，Multi-Chip Module 的缩写，即多芯组装，一种将多块半导体裸芯片组装在一块布线基板上的封装形式
SiP	指	一种封装技术，System In a Package 的缩写，系统级封装，是将多种功能芯片和无源器件，包括处理器、存储器等功能芯片集成在一个封装内，实现一定功能的单个标准封装件，从而形成一个系统或者子系统
传统引线键合	指	Wire Bonding，即打线接合，集成电路封装产业中的制程之一，利用线径 15-50 微米的金属线材将芯片及导线架连接起来的技术

注：本上市保荐书中所引用数据，如合计数与各分项数直接相加之和存在差异，或小数点后尾数与原始数据存在差异，可能系由精确位数不同或四舍五入形成的。

一、发行人基本情况

（一）发行人概况

公司名称:	合肥硕中科技股份有限公司
注册地址:	安徽省合肥市新站区综合保税区大禹路 2350 号
有限公司成立日期	2018 年 1 月 18 日
股份公司成立日期	2021 年 12 月 9 日
上市时间:	2023 年 4 月 20 日
注册资本:	118,903.73 万元人民币
股票上市地:	上海证券交易所
股票简称:	硕中科技
股票代码:	688352
法定代表人:	杨宗铭
董事会秘书:	余成强
联系电话:	0512-88185678
互联网地址:	http://www.chipmore.com.cn/
主营业务:	硕中科技是集成电路高端先进封装测试服务商，可为客户提供全方位的集成电路封测综合服务，覆盖显示驱动芯片、电源管理芯片、射频前端芯片等多类产品。凭借在集成电路先进封装行业多年的耕耘，公司在以凸块制造（Bumping）和覆晶封装（FC）为核心的先进封装技术上积累了丰富经验并保持行业领先地位，形成了以显示驱动芯片封测业务为主，电源管理芯片、射频前端芯片等非显示类芯片封测业务齐头并进的良好格局。
本次证券发行的类型:	向不特定对象发行 A 股可转换公司债券

（二）发行人主营业务、核心技术、研发水平

1、主营业务情况

公司是集成电路高端先进封装测试服务商，可为客户提供全方位的集成电路封测综合服务，覆盖显示驱动芯片、电源管理芯片、射频前端芯片等多类产品。凭借在集成电路先进封装行业多年的耕耘，公司在以凸块制造（Bumping）和覆晶封装（FC）为核心的先进封装技术上积累了丰富经验并保持行业领先地位，形成了以显示驱动芯片封测业务为主，电源管理芯片、射频前端芯片等非显示类芯片封测业务齐头并进的良好格局。

公司自设立之初即定位于先进封装测试领域，是境内少数掌握多类凸块制造

技术并实现规模化量产的集成电路封测厂商，也是境内最早专业从事 8 吋及 12 吋显示驱动芯片全制程（Turn-key）封测服务的企业之一。

公司一直以来将技术研发作为企业发展的核心驱动力，在集成电路先进封装测试领域取得了丰硕成果，并为行业培育了大量专业人才。公司在显示驱动芯片的金/铜镍金凸块制造（Bumping）、晶圆测试（CP）、玻璃覆晶封装（COG）、柔性屏幕覆晶封装（COP）、薄膜覆晶封装（COF）等主要工艺环节拥有雄厚技术实力，掌握了“微细间距金凸块高可靠性制造”、“显示驱动芯片铜镍金凸块制造技术”、“高精度高密度内引脚接合”、“125mm 大版面覆晶封装”等核心技术，具备双面铜结构、多芯片结合等先进封装工艺，拥有目前行业内最先进 28nm 制程显示驱动芯片的封测量产能力，主要技术指标在行业内属于领先水平，所封装的显示驱动芯片可用于各类主流尺寸的 LCD 面板、柔性曲面或可折叠 AMOLED 面板；在非显示类芯片封测领域，公司相继开发出铜镍金凸块、铜柱凸块、锡凸块等各类凸块制造技术，搭配后段 DPS、载板覆晶封装技术，可实现全制程扇入型晶圆级芯片尺寸封装（Fan-in WLCSP）的规模化量产，上述技术结合重布线（RDL）工艺以及最高 4P4M（4 层金属层、4 层介电层）的多层堆叠结构，可被广泛用于电源管理芯片、射频前端芯片等产品以及砷化镓、氮化镓等新一代半导体材料的先进封装。此外，公司一直致力于智能制造水平的提升，拥有较强的核心设备改造与智能化软件开发能力，在高端机台改造、配套设备及治具研发、生产监测自动化等方面具有一定优势。受益于在集成电路先进封装测试领域较强的技术储备和生产制造能力，公司各主要工艺良率稳定保持在 99.95% 以上，处于业内领先水平。

公司立足于集成电路先进封装测试领域，以“打造封测领域受人尊敬的伟大企业”为目标愿景，确立了“人才优先、精益质量、资源整合、协作并进”的企业经营方针，以加速我国集成电路先进封装测试行业国产化为己任。未来，公司将继续加大在先进封装测试领域的研发投入力度，在显示驱动芯片封测领域持续开发微尺寸、细间距的凸块制造及后段覆晶封装与测试技术，对应用于 Mini LED、Micro LED 等新型面板的驱动芯片封测技术进行前瞻性部署，继续巩固和加强公司在集成电路封测细分领域的行业地位。在非显示类芯片领域，公司将持续完善电源管理芯片、射频前端芯片制程建设，积极布局功率芯片封装和测试工

艺，不断丰富产品的下游应用领域，向综合类集成电路先进封测厂商迈进。

2、核心技术、研发水平情况

公司通过多年的自主研发，形成了多项核心技术，具体如下：

大类	项目	核心技术名称	核心技术来源	相关技术所处阶段
凸块制造技术	金凸块	微细间距金凸块高可靠性制造技术	自主研发	大批量生产
		大尺寸高平坦化电镀技术	自主研发	大批量生产
	铜柱凸块	高厚度光阻涂布技术	自主研发	大批量生产
		光阻气泡解决技术	自主研发	大批量生产
	铜镍金凸块	低应力凸块下金属层技术	自主研发	大批量生产
		微间距线圈环绕凸块制造技术	自主研发	大批量生产
		高介电层加工技术	自主研发	大批量生产
		多层堆叠封装技术	自主研发	大批量生产
		显示驱动芯片铜镍金凸块制造技术	自主研发	大批量生产
	锡凸块	真空落球技术	自主研发	大批量生产
小尺寸高密度焊锡凸块技术		自主研发	大批量生产	
测试技术		测试核心配件设计技术	自主研发	大批量生产
		集成电路测试自动化系统	自主研发	大批量生产
封装技术	COF	高精度高密度内引脚接合技术	自主研发	大批量生产
		125mm 大版面覆晶封装技术	自主研发	试生产
		高精度柔性线路板封装工艺中微尘保护技术	自主研发	大批量生产
		全方位高效能散热解决技术	自主研发	大批量生产
	COG/COP	高稳定性晶圆研磨切割技术	自主研发	大批量生产
		超薄晶圆盖印技术	自主研发	大批量生产
	DPS	高精高稳定性新型半导体材料晶圆切割技术	自主研发	大批量生产
载板覆晶封装	高精密覆晶方形扁平无引脚及模块之封测的技术	自主研发	试生产	

(1) 凸块制造技术

凸块制造工艺是集成电路制造的延伸，是现代先进封装的核心技术之一，通过溅镀、黄光（光刻）、电镀、蚀刻等环节在芯片表面形成微小的金属凸块，代替了传统封装的“引线”，为芯片电气互连提供了新的连接方式，具有密度大、低感应、低成本、散热能力佳等优点。同时，凸块制造技术也是先进封装技术的

基础，目前 FC、Fan-out、WLCSP、2.5D/3D 等高端先进封装形式均是基于凸块制造技术所发展和演变而成。经过数年的发展，凸块技术日益成熟，凸块制造材料也不断丰富，可适用于各类应用领域。

公司自设立以来即专注于凸块制造的技术研发，可提供完整且丰富的晶圆凸块制造技术解决方案，是境内少数同时具备金凸块、铜镍金凸块、铜柱凸块以及锡凸块大规模量产技术的先进封测厂商，相关凸块技术可以适用于显示驱动芯片、电源管理芯片、射频前端芯片等各种芯片的互联。

1) 金凸块制造相关核心技术

①核心技术概况

金凸块（Gold Bumping）制造技术是利用凸块制造技术在芯片焊盘表面制作尺寸与间距极其微小的金凸块，后续可通过倒装工艺将芯片倒扣在玻璃基板（COG）、柔性屏幕（COP）或卷带薄膜（COF）上，利用热压合工艺或透过异方性导电胶使凸块与线路上的引脚结合起来。金凸块具备良好的导电性、可加工性和抗氧化性，主要应用于显示驱动芯片。

公司目前可使金凸块之间的最细间距至 $6\mu\text{m}$ ，在尺寸本已经很小的单颗芯片上最多“生长”出 4,475 个金凸块，同时所有凸块保持着极高的精确程度，在芯片内的凸块高度公差可控制在 $0.8\mu\text{m}$ 内，多项指标处于行业领先地位。

②具体核心技术介绍及先进性体现

A、微细间距金凸块高可靠性制造技术

显示驱动芯片所需要的金凸块制造工艺，旨在各个焊垫上加工形成对应的凸块，凸块代替了传统封装的打线工艺，起到串联芯片内部线路与外部引线的作用。随着芯片 I/O 的增加，对凸块间距的要求愈发窄小化，但各个凸块之间不可形成短接效应，否则将严重影响显示驱动芯片的功能，因此凸块防短接技术应运而生。

黄光是凸块制造过程中重要的一环，即利用光刻技术将预制图形转移至光刻胶上，随着凸块的间距逐渐缩小，预制图形的精度也在不断提高，而光刻胶预制图形与基板的结合强度与完整度是影响微细间距金凸块可靠性的关键因素。公司开发的“微细间距金凸块高可靠性制造技术”，通过提升预制图形的结合力以及

增强涂胶工艺的稳定性，解决了上述技术难点。

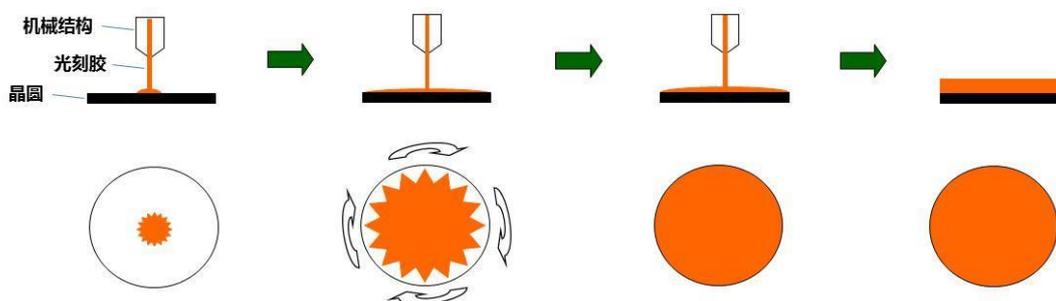
a、高预制图形高结合力

公司创造性地通过调整烘箱参数、增加紫外加曝流程等方式，开发出一整套防凸块短接技术，此套技术可使光刻胶中结合键变得更加稳固，使之与基板的结合力不断提升。经过此项技术优化后，可极大降低短接发生率，为金凸块间距的进一步缩小提供了可能。

b、高稳定性涂胶工艺

公司使用旋涂式机台进行光刻胶涂布，其机理简述为特定的机械机构于旋转的晶圆特定位置上方喷吐一定量的光刻胶，随后晶圆持续以指定的转速旋转，借用离心力作用，使光刻胶均匀分布在晶圆表面以达到可制作预制图形的工艺标准。

涂胶过程示意图



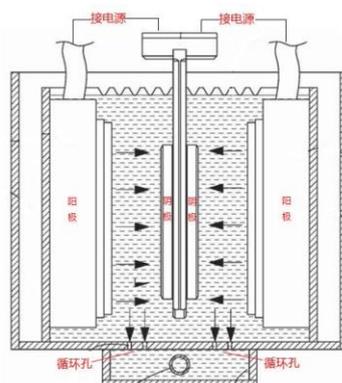
在光刻胶工艺中，旋涂过程的工艺细节将直接影响涂布质量，气泡、回溅、堆积都会使后续预制图形不完整或不规则化，进而造成凸块短接或断接等异常情况。在后续流程中，即使是预制图形完整的晶圆亦会因工艺细节差异产生与基板结合不佳的状况，进而造成凸块短接的异常。

光刻胶旋涂流程中，光刻胶本身的状态以及旋转过程中的回黏均是影响涂布质量的关键因素。为提升涂布质量，公司不断进行硬体设计及软体参数的改良。一方面，公司通过对光刻胶管路的设计，创造性地发明了自动排泡装置，此装置可将光刻胶容器中的气泡在吸入管路时被滤除，大幅降低了光刻胶气泡发生率。另一方面，通过对涂布机台结构单元的设计，也大幅降低了光刻胶回溅、堆积的发生率。

B、大尺寸高平坦化电镀技术

金凸块制造工艺的核心步骤之一为凸块生长，该工艺涉及槽式化学电镀，其机理简述为：铂金钛网作为阳极，晶圆作为阴极，通过导线、电镀槽与电源构成电路回路。而金盐溶于电镀槽内，金以离子形态存在；电路回路通电后，金离子获得电子还原成金原子，并定向在阴极（晶圆）析出，形成金凸块。

槽式化学电镀工艺示意图



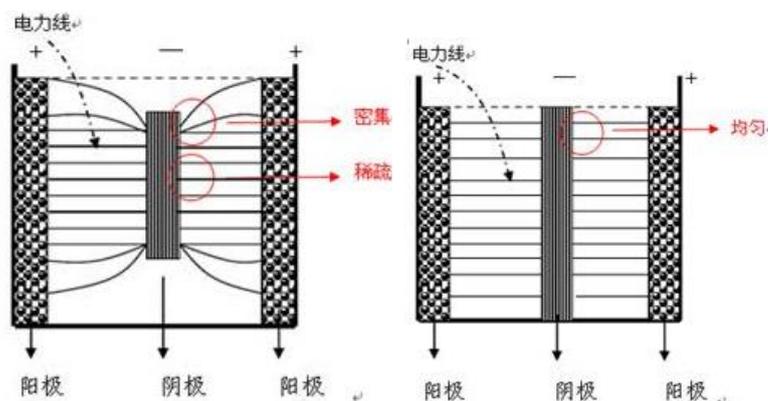
图片来源：公司内部资料

此套工艺方式中，晶圆内凸块平坦化是重要质量指标之一，平坦化较差的金凸块会严重影响产品特性。随着晶圆尺寸不断向 12 吋迈进，芯片制程能力的提升导致线宽越来越窄、底层线路越来越复杂，对凸块平坦化技术提出了更高的要求。针对大尺寸晶圆的凸块平坦度提升，公司主要开发出了“大尺寸高平坦化电镀技术”，相关技术的先进性主要如下：

a、电镀电场均匀化工艺

传统电镀设备的电力线分布状况为中间疏、边缘密，不均匀的电场分布将直接导致不同区域的金离子析出速率存在明显差异，进而造成凸块共面性差的现象。为解决电场分布不均匀的问题，公司通过对阳极阴极的技术改造、改变等电位平面、改善低电流区域电流分布等方式，使电场整体呈现均匀化的效果。

电镀电场均匀化工艺示意图



图片来源：公司内部资料

b、晶圆表面电流均匀化工艺

晶圆在电镀槽电镀过程中，通过晶圆表面的电流均匀性也是决定凸块平坦度的重要因素。电流从供应器端口输出传至晶圆，其均匀性主要取决于输出稳定性及晶圆种子层厚度均匀性。公司通过对电流输出装置的改进，以及对种子层生长参数的优化，改良了电流均匀性水准，从而进一步提升了大尺寸晶圆凸块的平坦化水平。

2) 铜镍金凸块相关核心技术

①核心技术概况

在集成电路封测领域，铜镍金凸块属于新兴先进封装技术，近年来发展较为迅速，公司是境内少数将该技术运用于大规模量产的企业。铜镍金凸块制造技术是对传统引线键合（Wire bonding）封装方式的优化方案，主要应用于电源管理类芯片。

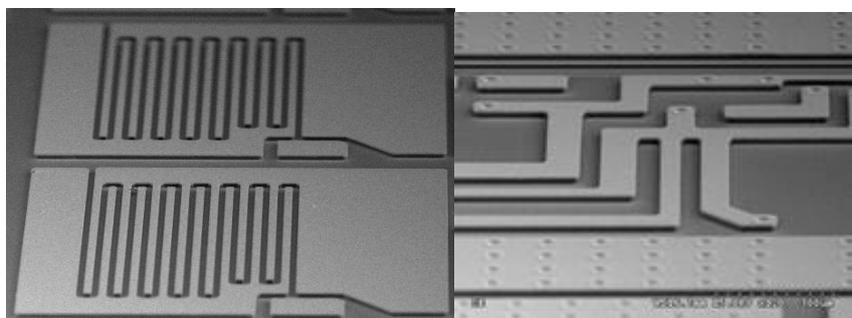
引线键合是集成电路行业中使用较早一种封装方式，具有成本较低、应用较广的优势。但随着集成电路行业的快速发展，芯片制程越来越高，传统的引线键合已经不能满足高性能芯片对封装的要求。具体而言，由于芯片面积越来越小，可以用于连接封装基板的顶铝（Al-Pad）数量愈发有限，同时芯片线路布局的也会影响引线的走向，并且裸漏在外的顶铝在可靠性上难以得到保障，因此在裸芯片上直接进行引线键合工艺一般只适用于中低端产品，其本质上属于传统封装范畴。

铜镍金凸块在较低的成本下从技术上克服了传统引线键合工艺的缺点。首先

在封装结构上，铜镍金凸块可大幅增大芯片表面凸块的面积，在不改变芯片内部原有线路结构的基础之上，相当于对裸芯片进行了重新布线（RDL），大大提高了引线键合的灵活性；其次，大面积凸块可提高键合的导电性能、散热性能，尤其适用于高温高湿环境，克服了裸芯片可靠性低的问题；另外，一般而言，成本相对较低的铜、镍分别约占凸块体积的 80%、16%，而单价相对较高的金占凸块体积仅有 4% 左右，因而使得铜镍金凸块在原材料成本上具备天然的优势。

电子显微镜下的铜镍金凸块结构

（左图：铜镍金凸块；右图：具有 PI 层的铜镍金凸块）



图片来源：公司内部资料

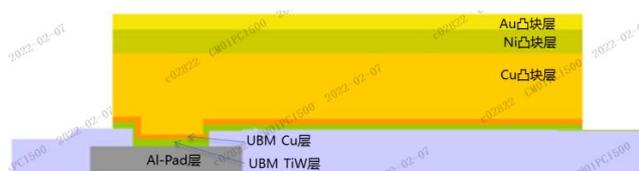
②具体核心技术介绍及先进性体现

公司于 2015 年开始建立铜镍金凸块制程，目前已经实现大规模量产，同时公司也是中国大陆少数可大规模提供铜镍金凸块加工服务的厂商。多年来，公司在铜镍金凸块加工技术上不断进行开拓创新，具备较强的技术实力，拥有的核心技术主要如下：

A、低应力凸块下金属层技术

凸块下金属层（UBM, Under Bump Metal）是凸块制造技术的重要环节，是指采用物理气象沉积（PVD）技术，在晶圆表面形成一层电镀导通层，即种子层（Seed Layer）。对于以金属铜为主要结构的凸块，种子层也为铜，然而在无阻隔的情况下，凸块下铜层会与顶铝（Al-pad）之间发生共晶效应而造成芯片部分性能失效，因而会在凸块下铜层与顶铝之间再增加一层阻隔层，业界通常使用钛（Ti）金属层，形成 Ti/Cu 的 UBM 结构。公司在多年的制造经验上，发现相较于钛金属层，钛钨（TiW）层具备更低的应力，使得芯片翘曲度降低、内应力更小、性能更稳固，尤其适用于大面积的铜镍金技术。

铜镍金凸块横截面示意图



图片来源：公司内部资料

根据 TiW/Cu 与 Ti/Cu 的应力数据比较, TiW/Cu 的薄膜应力不仅低于 Ti/Cu, 并且接近于 0MPa, 对于大面积的覆铜产品具有较高的适用性, 公司在此领域多年的生产经验也充分验证了其可靠性。

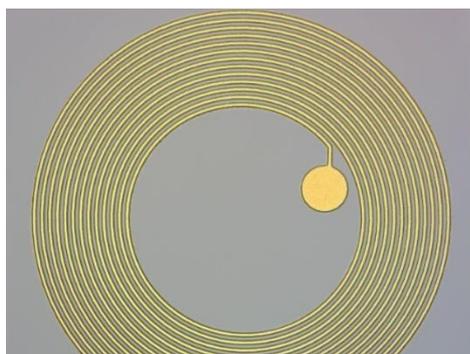
B、微间距线圈环绕凸块制造技术

随着集成电路技术下游应用的不断发展, 对于高电磁、强感应等特殊芯片的封测需求逐渐增多, 此类产品需要以重布线 (RDL) 环绕的方式在芯片表面布满线圈, 重布线层不使用传统的纯铜金属, 而采用铜镍金结构, 一方面可使键合端凸块键合能力更强, 另一方面表层的金具备更优良的抗氧化能力。

在一颗面积已固定的芯片表面, 可布环绕线圈的总长度, 与线圈的设计宽度和间距有关, 宽度和间距越小总长越大。因产品设计性能需要, 客户希望能提升环绕线圈的总长度, 因此如何缩小线圈的宽度和间距, 成为此类凸块技术的关键。

由于线圈的宽度主要受到曝光、显影能力影响, 过小的宽度很容易显影不净难以形成电镀凸块的情况; 而线圈的间距又受到光刻胶强度影响, 过小的间距容易坍塌, 造成凸块相互桥接; 上述问题是该工艺控制的难点。目前公司通过多项技术改进和优化, 使得成熟量产的线圈最小宽度为 10 μ m、最细间距为 9 μ m, 根据芯片需要可实现最大长度环绕。

微间距线圈环绕凸块制造技术示意图



图片来源：公司内部资料

C、高介电层加工技术

对于凸块加工技术来说，聚酰亚胺（PI）作为介电层在微电子产业具有广泛应用。PI 可提供优良的缓冲效应，对芯片进行多方面的保护。通常一层 PI 称为 1P，一层金属称为 1M，逐层叠加可形成诸如 1P1M、2P2M 等封装体结构。PI 的厚度受到材料、工艺等方面的限制，一般而言 PI 的厚度不超过 10 μm ，但高介电的铜镍金凸块对 PI 厚度要求更高。目前，公司在 15 μm 及 20 μm 的光刻工艺上已具备成熟量产能力，形成完整的 5 μm 、10 μm 、15 μm 、20 μm 的 PI 厚度体系，使得 PI 的应用范围明显扩大，满足了各类高端隔离芯片封装需求。

此外，图形转移对位偏移量、介电层厚度共面性、与上下层的结合力是介电层可靠性的另外几个主要指标，公司产品可达到的水平具体如下：

指标名称	指标所代表的含义	公司可达到的水平
图形转移对位偏移量	黄光工序中 PI 开窗与 Al-Pad 之间的对准度	1 μm 以下
介电层厚度共面性	一片晶圆上不同位置的 PI 厚度	5 \pm 1.5 μm 、10 \pm 2 μm 、15 \pm 3 μm 、20 \pm 4 μm
与上下层的结合力	PI 与下层（主要是晶圆本身的氮化硅）或上层（主要是金属）之间的结合状况	经大量剥离实验（Peeling test）确认所产出的品质无异常，并通过了高温高湿等可靠度测试

D、多层堆叠封装技术

在先进封装领域，多层 PI 与多层金属堆叠一般不会超过 2P2M。叠加层数越多，共面性越难被控制，PI 曝光显影能力也会减弱，极容易出现显影过度造成 PI 不完整的情况。

公司通过多年的技术积累，可实现多 P 多 M 堆叠，目前已实现最高 4P4M 的量产工艺。多年来，公司在铜镍金凸块加工技术上不断进行开拓创新，具备较强的技术实力。

E、显示驱动芯片铜镍金凸块制造技术

传统显示驱动芯片凸点为金凸块，铜镍金凸点技术利用与原本金凸点相同的薄膜、黄光制程在硅片开窗位置处分别电镀铜、镍、金合成凸点来取代原本单一金凸点，控制凸块的材料成本。公司基于在凸块制造方面的深厚积累，开发出了以铜镍金为主要基材的凸点来代替原有纯粹的金凸点，保持了铜镍金凸点的高

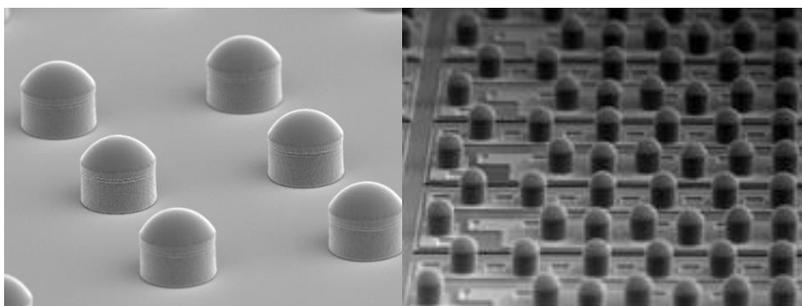
度、结合强度、表面粗糙度等方面的性能，制程良率方面已达到量产要求。

3) 铜柱凸块相关核心技术

①核心技术概况

铜柱凸块结构主要由铜柱（Cu Post）和锡帽（SnAg Cap）构成，可通过倒装（FC）的方式，将芯片倒扣焊接在封装基板或者框架上。同时通过增加再钝化（Re-passivation）层制程，可增强芯片抗化学腐蚀、抗击穿、抗冲击的能力，整体上提升芯片的可靠性，同时也可以通过增加 RDL 制程对芯片表面线路重新布局，充分利用 IC 空间。

电子显微镜下的铜柱凸块结构

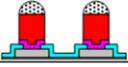
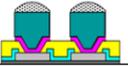
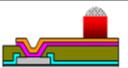
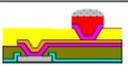


图片来源：公司内部资料

对比传统的打线制程，粗而短的铜柱大幅降低了电路的长度和阻抗，减少了系统寄生电容的干扰以及电阻发热、信号延迟等缺点，在提高模组性能的同时减小了芯片封装的面积和体积，目前已大规模应用在射频、功率等器件的封装制程中。

公司于 2016 年具备铜柱凸块的制程能力，在铜柱凸块工艺和产品可靠性方面具有较强的实力。相较于行业龙头企业，公司虽在该领域起步较晚，但多年以来通过不断学习和消化吸收行业先进技术，发展速度较快，目前已形成多类别、多应用的产品体系。

公司铜柱凸块的产品体系

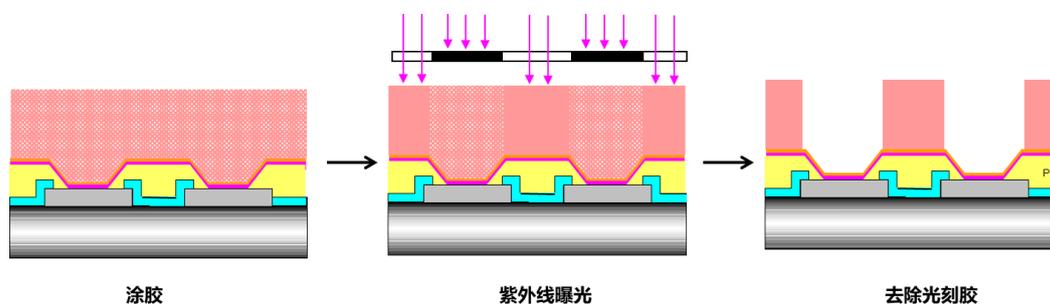
工艺类别		凸块结构		主要应用	封装方式
铜柱凸块	1M		Cu/SnAg Cap	电源管理、射频芯片、功率放大器、TVS、MEMS等	倒装/WLCSP
	1P1M		PI+Cu/SnAg Cap		
	2M		Cu RDL+Cu/SnAg Cap		
	1P2M		PI+Cu RDL+Cu/SnAg Cap		
	2P2M		PI+Cu RDL+PI+Cu/SnAg Cap		
	3P3M		PI+Cu RDL+PI+Cu RDL+PI+Cu/SnAg Cap		

②具体核心技术介绍及先进性体现

A、高厚度光阻涂布技术

凸块制造的核心环节之一是光刻图形转移，而光刻胶涂布是光刻技术的首要步骤，决定了图形转移的质量。

光刻图转移步骤示意图



图片来源：公司内部资料

铜柱凸块高度一般在 $50\mu\text{m}$ 以上，在光刻胶（PR）制程段至少需要 $60\mu\text{m}$ 以上的厚度，以保障电镀时开窗的深度足够大。光刻胶通过旋涂的方式在晶圆上进行涂布，其厚度会受到光刻胶黏度、旋涂设备转速等因素的限制。由于上述限制，光刻胶厚度一般低于 $40\mu\text{m}$ ，难以满足铜柱凸块的电镀需求。目前业界有两种做法，一种是采用贴膜的方式，即直接在晶圆贴上一层预制的干膜（Dry Film），但由于供应商一般只提供 $80\mu\text{m}$ 、 $120\mu\text{m}$ 厚度等固定型号的干膜，因而此类方法灵活度较低，且专用机械贴的干膜与晶圆表面结合牢固性较弱，在电镀时极易出现渗镀（under-plating）问题。另一种做法是通过两次涂布（Double coating）的

方式，将光刻胶的总厚度提高至电镀所需，此类方法可行性高，但工序上比较繁琐。

通过多年对上述两种光阻工艺的研究与实践，公司提出只用一道工序实现两次涂布的生产方案，并协同设备厂商共同开发，既解决了干膜的灵活度低、渗镀的问题，也简化了两次涂布的工序流程，极大地提高了生产效率。公司在大量规模生产中不断完善相关工艺，目前已形成 60 μm /80 μm /90 μm /110 μm /130 μm 完整体系，满足各类铜柱凸块的电镀需求。

B、光阻气泡解决技术

光阻气泡是光刻胶涂布的常见异常，出现气泡的原因可分为两类：第一类为机械原因，即光刻胶自涂布机台的供液系统产生的气泡，这部分可通过设备改善解决；第二类为物理原因，即设备本身并无异常出现，而在涂布过程仍然出现了气泡问题，其中涉及到衬底表面的润湿性能、结构等因素。针对第二类光阻气泡的解决方案，公司在理论和实践方面均有所突破，提出了根本性的解决方法，为凸块复杂结构工艺的发展奠定了基础。

电子显微镜下的光阻气泡



图片来源：公司内部资料

根据接触角理论，光刻胶在旋涂过程中，如果接触角大于 90° ，呈现疏水状态，在涂布时遇到高低差，会残余空气，形成气泡。如果能够降低接触角，使光阻与衬底接触角小于 90° ，呈现亲水性，可以改善气泡问题。

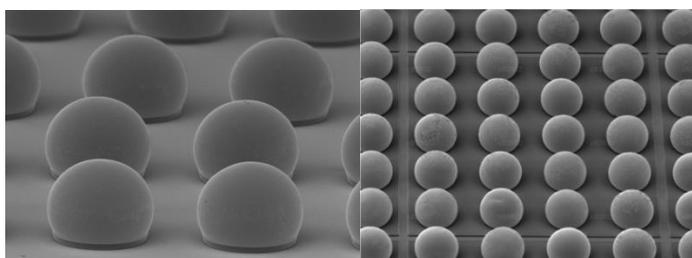
然而，供应商不会因为一些特殊结构的产品需求随意改变光刻胶配方，改变润湿性不能从改变光刻胶性质入手，只能通过改变衬底状态的方式来完成。公司在结合大量验证基础上，创造性提出利用介电层 PI 的粗糙度来改变衬底的润湿性能，较为高效且经济地解决了物理气泡问题。

4) 锡凸块相关核心技术

①核心技术概况

该技术制程与铜柱凸块流程相似，凸块结构主要由铜焊盘（Cu Pad）和锡帽（SnAg Cap）构成（一般配合再钝化和重布线结构），差别主要在于焊盘的高度较低，同时锡帽合金是成品锡球通过钢板印刷，在助焊剂以及氮气环境的帮助下高温熔融回流和铜焊盘形成一个整体后的产物，锡凸块一般是铜柱凸块尺寸的3~5倍，球体较大，可焊性更强，主要用于 Fan-in WLCSP 制程。

电子显微镜下的锡凸块



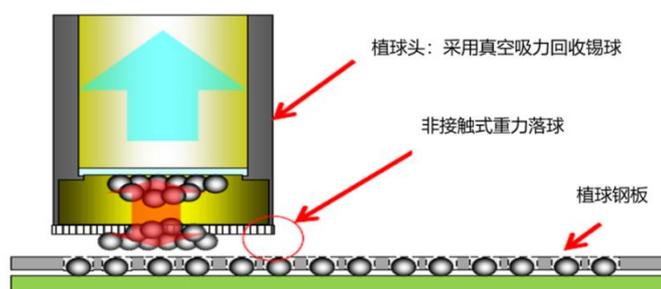
图片来源：公司内部资料

②具体核心技术介绍及先进性体现

A、真空落球技术

公司的真空落球技术区别于业界主要的毛刷、刮刀等接触式落球技术，避免了接触式落球技术对球体刮伤、损坏、粘球、混球等因素造成的不良，改善了因物理损伤造成产品异常的隐患。同时，可有效避免接触式刮刀及毛刷粘球、混球等影响因素，保证了产品质量的稳定性及量产顺畅度。

公司真空落球技术示意图

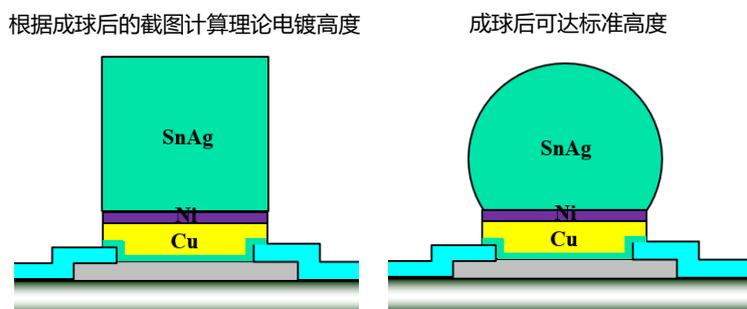


图片来源：公司内部资料

B、小尺寸高密度焊锡凸块技术

目前受制于钢板尺寸的大小限制，植球焊锡工艺的球体尺寸一般在 150 μ m

以上，难以适用在尺寸更小、密度更高的产品上，公司通过曝光焦面补偿，可精准对位焊盘并控制光刻开窗的尺寸，同时通过截球体积精准计算截球尺寸和高度，结合高压预处理电镀技术，可生产 $40\mu\text{m} \pm 4\mu\text{m} \sim 150\mu\text{m} \pm 15\mu\text{m}$ 的超小尺寸、超高集成、高精度的锡凸块。



图片来源：公司内部资料

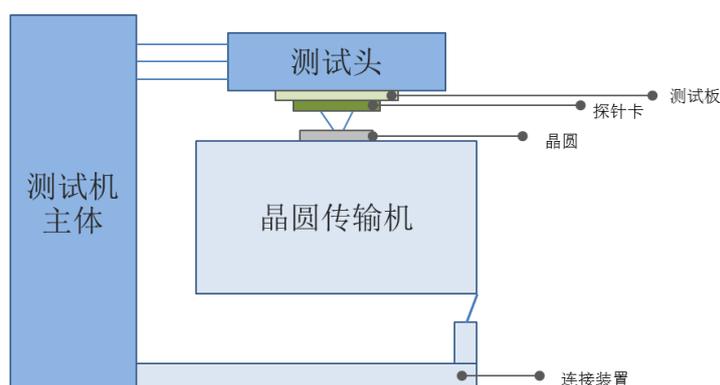
(2) 测试技术

1) 核心技术概况

芯片的测试具体包括晶圆测试（简称“CP”）和芯片成品测试（简称“FT”），是几乎所有芯片所必须的制程，每颗芯片都需 100% 经过测试才能保证其正常使用。通过对芯片产品的电压、电流、时间、温度、电阻、电容、频率、脉宽、占空比等功能参数的专业测试，才能够验证芯片是否符合设计的各项参数指标，确认在晶圆制造和芯片封装的过程中是否存在瑕疵。

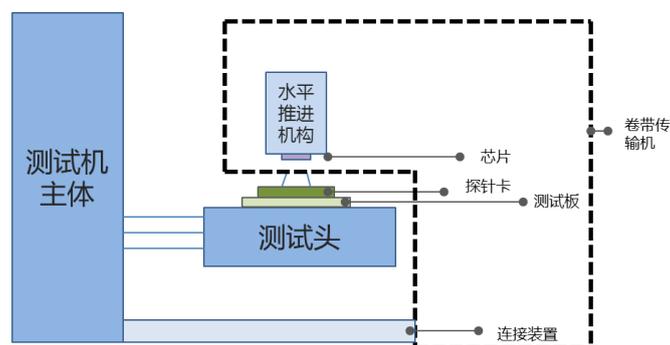
具体而言，CP 测试环节处于晶圆凸块制造与封装之间，晶圆凸块制作完成，成千上万颗裸芯片（未封装的芯片）规则地满布在晶圆上，由于制造缺陷原因，裸芯片会有一定量的残次品，CP 测试目的就是在封装前将这些残次品标记出来，以提高出厂的良品率，减少后续封装及测试成本。由于裸芯片尚未被封装，引脚全部裸露在外，因此这些极其微小的引脚需要利用探针卡（Probe card）充当媒介与测试机（Tester）连接，以完成晶圆测试的目的。

晶圆测试（CP）的示意图



公司的 FT 测试主要针对 COF 封装类产品进行出货前的最终测试。COF 封装是将芯片与卷带完成触点与内引脚接合的过程，由于晶圆在研磨切割和后段封装过程中存在部分残次品，FT 测试的目的即标记出残次品以保证产品出厂的良率。与 CP 环节类似，探针卡（Probe card）作为媒介完成芯片外引脚与测试机（Tester）的连接并完成电性能的测试。

芯片成品测试（FT）的示意图



2) 具体核心技术介绍及先进性体现

针对不同芯片的实际应用领域、使用环境、性能差异以及终端应用对芯片的不同要求，公司可有针对性的为客户开发不同测试深度、测试强度以及测试覆盖率的定制化测试解决方案，以响应客户对芯片个性化性能需求。公司在测试环节涉及的核心技术主要如下：

①测试核心配件设计技术

A、探针卡设计及自主维修

探针卡作为芯片测试过程中的核心配件，对于维持测试的稳定性至关重要，具备探针卡自主维修能力可大幅缩短维修周期，减少维修成本。发行人拥有充足

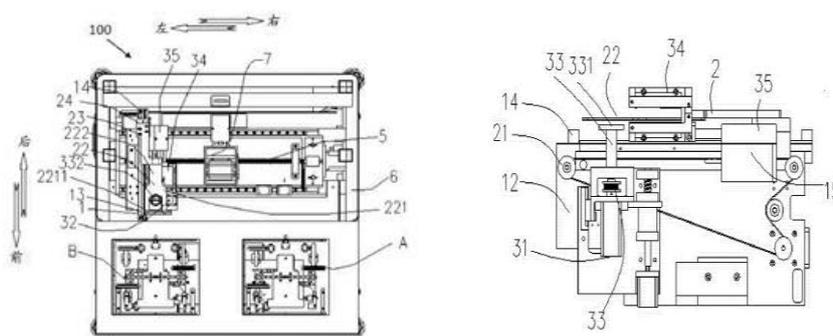
的探针卡维修技术，包含物理性（清针/磨针/调针/换针全套技术能力）和电性（焊接/电路分析及改造）维修能力。

发行人自主研发了探针卡自动维修设备，并申请了专利，相关设备大幅提升了维修效率，使得公司成为业内为数不多具备独立设计相关设备能力的封测企业。

B、晶圆分并批自动化设备设计

晶圆分并批自动化是发行人通过自主研发的晶圆自动分并批设备串联 MES 系统实现自动化作业的技术，可有效提高分并批作业效率，降低作业中的品质隐患。通过网络连接厂内分并批作业系统，作业人员使用扫描枪刷取作业批次条码，调用系统内设定好的分并批指令，实现自动化作业。

晶圆分并批设备及系统设计图



C、对接配件及测试治具设计

公司具备晶圆传输机、卷带传输机与测试机台对接配件的设计研发能力，通过上述关键配件的自主研发，可大幅提升连接后设备的稳定度。同时，公司具备测试治具的设计研发能力，可快速应对不同产品类型测试需求及稳定度要求，如自主研发的 CP 高温治具，可解决探针卡高温膨胀问题；自主研发的相关专业测试治具，可用于 FT 双面铜和散热贴等。

②集成电路测试自动化系统

为了提升测试效率及品质，同时给客户提供更加优质的服务，公司有专门的自动化本部，致力于自主开发自动化系统。公司先后研发并建立了程式及参数闭环管理系统、良率及大数据分析系统、客户服务系统等，极大地提升了芯片的测试效率，主要系统介绍如下：

A、程式及参数闭环管理系统

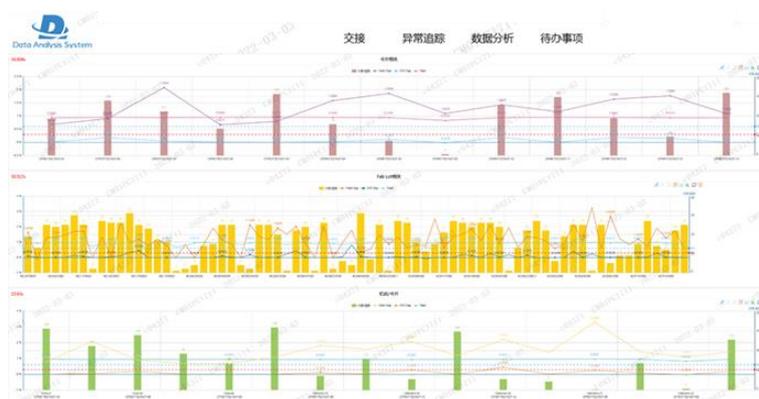
通过条形码刷取产品基本信息自动从服务器下载测试程式，在此过程中先后和测试设备、制造执行系统（MES）、配件管理系统、测试资料分析系统进行串接，并在后台进行各项参数比对管理，保证产品品质。



B、良率及大数据分析系统（Data Analysis System）

公司自主开发的分析系统可根据数据模型自动解析测试环节产生的各类数据，并进行良率、参数、效率等情况的自动监控及管理，同时该系统具备较强的可扩展性，有助于降低成本、提升作业效率。

良率及大数据分析系统分析结果示意图



3) 封装技术

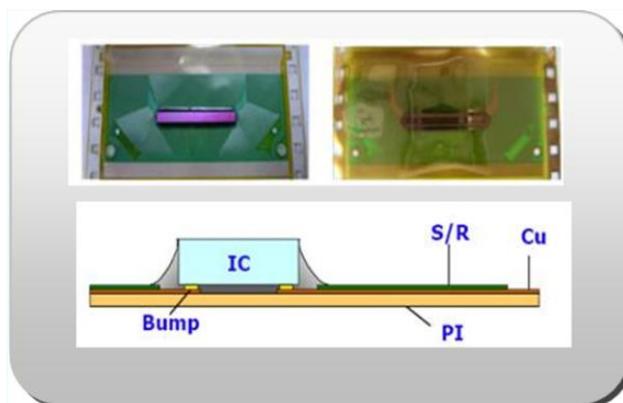
(1) 薄膜覆晶封装（COF）相关核心技术

①核心技术概况

薄膜覆晶封装是通过倒装的封装工艺，将完成金凸块加工及测试后的芯片倒扣卷带式薄膜上，利用热压合使金凸块与卷带式薄膜上的引脚相结合起来，具有

低阻抗、高密度、体积小、易弯折、散热性能优良等优点。

经薄膜覆晶封装（COF）后的芯片



由于显示驱动芯片的 I/O 数量普遍较高，COF 工艺需要同时将数千颗 I/O 接点一次性精准、稳定、高效地进行结合。同时，显示驱动芯片 I/O 接点间距最小仅数微米，其他类芯片 I/O 间距一般在几十或几百微米以上，在倒装结合工艺中，需严格控制结合的精度和稳定性，避免相邻的接点间造成信号短接。另外，相较于硬质基板，柔性薄膜在压合封装工艺中，存在难压合、易损伤、涨缩控制不易等特性。因此，对比其他倒装技术，COF 有着较高的技术难点和工艺要求。

②具体核心技术介绍及先进性体现

A、高精度高密度内引脚接合技术

随着目前显示技术的快速提升，显示驱动芯片封装朝着高密度、微间距方向发展，单颗芯片的 I/O 数量大幅增加，间距越来越小，需保证每个金凸块与卷带薄膜上的引脚高效、准确的结合，任何一处的结合偏差，会导致连接信号的断路或相邻 I/O 间信号短接。为解决此问题，公司开发出一整套高精度高密度的内引脚接合的核心技术。如公司通过自主研发，优化了内引脚接合设备，对高温压头的结构、温度作用方式和控制结构进行了创新，使得在内引脚热压合过程中可对温度进行精准控制，在几十毫秒内，将温度准确、均匀地作用于每一个引脚，确保每一根引脚均与金凸块有效的结合；公司通过对识别定位装置的调整、识别算法的优化，使其可以连续高速的进行准确对位，同时开创性地在内引脚接合设备上实现对偏移状况进行自动检查及修正的装置，有效地进行品质自动化监控等。

目前公司 COF 产品可达到的引脚最细间距为 12 μm ，凸块与引脚的偏移率控

制在 1.5 μm 以内，单颗芯片 I/O 数量约 4,000 个，在行业内处于领先水平。同时，公司具备双面铜结构 COF 封装工艺，使得引脚数量成倍增加，可适用于更先进、更高分辨率的显示屏幕，如智能手机高端机型的 AMOLED 屏幕封装。此外，公司 COF 工艺可将多颗同类芯片或不同类芯片结合在一起，将芯片功能整合，有效地减少了单个芯片的封装体积，为客户提供更多的芯片封装解决方案。

B、125mm 大版面覆晶封装技术

目前，业界卷带薄膜宽度一般为 35mm、48mm、70mm 三个尺寸，卷带越宽，意味着越多的 I/O 数量，比如卷带宽度增加至 125mm 后，意味着 I/O 数量是现有最宽 70mm 卷带的 1.5 倍。卷带薄膜宽度的增加，可有效迎合高阶显示技术的发展，满足显示驱动芯片更高要求。但是，由于卷带为柔性薄膜，随着宽度的增加，卷带弯折翘曲现象更加严重，对封装工艺中的设备传送、内引脚接合等环节均带来了新的工艺难度和挑战。

通过多年的研发，公司自主研发并改良了多个设备的作业机构，并优化了相关工艺参数，目前已攻克了 125mm 超大带宽柔性薄膜带来的技术难题，具备量产能力。

C、高精度柔性线路板封装工艺中微尘保护技术

引脚间的细小微尘可能造成引脚间电信号的短接，对产品质量造成不可逆的损害，因此防尘保护技术也是 COF 封装中十分重要的核心技术之一。公司持续自主研发多项微尘保护技术，避免微尘对产品品质影响。例如通过对各工艺设备建立独立的微尘防护系统，抑制环境中的微尘对制造过程中的污染；开发芯片和薄膜卷带的上料清洁装置，有效去除封装工艺前的微尘；开发保护带清洁装置，避免了保护带上的微尘影响封装后的产品等。

D、全方位高效能散热解决技术

目前新型显示技术要求显示驱动芯片高功率运行，在使用过程中芯片会产生大量热量。在 COF 产品上贴附散热贴是其中一种散热方式，但贴附过程中存在贴附不平整、绕折后脱落等问题，尤其是在 IC 面贴附，由于贴附过程中需要对 IC 进行保护，以上问题更为突出。

公司自主开发全新的散热贴贴附工具及贴附工艺，较好地解决了以上问题，

并可提供卷带背面贴附、芯片背面贴附、散热胶涂布等多种散热方案。此外，公司自主研发、设计了一种新型散热结构，进一步完善了公司全方位高效能散热解决技术。

（2）玻璃覆晶封装（COG）/柔性屏幕覆晶封装（COP）相关核心技术

①核心技术概况

COG/COP 是将完成凸块制造以及测试后的晶圆进行研磨，切割成单颗芯片，并准确放置在特制的 Tray 盘中，供面板厂后续将芯片覆晶封装在玻璃基板或柔性屏幕上，主要应用于中小尺寸面板的显示驱动芯片。就公司而言，COP 与 COG 的工艺技术在后段封装环节基本类似，COP 主要适用于 AMOLED 面板，为显示技术未来发展的重要领域之一。

②具体核心技术介绍及先进性体现

A、高稳定性晶圆研磨切割技术

随着显示驱动芯片厚度不断降低，芯片尺寸长宽比越来越大，晶圆的切割过程中容易造成芯片断裂等异常。

公司致力于开发高稳定性晶圆研磨切割技术。例如，公司可对晶圆切割装置实现多设备统一控制，对切割过程中的偏移等品质问题进行实时监控，大幅提升晶圆切割的品质和效率。此外，为应对冷却水管异常，公司研发出专门的晶圆切割处理方法，能够解决晶圆在切割过程中冲水角度异常造成切偏的现象。目前公司切割后的芯片长宽比可大于 40: 1，研磨切割厚度最薄 50 μm ，最小切割道宽度 40 μm 。

B、超薄晶圆盖印技术

公司研发的薄化晶圆不透膜激光盖印技术，依靠一系列控制在薄片晶圆的背面镭射出客户需求的文字，并时刻监控盖印位置，从而控制盖印位置的精准度，确保产品达到客户需求。公司盖印工艺可实现晶圆最薄至 90 μm ，且不需透膜盖印，而且可保证盖印深度在 1 μm 以内，有效减少薄片晶圆在透膜盖印时的残胶问题。

（3）DPS 封装相关核心技术

①核心技术概况

DPS（晶圆级载带封装）工艺是实现扇入型晶圆级芯片尺寸（Fan-in WLCSP）封装的重要一环，具体指晶圆完成凸块制造以及测试之后，对其进行研磨并切割成单颗芯片，再挑拣置于特制的卷绕式载带中。后续可以通过 SMT 或 flip chip bond 的方式直接将其焊接到封装基板或 PCB 上。相较传统的芯片封装方式，采用 DPS 工艺可实现封装后芯片面积基本等同于封装前裸芯片尺寸，同时也具备倒装封装的优点，是未来封装技术发展的主流之一。

②具体核心技术介绍及先进性体现

公司于 2019 年建成 DPS 产线，标志着公司具有全制程的 Fan-in WLCSP 技术，目前产品广泛应用于射频前端芯片、电源管理芯片等集成电路产品。

A、高精高稳定性新型半导体材料晶圆切割技术

随着半导体行业迅猛发展，芯片产品也朝着精密化、小型化的方向发展，中小尺寸芯片在分割加工过程中易发生晶背碎裂异常。同时各类新型的先进封装产品不再使用单一的硅材料晶圆，各种不同材质的晶圆应运而生。配合产品应用的发展，公司潜心钻研出不同的技术方案和生产装置以确保晶圆切割品质。

首先，针对高密度芯片，传统的机械开槽、分割方式难以满足上述中小尺寸芯片的加工需求，公司在原有设备上研发出新型激光切割方式，可精准控制切割精度，晶圆切割厚度最大到 125 μm ，切割精度控制 3 μm 以内。同时，公司发明了一种针对晶面金属层或晶圆整体较厚产品的分割作业方式，可有效提升切割良率。此外，公司切割工艺可用于玻璃、硅、钽酸锂以及氮化镓等新一代半导体材料制造的晶圆，并且保证较高的切割品质。

（4）载板覆晶封装相关核心技术

①核心技术概况

FCQFN（Flip Chip Quad Flat No-leads）是一种无引线的表面贴装封装，采用倒装芯片技术，直接将芯片倒装焊接到封装导线架上。封装底部有焊盘，通过焊盘与 PCB 连接，无引脚外露。此封装形式适合小型化、低成本设计，广泛应用于便携设备，如手机、平板、笔记本电脑以及网络通信消费电子领域。

FCLGA (Flip Chip Land Grid Array) 是一种栅格阵列封装, 同样采用倒装芯片技术, 将芯片倒装焊接到基板上。封装底部有焊盘, 通过焊接与 PCB 连接, 无引脚外露。并且通过多芯片和被动元件组合封装入一颗芯片中, 成为多功能、高性能的模组类产品。此封装形式主要用于高性能处理器, FPGA、ASIC 等需要高密度连接和散热设备, 如服务器、工作站、高端显卡, 汽车电子等领域。

随着可穿戴设备普及、汽车全面电子化、AI 计算发展和高速通信设备的发展, 以上两种封装形式在各自的优势领域覆盖率将进一步提高。

②具体核心技术介绍及先进性体现

A、大尺寸、高利用率基板/导线架设计

随着市场需求、技术进步和应用场景的变化, 以及高性能计算和人工智能的需求增加, 大尺寸的基板具有显著优势。在大规模生产中, 大尺寸基板可以降低单位芯片的封装成本, 同时更利于将多个芯片集成在同一基板上, 提升性能和功能整合度。

大尺寸基板在制造过程中容易因热应力和机械应力导致翘曲, 对贴片、焊接工艺影响较大, 另外制造过程中不同材质间的热膨胀系数差异, 造成产品的焊接缺陷。公司通过先进的设计、制造和检测技术, 同时还在材料选择、工艺优化和设备升级方面进行升级, 实现了大尺寸基板的量产制造, 基板尺寸可达 90*240mm, 且为整面性布线板, 极大提高了基板利用率和生产效率, 降低了封装成本。

B、先进的模压塑封技术

随着时代的发展, 半导体的封装形式日新月异, 相同封装类型中不同产品的封装塑封体厚度也不尽相同, 在实际的生产制造过程中, 切换不同塑封体厚度产品时在模压站需要更换不同的模具对应。公司通过导入先进的半导体塑封技术, 实现了在一定范围 (约 0.3mm) 内塑封体厚度可直接通过程式调整, 无需更换模具, 极大提高了生产效率和模具开发成本。另外先进的模压技术无塑封料的损耗, 提高了材料的使用率。在工艺面先进的塑封技术因设计的优化, 减少了塑封过程中膜流对焊球的冲击力, 降低了焊点断裂的风险。

(三) 发行人主要经营和财务数据及指标

1、合并资产负债表主要数据

单位：万元

项目	2025年 3月31日	2024年 12月31日	2023年 12月31日	2022年 12月31日
资产总计	692,148.57	699,101.37	715,333.36	482,307.04
负债合计	87,329.53	98,772.16	132,320.68	159,982.53
归属于母公司所有者 权益合计	604,819.04	600,329.20	583,012.68	322,324.51
所有者权益合计	604,819.04	600,329.20	583,012.68	322,324.51

2、合并利润表主要数据

单位：万元

项目	2025年1-3月	2024年度	2023年度	2022年度
营业总收入	47,431.03	195,937.56	162,934.00	131,706.31
营业总成本	44,122.25	162,859.83	125,423.77	100,391.47
营业利润	3,835.28	37,108.13	42,249.35	32,985.53
利润总额	3,568.44	36,902.20	41,866.88	33,778.26
净利润	2,944.84	31,327.70	37,166.25	30,317.50
归属于母公司所有者的 净利润	2,944.84	31,327.70	37,166.25	30,317.50
扣除非经常性损益后归 属于母公司所有者的净 利润	2,898.27	27,667.68	33,968.54	27,112.27

3、合并现金流量表主要数据

单位：万元

项目	2025年1-3月	2024年度	2023年度	2022年度
经营活动产生的现金流量净额	7,423.49	69,034.67	54,127.52	70,140.38
投资活动产生的现金流量净额	-513.50	-144,717.52	-76,277.82	-48,084.92
筹资活动产生的现金流量净额	-6,774.37	-40,399.78	170,909.57	-14,118.41
汇率变动对现金的影响额	459.88	75.97	263.87	1,452.52
现金及现金等价物净增加额	595.50	-116,006.66	149,023.14	9,389.56

4、主要财务指标

项目	2025年3月 31日/2025年 1-3月	2024年12月 31日/2024年 度	2023年12月 31日/2023年 度	2022年12月 31日/2022 年度
资产总额（万元）	692,148.57	699,101.37	715,333.36	482,307.04
归属于母公司所有者权益 （万元）	604,819.04	600,329.20	583,012.68	322,324.51
流动比率（倍）	3.40	3.30	3.06	1.76
速动比率（倍）	2.61	2.65	2.65	1.26
资产负债率（母公司）	7.09%	2.44%	3.28%	3.67%
资产负债率（合并）	12.62%	14.13%	18.50%	33.17%
利息保障倍数（倍）	14.65	39.05	20.55	9.03
应收账款周转率（次/年）	9.64	10.61	13.58	10.71
存货周转率（次/年）	2.97	3.07	2.72	2.36
归属于母公司所有者的净利润 （万元）	2,944.84	31,327.70	37,166.25	30,317.50
扣除非经常性损益后归属于 母公司所有者的净利润 （万元）	2,898.27	27,667.68	33,968.54	27,112.27
每股经营活动产生的现金流 量净额（元/股）	0.06	0.58	0.46	0.71
每股净现金流量（元/股）	0.01	-0.98	1.25	0.09
归属于母公司所有者的每股 净资产（元/股）	5.09	5.05	4.90	3.26

注：上述财务指标的计算方法如下：

- 1、流动比率=流动资产/流动负债；
- 2、速动比率=(流动资产-存货)/流动负债；
- 3、资产负债率=负债总额/总资产；
- 4、利息保障倍数=(利润总额+利息支出(财务费用项下))/利息支出(财务费用项下)；
- 5、应收账款周转率=营业收入/应收账款平均账面价值(2025年1-3月数据已年化)；
- 6、存货周转率=营业成本/存货平均账面价值(2025年1-3月数据已年化)；
- 7、每股经营活动产生的现金流量净额=经营活动产生的现金流量净额/期末股本总额；
- 8、每股净现金流量=现金及现金等价物净增加额/期末股本总额；
- 9、归属于母公司所有者的每股净资产=归属于母公司所有者权益/期末股本总额。

(四) 发行人存在的主要风险

1、技术及产品升级迭代的风险

随着全球集成电路行业的不断发展及终端应用产品对集成电路相关性能的要求不断提高，集成电路对端口密度、信号延迟及封装体积等提出了越来越高的要求。以显示驱动芯片为例，一方面，显示屏幕分辨率、清晰度的提升意味着更

多 I/O 数量，对凸块制造的密度、间距提出越来越高的要求，测试的复杂性也随之提升，后段封装的精准度和难度也大幅增加；另一方面，AMOLED、MiniLed、MicroLed 等新型显示技术正处于发展阶段，相关新型显示技术对已有显示技术的升级迭代将间接对显示驱动芯片封测技术产生一定影响。

如果公司无法根据行业发展趋势和下游客户需求进行技术与产品创新，或新开发的产品质量未能得到客户认可，或研发项目无法顺利实现商业化，将可能面临订单流失、市场地位下降的风险，从而对公司的核心竞争力造成不利影响。

2、非显示类业务开拓不利的风险

公司从 2015 年开始布局铜镍金凸块、铜柱凸块、锡凸块等非显示先进封装技术的研发，并于 2019 年完成后段 DPS 封装的建置，目前正在建置载板覆晶封装、BGBM/FSM、Cu Clip 制程。报告期内，公司非显示类业务虽增长较快但整体规模相对较小，非全制程占比较高，且主要集中在电源管理、射频前端等芯片领域，客户主要集中在中国境内，与长电科技、通富微电、华天科技等头部综合类封测企业相比综合实力具有较大差距。若综合类封测企业对相关细分领域进行大规模投入、非显示类客户导入不及预期或下游终端市场环境出现不利变化等情况，则存在非显示封测业务开拓不利的风险。

3、市场竞争加剧的风险

近年来，各大封测厂商积极布局先进封装业务，在显示驱动芯片封测领域，除细分行业龙头颀邦科技、南茂科技继续在相关领域保持领先地位外，综合类封测企业通过自建或与其他方合作等方式对相关领域也进行积极布局。相较于行业内头部封测企业，公司在资产规模、资本实力、产品服务范围等方面存在一定差距，面对行业竞争加剧的局面，若公司不能较好地采取措施应对，可能会对公司业务开拓以及经营业绩产生不利影响。

4、募集资金投资项目相关风险

(1) 募投项目建设进度不及预期的风险

公司本次募集资金投资的建设项目包括高脚数微尺寸凸块封装及测试项目、先进功率及倒装芯片封测技术改造项目，是在发行人现有业务的基础上依据业务发展规划所制定的。虽然公司根据行业发展现状和趋势对本次募投项目可行性进

行了深入研究和充分论证，并在技术、人员、市场等方面作了较为充分的准备，但若出现募集资金不能及时到位、项目延期实施、市场或产业环境出现重大变化等情况，可能导致项目实施过程中的某一环节出现延误或停滞，公司募投项目存在不能全部按期建设完成的风险。

(2) 募投项目产品验证进度不及预期的风险

公司本次募投项目中，高脚数微尺寸凸块封装及测试项目将新增铜镍金 Bumping 工艺在显示驱动芯片封装中的应用、先进功率及倒装芯片封测技术改造项目将新增载板覆晶封装、BGBM/FSM、Cu Clip 制程。若未来相关项目建设完成后相关产品验证进度不及预期或下游客户的采购需求不及预期，可能存在募投项目短期内无法盈利的风险，进而对公司整体经营业绩产生不利影响。

(3) 募投项目新增产能消化的风险

公司前次募投项目主要为显示驱动芯片封测业务产能建设，于 2024 年 12 月结项，目前尚处于产能爬坡阶段。公司本次募集资金投资项目的实施将会进一步增加显示驱动芯片封测业务铜镍金 Bumping、CP、COG 与 COF 等工序的产能。若公司不能相应有效地拓展产品市场，在客户开发、技术发展、经营管理等方面不能与扩张后的业务规模相匹配，则可能导致公司未来存在一定的产能消化风险。

(4) 募投项目新增折旧或摊销影响公司利润的风险

公司本次募集资金投资项目中包含规模较大的资本性支出。项目建成并投产后，公司固定资产及无形资产规模将有所增长。本次募投项目的实施会导致公司未来整体折旧和摊销金额增加，虽然公司已对本次募集资金投资项目进行了较为充分的市场调查及可行性论证，预计项目实现的利润规模以及公司未来盈利能力的增长能够消化本次募投项目新增折旧和摊销。但鉴于未来行业发展趋势、下游客户需求以及市场竞争情况等存在不确定性，在本次募投项目对公司经营整体促进作用体现之前，公司存在因折旧或摊销增加而导致利润下降的风险。

5、募投项目效益不达预期的风险

公司对本次募投项目高脚数微尺寸凸块封装及测试项目、先进功率及倒装芯片封测技术改造项目进行了效益测算，待项目建设完成并达产后，预计可获得较

好的经济效益。本次募投项目效益测算是基于项目如期建设完毕并按计划投产后实现销售，因此若项目建设进度不及预期、产品价格或成本出现大幅波动或者未来行业技术发展趋势出现重大变化，可能对本次募投项目的效益释放带来一定影响，募投项目可能面临短期内不能实现预测收入和利润的风险。同时，由于下游客户实际采购需求和本次募投项目的测算可能存在差距，如果本次募投项目的销售进展无法达到预期，可能导致本次募投项目面临营业收入和利润总额等经营业绩指标下滑，投资回报率降低的风险。

二、发行人本次发行情况

（一）发行证券的种类

本次发行证券的种类为可转换为本公司 A 股股票的可转换公司债券。该可转换公司债券及未来转换的 A 股股票将在上海证券交易所科创板上市。

（二）发行数量

本次可转换公司债券拟发行数量不超过 8,500,000 张（含本数）。

（三）发行规模

根据相关法律法规及规范性文件的要求并结合公司财务状况和投资计划，本次拟发行的可转换公司债券的募集资金总额不超过人民币 85,000.00 万元（含 85,000.00 万元），具体募集资金数额由公司股东大会授权公司董事会（或董事会授权人士）在上述额度范围内确认。

（四）票面金额和发行价格

本次发行的可转换公司债券按面值发行，每张面值为人民币 100.00 元。

（五）债券期限

本次发行的可转换公司债券的存续期限为自发行之日起六年。

（六）发行方式及发行对象

本次可转换公司债券的具体发行方式由公司股东大会授权董事会（或董事会授权人士）与保荐机构（主承销商）协商确定。本次可转换公司债券的发行对象为持有中国证券登记结算有限责任公司上海分公司证券账户的自然人、法人、证

券投资基金、符合法律规定的其他投资者等（国家法律、法规禁止者除外）。

（七）向现有股东配售的安排

本次发行的可转换公司债券向公司现有股东实行优先配售，现有股东有权放弃优先配售权。向现有股东优先配售的具体比例由公司股东大会授权董事会（或董事会授权人士）在本次发行前根据市场情况与保荐机构（主承销商）协商确定，并在本次发行的可转换公司债券的发行公告中予以披露。

公司现有股东享有优先配售之外的余额及现有股东放弃优先配售后的部分采用网下对机构投资者发售和/或通过上海证券交易所交易系统网上定价发行相结合的方式，具体方案由公司股东大会授权董事会（或董事会授权人士）与保荐机构（主承销商）在发行前协商确定。

三、本次证券发行上市保荐代表人、协办人及项目组其他成员情况、联系地址、电话和其他通讯方式

（一）本次证券发行上市的保荐代表人

中信建投证券指定吴建航、廖小龙担任本次向不特定对象发行可转换公司债券的保荐代表人。

上述两位保荐代表人的执业情况如下：

吴建航先生：保荐代表人，硕士研究生学历，现任中信建投证券投资银行业务管理委员会高级副总裁，曾主持或参与的项目有：英可瑞 IPO、读客文化 IPO、云从科技 IPO、顾中科技 IPO、立方控股北交所上市、高德红外非公开发行股票、宝通科技公开发行可转债、宝通科技发行股份购买资产及配套融资、拓尔思发行股份购买资产及配套融资、国泰集团发行股份购买资产及配套融资、中国移动财务顾问等项目，作为保荐代表人现在尽职推荐的项目有：厦门恒坤新材料科技股份有限公司首次公开发行股票并在科创板上市。吴建航先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

廖小龙先生：保荐代表人，硕士研究生学历，现任中信建投证券投资银行业务管理委员会执行总经理，曾主持或参与的项目有：顾中科技 IPO、赛力斯 IPO、云从科技 IPO、高德红外非公开发行股票、申菱环境非公开发行股票、小康股份

公开发行可转债、小康股份发行股份购买资产、国泰集团发行股份购买资产及配套融资等项目，无作为保荐代表人现在尽职推荐的项目。廖小龙先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

（二）本次证券发行上市项目协办人

本次证券发行项目的协办人为朱曦，其保荐业务执行情况如下：

朱曦先生：注册会计师，硕士研究生学历，现任中信建投证券投资银行业务管理委员会高级经理。朱曦先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

（三）本次证券发行上市项目组其他成员

本次证券发行项目组其他成员包括傅志武、谭谷、张芮钦、邓智威。

傅志武先生：保荐代表人，硕士研究生学历，现任中信建投证券投资银行业务管理委员会高级副总裁，曾主持或参与的项目有：匠心家居 IPO、联翔股份 IPO、健尔康 IPO、三江购物非公开发行股票、华建集团重大资产重组、姚记科技公开发行可转债项目等。傅志武先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

谭谷先生：保荐代表人，硕士研究生学历，现任中信建投证券投资银行业务管理委员会副总裁，曾参与的项目有：顾中科技 IPO、泛海控股重大资产重组项目。谭谷先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

张芮钦先生：硕士研究生学历，现任中信建投证券投资银行业务管理委员会高级经理，曾参与的项目有：顾中科技 IPO、立方控股北交所上市等项目。张芮钦先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

邓智威先生：硕士研究生学历，现任中信建投证券投资银行业务管理委员会高级经理，曾参与的项目有：顾中科技 IPO、立方控股北交所上市、钢研纳克 IPO、路德环境 IPO、同益中 IPO、盈康生命非公开、雪榕生物非公开、斯莱克公开

发行可转债项目等。邓智威先生在保荐业务执业过程中严格遵守《证券发行上市保荐业务管理办法》等相关规定，执业记录良好。

（四）联系地址、电话和其他通讯方式

保荐人（主承销商）：	中信建投证券股份有限公司
联系地址：	北京市朝阳区景辉街16号院1号楼泰康集团大厦11层
邮编：	100026
联系电话：	010-65608431
传真：	010-65608450

四、关于保荐人是否存在可能影响公正履行保荐职责情形的说明

（一）截至2025年5月30日，中信建投投资科创板跟投持有发行人6,000,000股股份，持股比例0.5046%；中信建投基金-顾中科技员工参与战略配售集合资产管理计划持有发行人2,355,179股股份，持股比例0.1981%；中信建投证券资产管理部持有发行人5,704股股份，持股比例0.0005%；中信建投证券衍生品部合计持有发行人5,400股股份，持股比例0.0005%。上述持股主体合计共持有发行人8,366,283股股份，持股比例仅0.7036%，不构成重大影响。保荐人相关持股情形履行了《证券发行上市保荐业务管理办法》第四十一条规定的利益冲突审查程序。

除上述情况外，保荐人或其控股股东、实际控制人、重要关联方不存在持有发行人或其控股股东、实际控制人、重要关联方股份的情况。保荐人已建立有效的信息隔离墙管理制度，保荐人上述持有发行人股份的情形不影响保荐人及保荐代表人公正履行保荐职责。

（二）截至本上市保荐书出具日，不存在发行人或其控股股东、实际控制人、重要关联方持有保荐人或其控股股东、实际控制人、重要关联方股份的情况；

（三）截至本上市保荐书出具日，不存在保荐人的保荐代表人及其配偶，董事、监事、高级管理人员拥有发行人权益、在发行人任职等情况；

（四）截至本上市保荐书出具日，不存在保荐人的控股股东、实际控制人、重要关联方与发行人控股股东、实际控制人、重要关联方相互提供担保或者融资等情况；

(五)截至本上市保荐书出具日,不存在保荐人与发行人之间的其他关联关系。

五、保荐人按照有关规定应当承诺的事项

保荐人已按照法律法规和中国证监会及上交所相关规定,对发行人及其控股股东、实际控制人进行了尽职调查、审慎核查,充分了解发行人经营状况及其面临的风险和问题,履行了相应的内部审核程序。通过尽职调查和对申请文件的审慎核查,中信建投证券作出以下承诺:

(一)有充分理由确信发行人符合法律法规和中国证监会及上交所有关证券发行上市的相关规定;

(二)有充分理由确信发行人申请文件和信息披露资料不存在虚假记载、误导性陈述或者重大遗漏;

(三)有充分理由确信发行人及其董事在申请文件和信息披露资料中表达意见的依据充分合理;

(四)有充分理由确信申请文件和信息披露资料与证券服务机构发表的意见不存在实质性差异;

(五)保证所指定的保荐代表人及本保荐人的相关人员已勤勉尽责,对发行人申请文件和信息披露资料进行了尽职调查、审慎核查;

(六)保证上市保荐书、与履行保荐职责有关的其他文件不存在虚假记载、误导性陈述或者重大遗漏;

(七)保证对发行人提供的专业服务和出具的专业意见符合法律、行政法规、中国证监会的规定和行业规范;

(八)自愿接受中国证监会依照《证券发行上市保荐业务管理办法》采取的监管措施;

(九)中国证监会、上交所规定的其他事项。

中信建投证券承诺,将遵守法律、行政法规和中国证监会、上交所对推荐证券上市的规定,自愿接受上交所的自律监管。

六、保荐人关于发行人是否已就本次证券发行上市履行了《公司法》《证券法》和中国证监会及上海证券交易所规定的决策程序的说明

公司于 2025 年 3 月 31 日召开第二届董事会第三次会议、于 2025 年 5 月 20 日召开 2024 年年度股东大会，审议通过了向不特定对象发行可转换公司债券（以下简称“本次发行”）的相关议案。

经核查，发行人已就本次证券发行履行了《公司法》《证券法》及中国证监会以及上海证券交易所的有关业务规则规定的决策程序。

七、保荐人关于发行人是否符合板块定位及国家产业政策所作出的专业判断以及相应理由和依据，以及保荐人的核查内容和核查过程

（一）核查内容及过程

1、查阅了《战略性新兴产业重点产品和服务指导目录》（2016 版）《战略性新兴产业分类（2018）》《科创属性评价指引（试行）》《上海证券交易所科创板企业发行上市申报及推荐暂行规定（2024 年修订）》等业务规则及产业政策；

2、查阅了公司年度报告、核心技术相关专利证明文件、本次募集资金投资项目的可行性研究报告；

3、访谈发行人管理层，了解发行人产品技术路线、技术水平、本次募投项目情况。

（二）核查结论

公司所在集成电路封装测试行业属于高新技术产业和战略性新兴产业，建设自主可控的集成电路产业体系是我国推进战略性新兴产业规模化发展的重点任务之一。根据《战略性新兴产业重点产品和服务指导目录》（2016 版），公司主要封装技术属于“1.3 电子核心产业”之“1.3.1 集成电路”中的“集成电路芯片封装，采用 SiP、MCP、MCM、CSP、WLP、BGA、FlipChip、TSV 等技术的集成电路封装”，根据国家统计局发布的《战略性新兴产业分类（2018）》，公司属于“1 新一代信息技术产业”之“1.2 电子核心产业”之“1.2.4 集成电路制造业”。公司作为集成电路高端先进封装测试服务商，主营业务属于科技创新

领域。

本次募投项目聚焦公司集成电路高端先进封装测试主营业务，通过引入先进的封装设备、导入新的封装制程，进一步提高集成电路先进封装测试全制程生产能力，提升产品的品质和管理效率，增强公司产品的市场竞争能力，满足公司研发布局与业务扩张需求，持续强化公司的科创实力。

综上，发行人本次向不特定对象发行可转换公司债券募集资金投向围绕科技创新领域开展，本次证券发行符合国家产业政策，符合《科创属性评价指引（试行）》《上海证券交易所科创板企业发行上市申报及推荐暂行规定（2024年修订）》等相关规定。

八、持续督导期间的工作安排

持续督导事项	具体安排
1、督促上市公司建立和执行信息披露、规范运作、承诺履行、分红回报等制度	1、协助和督促上市公司建立相应的内部制度、决策程序及内控机制，以符合法律法规和上市规则的要求； 2、确保上市公司及其控股股东、实际控制人、董事、监事和高级管理人员、核心技术人员知晓其各项义务； 3、督促上市公司积极回报投资者，建立健全并有效执行符合公司发展阶段的现金分红和股份回购制度； 4、持续关注上市公司对信息披露、规范运作、承诺履行、分红回报等制度的执行情况。
2、识别并督促上市公司披露对公司持续经营能力、核心竞争力或者控制权稳定有重大不利影响的风险或者负面事项，并发表意见	1、持续关注上市公司运作，对上市公司及其业务充分了解； 2、关注主要原材料供应或者产品销售是否出现重大不利变化；关注核心技术人员稳定性；关注核心知识产权、特许经营权或者核心技术许可情况；关注主要产品研发进展；关注核心竞争力的保持情况及其他竞争者的竞争情况； 3、关注第一大股东、第二大股东所持上市公司股权被质押、冻结情况； 4、核实上市公司重大风险披露是否真实、准确、完整。
3、关注上市公司股票交易异常波动情况，督促上市公司按照上市规则规定履行核查、信息披露等义务	1、通过日常沟通、定期回访、调阅资料、列席股东大会等方式，关注上市公司日常经营和股票交易情况，有效识别并督促上市公司披露重大风险或者重大负面事项； 2、关注上市公司股票交易情况，若存在异常波动情况，督促上市公司按照交易所规定履行核查、信息披露等义务。
4、对上市公司存在的可能严重影响公司或者投资者合法权益的事项开展专项核查，并出具现场核查报告	1、上市公司出现下列情形之一的，自知道或者应当知道之日起15日内进行专项现场核查：（一）存在重大财务造假嫌疑；（二）控股股东、实际控制人、董事、监事或者高级管理人员涉嫌侵占上市公司利益；（三）可能存在重大违规担保；（四）资金往来或者现金流存在重大异常；（五）交易所或者保荐机构认为应当进行现场核查的其他事项； 2、就核查情况、提请上市公司及投资者关注的问题、本次现场核查结论等事项出具现场核查报告，并在现场核查结束后15个交易日内披露。

持续督导事项	具体安排
5、定期出具并披露持续督导跟踪报告	1、在上市公司年度报告、半年度报告披露之日起 15 个工作日内，披露持续督导跟踪报告； 2、上市公司未实现盈利、业绩由盈转亏、营业收入与上年同期相比下降 50%以上或者其他主要财务指标异常的，在持续督导跟踪报告显著位置就上市公司是否存在重大风险发表结论性意见。
6、出具保荐总结报告书	持续督导工作结束后，在上市公司年度报告披露之日起的 10 个工作日内依据中国证监会和上海证券交易所相关规定，向中国证监会和上海证券交易所报送保荐总结报告书并披露。
7、持续督导期限	在本次发行结束当年的剩余时间以及以后 2 个完整会计年度内对发行人进行持续督导。

九、保荐人关于本项目的推荐结论

本次发行上市申请符合法律法规和中国证监会及上交所的相关规定。保荐人已按照法律法规和中国证监会及上交所相关规定，对发行人及其控股股东、实际控制人进行了尽职调查、审慎核查，充分了解发行人经营状况及其面临的风险和问题，履行了相应的内部审核程序并具备相应的保荐工作底稿支持。

保荐人认为：合肥顾中科技股份有限公司本次向不特定对象发行可转换公司债券符合《公司法》《证券法》等法律法规和中国证监会及上交所有关规定；中信建投证券同意作为合肥顾中科技股份有限公司本次向不特定对象发行可转换公司债券的保荐人，并承担保荐人的相应责任。

（以下无正文）

(本页无正文,为《中信建投证券股份有限公司关于合肥顾中科技股份有限公司
向不特定对象发行可转换公司债券之上市保荐书》之签字盖章页)

项目协办人签名: 朱曦

朱曦

保荐代表人签名: 吴建航 廖小龙

吴建航

廖小龙

内核负责人签名: 张耀坤

张耀坤

保荐业务负责人签名: 刘乃生

刘乃生

法定代表人/董事长签名: 刘成

刘成

