

大算力时代下先进封装大有可为

——电子行业深度报告

强于大市 (维持)

2023年06月09日

投资要点:

先进封装成为后摩尔时代提升系统性能的主流趋势。摩尔定律持续推进带来的经济效能达到瓶颈,先进封装是超越摩尔定律、提升芯片系统性能的关键路径之一。先进封装的四要素是Bump、RDL、Wafer和TSV,其中TSV是使封装技术从二维向三维拓展的关键技术。先进封装的技术与形态会根据应用侧需求不断变化与迭代,从WLP、2.5D/3D、SiP等技术类型出发,各厂商发展出了满足多样化需求的封装解决方案。

先进封装市场空间广阔,为半导体设备行业带来增量。据Yole预测,2021-2027年间先进封装的年化复合增速为9.6%,且先进封装占封装行业的比重将逐渐超越传统封装,为封测市场贡献主要增量。细分技术方面,倒装封装目前是营收规模最大的技术方案,嵌入式、3D堆叠和晶圆级扇出型等高阶封装成长速度较快。此外,先进封装对传统封装设备的使用需求和精度要求都有所提升,且工艺延伸至前道环节,增加了前道设备的需求,为半导体设备行业带来增量。

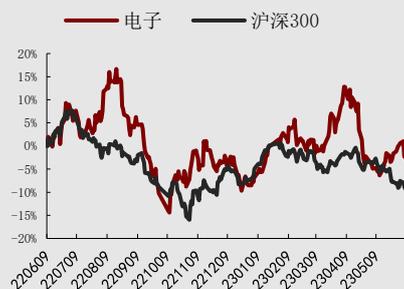
高性能计算驱动半导体产业发展,先进封装实现算力提升。随着数字经济的发展和产业智能化转型的推进,高性能计算超越手机成为新一轮半导体周期的第一大驱动力。高性能计算的应用场景不断拓宽,对算力芯片性能提出更高要求,进而拉动了先进封装及Chiplet工艺的需求。Chiplet技术需要采用先进封装工艺实现,其在设计灵活度、良率以及成本等方面优势明显。在国内发展先进制程外部条件受限的环境下,Chiplet是国产芯片“破局”路径之一。

龙头积极布局先进封装,中国大陆封装厂商蓬勃发展。英特尔、台积电和日月光等半导体龙头企业以较高的资本支出对先进封装产业进行布局,英特尔致力于实现每毫米立方体里功能最大,台积电推出了“3D Fabric”先进封装平台,日月光推出了“VIPack”先进封装平台。英特尔、台积电等是晶圆厂的代表,其在前道制造环节的经验更丰富,能深入发展需要刻蚀等前道步骤的TSV技术,因而在2.5D/3D封装技术方面较为领先;而以日月光为代表的后道封装厂商则更熟悉异质异构集成,因此在SiP技术的发展方面更有优势。中国大陆封测厂长电科技、通富微电、华天科技等近年来发展迅速,其中长电科技的先进封装技术布局全面且背靠中芯系,在国内封测厂中具有领先优势。

投资建议:把握大算力时代浪潮下先进封装行业的投资机会:1)先进封装是后摩尔时代下确定性的产业趋势,重点关注传统封装厂商技术升级带来的投资机会;2)Chiplet有望成为高端算力芯片的主流封装方案,助力国产芯片“破局”,重点关注Chiplet技术领先、具备量产能力的龙头厂商;3)国内先进封装产业的蓬勃发展将拉动国产设备需求,重点关注布局封装环节设备的优质厂商。

风险因素:中美科技摩擦加剧;技术研发不及预期;国产化进程不及预期;算力需求不达预期;市场竞争加剧。

行业相对沪深300指数表现



数据来源:聚源,万联证券研究所

相关研究

苹果推出M2 Ultra和Vision Pro,为硬件端注入活力

北京提出推动国产AI芯片突破,LED照明芯片价格调涨

日本半导体设备出口管制落地,显示玻璃基板价格调涨

分析师:

夏清莹

执业证书编号:

S0270520050001

电话:

075583223620

邮箱:

xiaqy1@wlzq.com.cn

正文目录

1 先进封装成为后摩尔时代提升系统性能的主流趋势	4
1.1 摩尔定律经济效能达到瓶颈，先进封装提升芯片系统性能	4
1.2 封装技术发展趋势：芯片性能不断提高、系统趋于小型化	5
1.3 先进封装的技术与形态根据需求不断迭代，多应用于高性能场景	6
2 先进封装市场空间广阔，为半导体设备行业带来增量	10
2.1 先进封装市场空间广阔，中国大陆先进封装产业蓬勃发展	10
2.2 先进封装为半导体设备行业带来增量	11
3 高性能计算驱动半导体产业发展，先进封装实现算力提升	13
3.1 HPC 超越手机成为半导体第一大需求驱动力，大算力时代来临.....	13
3.2 AI 服务器产业链迎来高景气，异构集成与异构计算共推算力发展	14
3.3 Chiplet 优势明显，是国产芯片“破局”路径之一	16
4 龙头积极布局先进封装，中国大陆封装厂商蓬勃发展	18
4.1 晶圆厂和封测厂积极布局先进封装，侧重点各有不同	18
4.2 OSAT 竞争格局较为稳定，中国大陆厂商蓬勃发展	20
5 投资建议	24
6 风险因素	24

图表 1: 单位数量的晶体管成本对比.....	4
图表 2: 硅的晶胞结构和硅原子空间利用率	4
图表 3: 集成电路的发展方向	5
图表 4: 封装技术发展的四个阶段	5
图表 5: 先进封装技术的发展主要朝上游晶圆制程和下游模组两个方向	6
图表 6: 先进封装四要素	6
图表 7: 主流先进封装技术方案及延伸方式	7
图表 8: 主流封装技术方案与特点	7
图表 9: 主流先进封装技术方案及应用&厂商	8
图表 10: 系统级封装示意图	9
图表 11: Chiplet 可以看成一种硬核形式的 IP	9
图表 12: 3D Chiplet 结构示意图	10
图表 13: 2021 年封装市场规模及构成	10
图表 14: 2027 年封装市场规模及构成	10
图表 15: 2016 年-2025E 中国大陆封装市场规模	11
图表 16: 2019-2026 年先进封装主流技术市场规模及预测 (\$M)	11
图表 17: 传统封装的步骤与设备	12
图表 18: 先进封装晶圆级工艺所需设备	12
图表 19: 部分工艺环节设备的竞争格局	13
图表 20: 台积电 2021 年至今下游应用领域营收占比 (%)	13
图表 21: 中国智能算力规模及预测 (百亿亿次浮点运算/秒, EFLOPS)	14
图表 22: 2022-2026 年全球 AI 服务器出货量预估	14
图表 23: 面向多场景的异构计算加速平台	15
图表 24: 英特尔的 Co-EMIB 技术属于典型的异构集成技术	15
图表 25: 后摩智能 H30 芯片与 8nm 芯片性能比较	16
图表 26: 采用 Chiplet 设计能提升系统的功能密度	16

图表 27: Chiplet 与 SoC、SiP 的比较.....	17
图表 28: 用 Chiplet 技术的 7nm+14nm 的造价 vs 7nm.....	17
图表 29: 启明 930 芯片实物.....	18
图表 30: 2021 年封测厂及晶圆厂龙头在先进封装行业的资本支出 (\$M).....	18
图表 31: 英特尔封装技术发展路线图.....	19
图表 32: 台积电推出“3D Fabric”先进封装平台.....	19
图表 33: 日月光半导体推出的 VIPack 先进封装平台.....	20
图表 34: 2022 年海内外已经上市的封测厂营收情况.....	20
图表 35: 2022 年全球前十大 OSAT 厂商所在区域市占率.....	21
图表 36: 长电科技先进封装产品布局.....	22
图表 37: 通富微电晶圆级封装技术可以应用于高性能 ASIC、CPU/GPU.....	22
图表 38: 华天科技推出 3D Matrix 先进封装平台.....	23
图表 39: 甬矽电子业务定位中高端先进封装.....	23
图表 40: 晶方科技高集成度、高可靠性的汽车传感器封装.....	24

1 先进封装成为后摩尔时代提升系统性能的主流趋势

1.1 摩尔定律经济效能达到瓶颈，先进封装提升芯片系统性能

摩尔定律持续推进带来的经济效能达到瓶颈。摩尔定律是指随着技术演进，芯片上容纳的晶体管数量会呈指数级增长，每1.5-2年翻一倍，同时带来芯片性能提升一倍或成本下降一半的效应。随着芯片制程工艺不断发展，芯片上容纳的晶体管数量不断增加，但单位数量晶体管的成本下降幅度正在持续降低。根据IBS的统计及预测，从16nm到10nm，每10亿颗晶体管的成本降低了30.7%，从7nm到5nm成本下降了17.8%，而从5nm到3nm成本仅下降了4.2%。

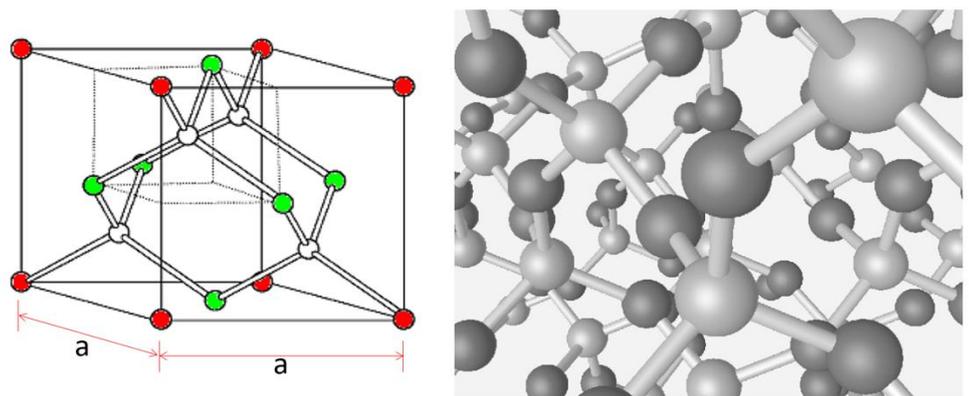
图表1: 单位数量的晶体管成本对比

制程	16nm	10nm	7nm	5nm	3nm
芯片面积 (mm ²)	125	87.66	83.27	85	85
晶体管数量(十亿个)	3.3	4.3	6.9	10.5	14.1
晶粒总数/单片晶圆	478	686	721	707	707
晶粒净产出/单片晶圆	359.74	512.44	545.65	530.25	509.04
晶圆价格(\$)	5912	8389	9965	12500	15500
晶粒价格(\$)	16.43	16.43	18.26	23.57	30.45
每10亿个晶体管的成本(\$)	4.98	3.81	2.65	2.25	2.16

资料来源: International Business Strategies, 芯智讯, 万联证券研究所

集成电路中晶体管尺寸的微缩逐渐接近硅原子的物理极限。芯片工艺尺寸日益走向极致(3nm至1nm)，而1nm的宽度中仅能容纳2个硅原子晶格(下图中a=0.5nm)，如若进一步微缩，就将进入量子物理的世界，面临现阶段较为棘手的量子隧穿效应和散热等问题。晶体管数量不断增加会造成短沟道效应，即当通道长度缩短到量子物理阈值时会产生量子隧穿效应，从而使晶体管的性能衰减。此外，晶体管工作会持续产生热量，当数以万计的晶体管以较短的间隔放置时，也需要解决散热问题。

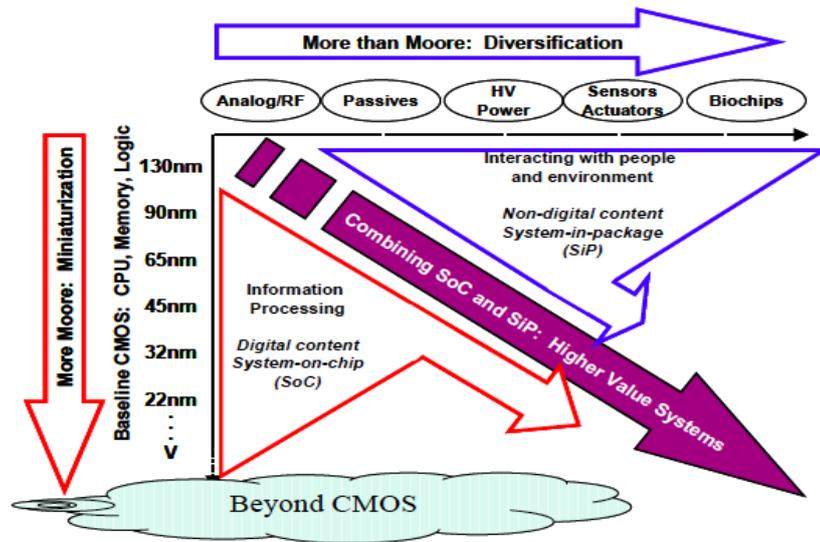
图表2: 硅的晶胞结构和硅原子空间利用率



资料来源: 《基于SiP技术的微系统》, SiP与先进封装技术, 万联证券研究所

先进封装成为超越摩尔定律、提升系统性能的关键路径之一。目前集成电路发展主要沿着两个技术路线进行，一个是摩尔定律的延伸，即向芯片小型化的方向发展，通过微缩半导体器件的晶体管尺寸以增加可容纳的晶体管数量，以单个芯片性能的提升为目标；另一个是超越摩尔定律，即以先进封装技术的发展为主要方向，将处理、模拟等多种芯片集成在一个系统内，实现系统级封装(System in Package, SiP)，以系统性能的提升为目标。

图表3: 集成电路的发展方向



资料来源: International Roadmap for Devices and Systems, 万联证券研究所

1.2 封装技术发展趋势: 芯片性能不断提高、系统趋于小型化

封装技术的发展史是芯片性能不断提高、系统不断小型化的历史。封装是半导体晶圆制造的后道工序之一,目的是支撑、保护芯片,使芯片与外界电路连接、增强导热性能等。封装技术的发展大致分为4个阶段:第一、第二阶段(1990年以前)以DIP、SOP和LCC等技术为主,属于传统封装;第三阶段(1990至2000年)已经开始应用先进封装技术,这一阶段BGA、CSP和FC技术已开始大规模生产;第四阶段(2000年至今),先进封装技术从二维开始向三维拓展,出现了2.5D/3D封装、晶圆级封装、扇外型封装等封装技术。先进封装也称为高密度封装(HDAP, High Density Advanced Package),采用先进的设计和工艺对芯片进行封装级重构,并有效提升系统性能。相较于传统封装,先进封装具有引脚数量增加、芯片系统更小型化且系统集成度更高等特点。

图表4: 封装技术发展的四个阶段

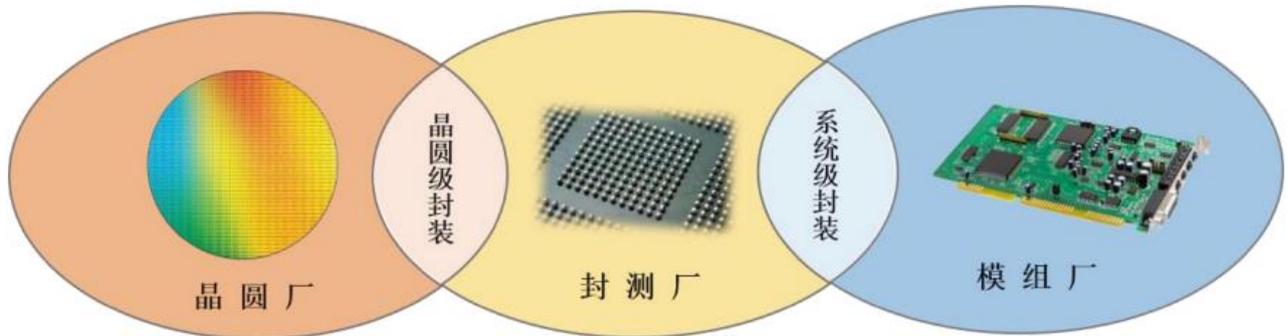
阶段	时间	封装技术
1	1970年前	直插型封装,以双列直插封装(Dual In-line Package,DIP)为主
2	1970—1990年	以表面贴装技术衍生出的小外形封装(Small Outline Package,SOP)、J型引脚小外形封装(Small Outline J-leaded,SOJ)、无引脚芯片载体(Leadless Chip Carrier,LCC)、扁平方形封装(Quad Flat Package,QFP)4大封装技术和针栅阵列(Pin Grid Array,PGA)技术为主
3	1990—2000年	球栅阵列(Ball Grid Array,BGA)、单芯片封装(Chip Scale Package,CSP)、倒装芯片(Flip-Chip,FC)封装等先进封装技术开始兴起
4	2000年至今	从二维封装向三维封装发展,出现了晶圆级封装(Wafer Level Package,WLP)、系统级封装、扇外型(Fan-Out,FO)封装、2.5D/3D封装、嵌入式多芯片互连桥接(Embedded Multi-die Interconnect Bridge,EMIB)等先进封装技术

资料来源:《先进封装技术的发展与机遇》,曹立强等,万联证券研究所

先进封装技术的发展主要朝上游晶圆制程和下游模组两个方向。1) 向上游晶圆制程领域发展,该方向发展的技术即晶圆级封装,通过晶圆重构工艺在晶圆上完成重布线,并通过晶圆凸点工艺形成与外部互联的金属凸点以进行封装,该技术的特点是在更小的封装面积下容纳更多的引脚;2) 向下游模组领域拓展,即发展系统级封装技术,将以前分散贴装在PCB板上的多种功能芯片,包括处理器、存储器等

功能芯片以及电容、电阻等元器件集成为一颗芯片，压缩模块体积、缩短电气连接距离，提升芯片系统整体功能性和灵活性。

图表5: 先进封装技术的发展主要朝上游晶圆制程和下游模组两个方向

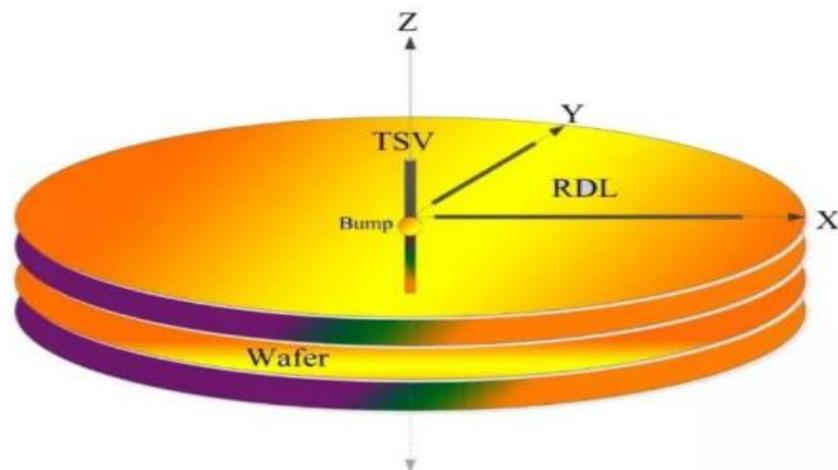


资料来源: 甬矽电子招股说明书, 万联证券研究所

1.3 先进封装的技术与形态根据需求不断迭代, 多应用于高性能场景

先进封装的四要素是Bump、RDL、Wafer和TSV, 具备四要素中任意一种技术即为先进封装。1) Bump (金属凸点) 技术, 普遍应用于Flip-Chip (倒装焊) 技术中, 处于晶圆之间互联的位置, 起着电气互联和应力缓冲的作用, 其发展趋势是使金属凸点越来越小, 直至发展为Hybrid Bonding (混合键合) 技术, 该技术制造的电介质表面光滑、没有凸点, 且具有更高的集成密度; 2) RDL (重布线层) 技术, 用于X与Y平面电气延伸和互联, 适用于为I/O端口进行宽松排布, 广泛应用于WLP (晶圆级封装) 技术和2.5D/3D技术中, 但不适用于Flip-Chip技术; 3) Wafer (晶圆) 技术, 可以用作芯片的基底和WLP封装的载体, 也可以与硅基板一同实现2.5D集成, 技术发展趋势是使Wafer面积逐渐增大; 4) TSV (硅通孔) 技术, 用于Z轴电气互联, 是实现多维立体结构封装的关键技术。

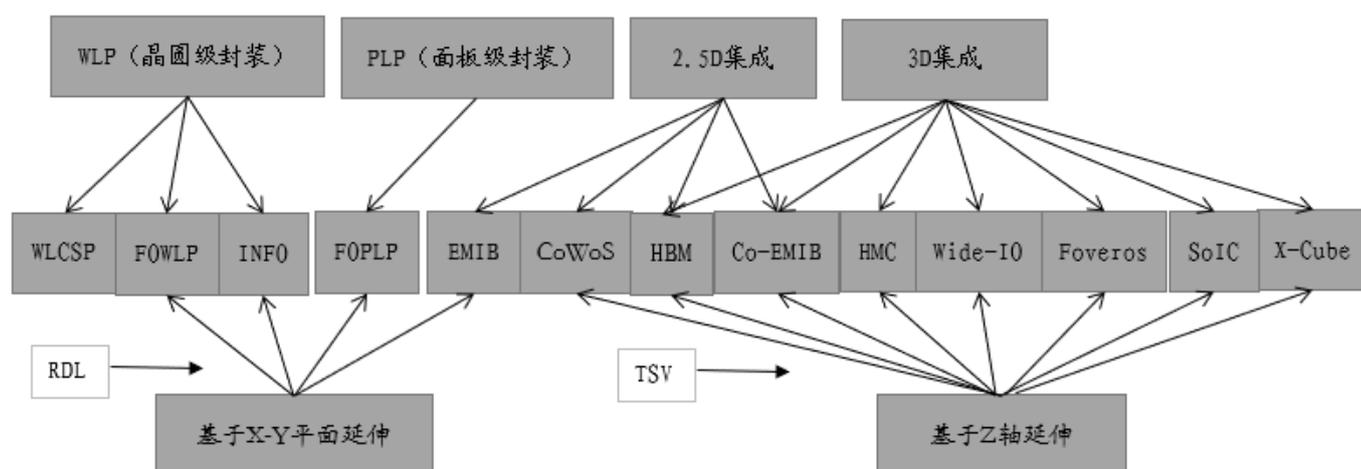
图表6: 先进封装四要素



资料来源: SiP与先进封装技术, 万联证券研究所

RDL和TSV使封装技术在X-Y-Z三维空间中具备延伸和发展的可能性。重布线层(RDL)技术使得晶圆级封装得以在X-Y平面进行延伸, 诞生了WLCSP、FOWLP、INFO、FOPLP、EMIB等技术。基于硅通孔(TSV)技术, 封装系统沿着Z轴进行延伸, 实现了二维向三维的拓展, 出现了2.5D和3D集成, 并演变出CoWoS、HBM、Co-EMIB、HMC、Wide-I/O、Foveros、SoIC、X-Cube等技术。

图表7: 主流先进封装技术方案及延伸方式



资料来源: SiP与先进封装技术, 万联证券研究所

先进封装的技术与形态会根据应用侧需求不断变化与迭代。从WLP、SiP、2.5D/3D等技术方案出发, 各厂商根据应用侧需求进一步迭代出更深层的技术。以晶圆级封装(WLP)技术为例, 起初WLP技术采用Fan-in形态, 随着引脚数要求增加, Fan-out形态逐渐成为主流; 而后出于提升系统性能的目标, 台积电将多个芯片Fan-out工艺集成起来, 诞生了InFO技术; 而从节省成本的角度出发, 单个芯片的FOWLP技术又进一步迭代出面板级封装技术(FOPLP)。

图表8: 主流封装技术方案与特点

封装技术方案	技术特点
Flip-Chip	Flip-Chip (倒装芯片) 技术最早在20世纪60年代已被提出。相对传统封装的引线键合, 倒装焊技术采用Bump、RDL等连接方式, 克服了引线键合焊盘中心距极限的问题, 具有缩短互联长度、热性能优良、可靠性高等优点。
FOWLP	起初WLP (晶圆级封装) 采用Fan-in (扇入型), 也即FIWLP, 主要应用于面积小、引脚数少的芯片; 随着引脚数要求增加, 衍生出Fan-out WLP封装形态, 也即FOWLP (扇外型晶圆级封装)。
InFO	由台积电开发的技术, 是在FOWLP工艺上的集成, 可以理解为多个芯片Fan-Out 工艺的集成; InFO给予了多个芯片集成的空间, 可应用于射频和无线芯片的封装, 处理器和基带芯片封装, 图形处理器和网络芯片的封装。
FOPLP	(Fan-out Panel Level Package)面板级封装, 采用了更大的面板, 因此一次制程下, 就可以量产出4倍于300mm硅晶圆的先进封装产品; 是FOWLP技术的延伸, 具有更大的成本优势。
EMIB	属于有基板类封装; 通过硅片进行局部高密度互连。与2.5D封装的相比, 由于不采用TSV, EMIB技术具有正常的封装良率、无需额外工艺和设计简单等优点。
CoWoS	由台积电推出的2.5D封装技术, 是把芯片封装到硅转接板(中介层)上, 并使用硅转接板上高密度布线进行互连, 然后再安装在封装基板上; 相比于InFO, CoWoS针对高端市场, 连线数量和封装尺寸都比较大。
HBM	(High-Bandwidth Memory) 高带宽内存, 主要针对高端显卡市场。HBM使用了3DTSV和2.5DTSV技术, 通过3DTSV把多块内存芯片堆叠在一起, 并使用2.5D TSV技术把堆叠内存芯片和GPU在载板上实现互连。
HMC	(Hybrid Memory Cube) 混合存储立方体, 其标准由美光主推, 其使用堆叠的DRAM芯片以实现更大的内存带宽。另外HMC通过3DTSV集成技术把内存控制器 (Memory

	Controller)集成到DRAM堆叠封装里。HBM通过Interposer和GPU互连,而HMC则是直接安装在Substrate上,中间缺少了Interposer和2.5D TSV。
Wide-I/O	(Wide Input Output)由三星主推的宽带输入技术,通过将Memory芯片堆叠在Logic芯片上来实现,Memory芯片通过3DTSV和Logic芯片及基板相连接。
Foveros	由英特尔主推的三维面对面异构集成芯片堆叠技术;与2D的EMIB封装方式相比,Foveros更适用于小尺寸产品或对内存带宽要求更高的产品,也更具体积、功耗等优势;Foveros每比特传输的数据的功率非常低,其技术要处理的是Bump间距减小、密度增大以及芯片堆叠技术。
Co-EMIB	EMIB和Foveros的综合体,EMIB主要是负责横向的连结,让不同内核的芯片像拼图一样拼接起来,而Foveros则是纵向堆栈;CO-EMIB可以说是在维持并延续现有计算架构与生态的最佳作法。
SoIC	是一种创新的多芯片堆栈技术,能对10纳米以下的制程进行晶圆级的集成。该技术最鲜明的特点是没有凸点(no-Bump)的键合结构,因此具有更高的集成密度和更佳的性能。
X-Cube	X-Cube 3D封装的芯片之间采用了TSV技术连接,降低功耗的同时提高了传输的速率;大幅缩短了芯片间的信号传输距离,提高数据传输速度,降低功耗,并且还可以按客户需求定制内存带宽及密度;目前X-Cube技术已经可以支持7nm及5nm工艺。

资料来源: SiP与先进封装技术, 万联证券研究所

先进封装技术能提升系统的功能密度,多应用于高性能场景。目前主流的先进封装技术主要由国际半导体龙头厂商研发,技术研发的维度从2D逐渐提升至2.5D和3D,系统的功能密度也随之提升。同时,先进封装主要应用于高性能计算、高端服务器等领域,因此产品技术壁垒与价值量相对传统封装会更高。

图表9: 主流先进封装技术方案及应用&厂商

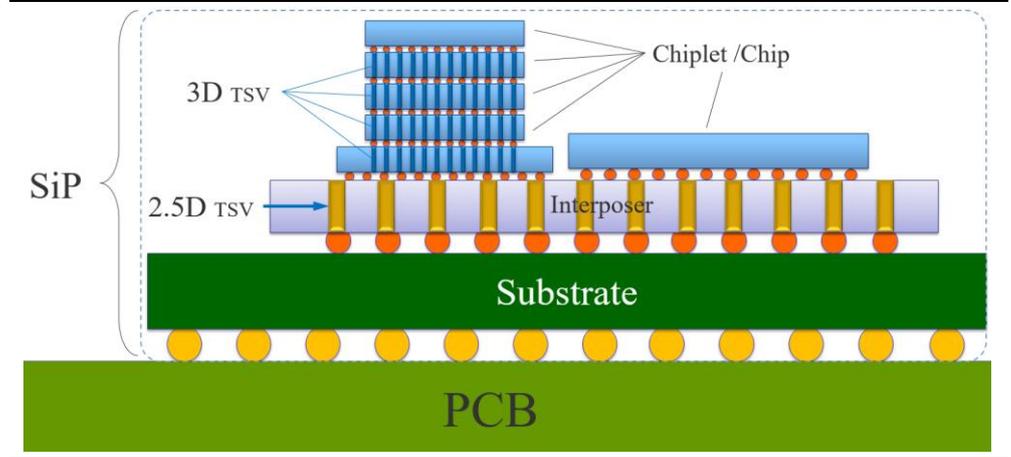
技术方案	推出时间	维度	功能密度	应用领域	对应厂商
FOWLP	2009	2D	低	手机, 5G, AI	英飞凌/恩智浦
CoWoS	2012	2.5D	中	高端服务器, 高端企业级应用, 高性能计算	台积电
HMC	2012	3D	高	高端服务器, 高端企业级应用, 高性能计算	Micron/三星/IBM/ARM/微软
Wide-I/O	2012	3D	中	高端智能手机	三星
HBM	2015	3D+2.5D	高	图像处理, 高性能计算	AMD/英伟达/海力士/英特尔/三星
INFO	2016	2D	中	手机, 5G, AI	台积电
FOPLP	2017	2D	中	移动设备, 5G, AI	三星
EMIB	2018	2D	中	图像处理, 高性能计算	英特尔
Foveros	2018	3D	中	高端服务器, 高端企业级应用, 高性能计算	英特尔
Co-EMIB	2019	3D+2D	高	高端服务器, 高端企业级应用, 高性能计算	英特尔
X-Cube	2020	3D	高	5G, AI, 可穿戴设备	三星
TSMC-SoIC	2020	3D	非常高	5G, AI, 可穿戴设备	台积电

资料来源: SiP与先进封装技术, 万联证券研究所

系统级封装(SiP)属于广义的先进封装,侧重于系统属性。SiP是指在封装内形成一个系统,关注系统在封装内的实现,所以系统是其重点关注的对象,与之对应的是CSP(单芯片封装)。但SiP并不是先进封装特定的某种技术方案,因为SiP可能采用传统

的Wire Bonding工艺，也可能采用先进封装的Flip Chip工艺。但随着系统对性能、功耗、体积的要求越来越高，集成密度的需求也越来越高，SiP也会越来越多地采用先进封装工艺。在下方示意图中，SiP指代的是封装整体，Chiplet/Chip是封装中的单元，先进封装是由Chiplet/Chip组成的，2.5D和3D是先进封装的工艺手段。

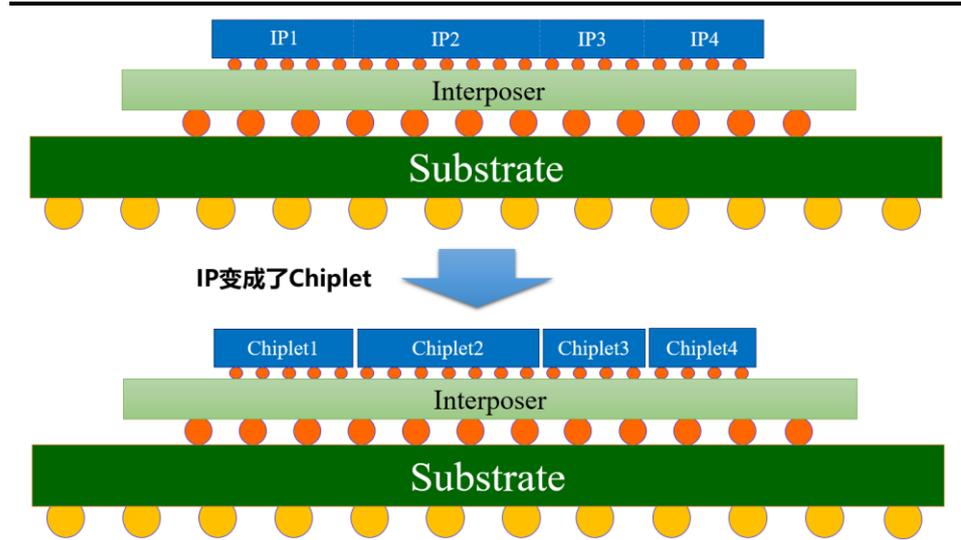
图表10: 系统级封装示意图



资料来源: SiP与先进封装技术, 万联证券研究所

Chiplet通过先进封装工艺实现。Chiplet也称为小芯片或芯粒，该技术通过将多个芯片裸片（Die）通过内部互联技术集成在一个封装内，构成专用功能的异构芯片。通过采用2.5D、3D等高级封装技术，Chiplet可实现多芯片之间的高速互联，提高芯片系统的集成度，扩展其性能、功耗优化的空间。相对SoC系统级芯片的传统设计方法，Chiplet技术方案不需要购买IP或者自研生产，只需要购买已经实现好的小硅片进行封装集成，且IP可以复用。所以Chiplet可以看成是一种硬核形式的IP，但它是芯片的形式提供的。

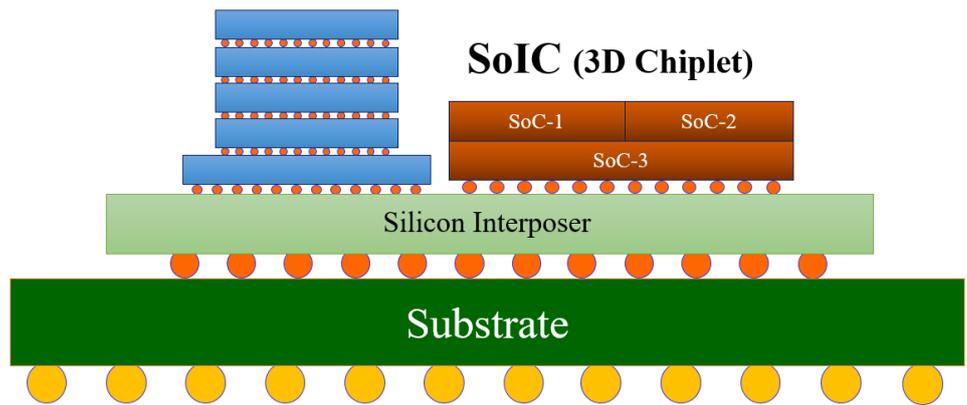
图表11: Chiplet 可以看成一种硬核形式的 IP



资料来源: SiP与先进封装技术, 万联证券研究所

3D Chiplet是Chiplet进一步的发展。3D Chiplet是由AMD在2021年6月首先提出的，通过3D TSV将Chiplet集成在一起，同时为了提高互联密度，采用了no Bump的垂直互联结构。目前3D Chiplet产品是由台积电以SoIC的先进封装技术进行代工，主要应用在3D V-Cache上，将包含有64MB L3 Cache的Chiplet以3D堆叠的形式与处理器封装在一起。

图表12: 3D Chiplet 结构示意图



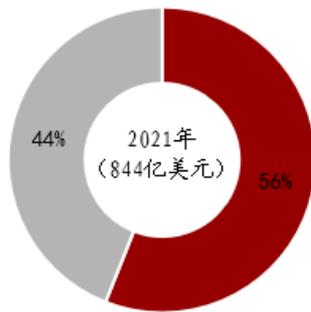
资料来源: SiP与先进封装技术, 万联证券研究所

2 先进封装市场空间广阔, 为半导体设备行业带来增量

2.1 先进封装市场空间广阔, 中国大陆先进封装产业蓬勃发展

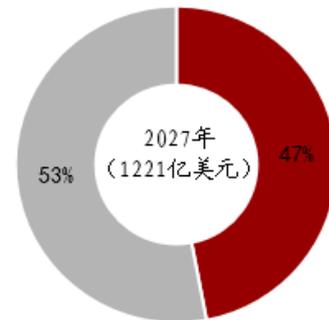
先进封装市场占比逐渐高于传统封装。据Yole数据, 2021年全球封装市场总营收为844亿美元, 其中先进封装占比44%, 市场规模达374亿美元。据Yole预测, 2027年全球封装市场规模为1221亿美元, 其中先进封装市场规模为650亿美元, 占比将提升至53%。2021-2027年间先进封装市场规模的年化复合增速为9.6%, 将为全球封测市场贡献主要增量。

图表13: 2021年封装市场规模及构成



■ 传统封装 ■ 先进封装

图表14: 2027年封装市场规模及构成



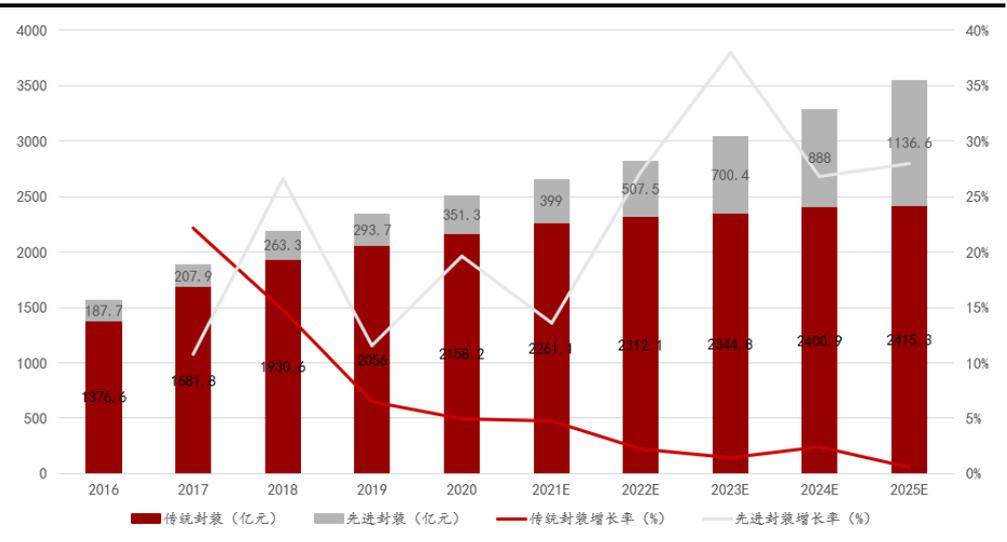
■ 传统封装 ■ 先进封装

资料来源: Yole, 长电科技, 万联证券研究所

资料来源: Yole, 长电科技, 万联证券研究所

受益于国产替代加速及制造业的发展, 中国大陆的先进封装市场蓬勃发展。根据Frost&Sullivan统计, 中国大陆2020年先进封装市场规模为351.3亿元, 预计2025年将增长至1,136.6亿元, 2020-2025年间年化复合增速达26.47%, 高于Yole对全球先进封装市场年化复合增速9.6%的预测值。

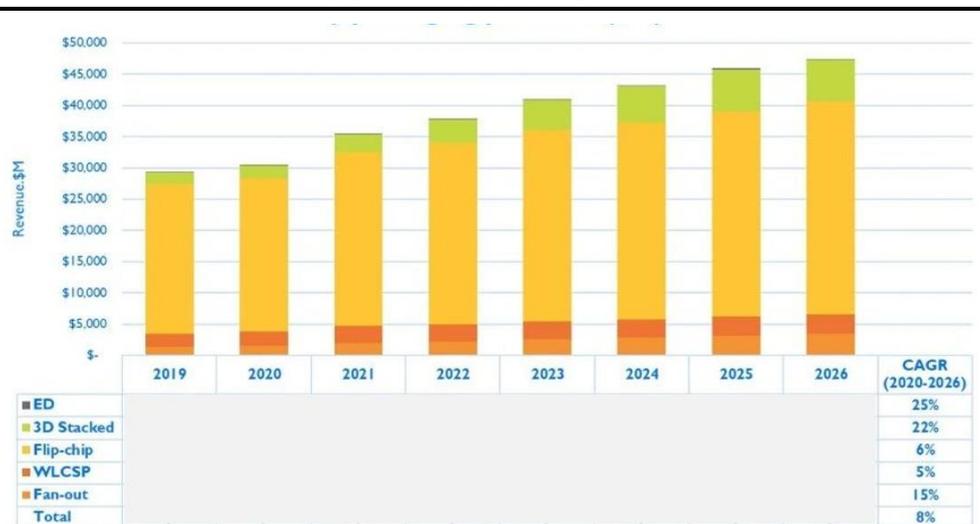
图表15: 2016年-2025E中国大陆封装市场规模



资料来源: 汇成股份招股说明书, Frost&Sullivan, 万联证券研究所

倒装封装目前是先进封装行业营收规模最大的技术方案, 嵌入式、3D堆叠和晶圆级扇出型等高阶封装成长速度较快。根据互连技术的分类, 目前倒装封装技术的营收规模最大, 其次是3D堆叠封装及晶圆级扇出型封装。许多普通规格的芯片产品均需要采用倒装封装 (Flip-chip) 进行内部封装, 因此目前倒装封装的市场规模最大。而晶圆级封装 (WLCSP) 和嵌入式封装 (ED) 属于更高阶的封装技术, 主要应用于高端芯片封装, 目前市场应用规模相对较小。但是从成长速度看, 高阶封装技术如嵌入式封装、3D堆叠、晶圆级扇出型封装是发展最快的三种方案, 根据Yole的预测, 2020-2026年市场规模年化复合增速预计分别为25%、22%及15%。

图表16: 2019-2026年先进封装主流技术市场规模及预测 (\$M)



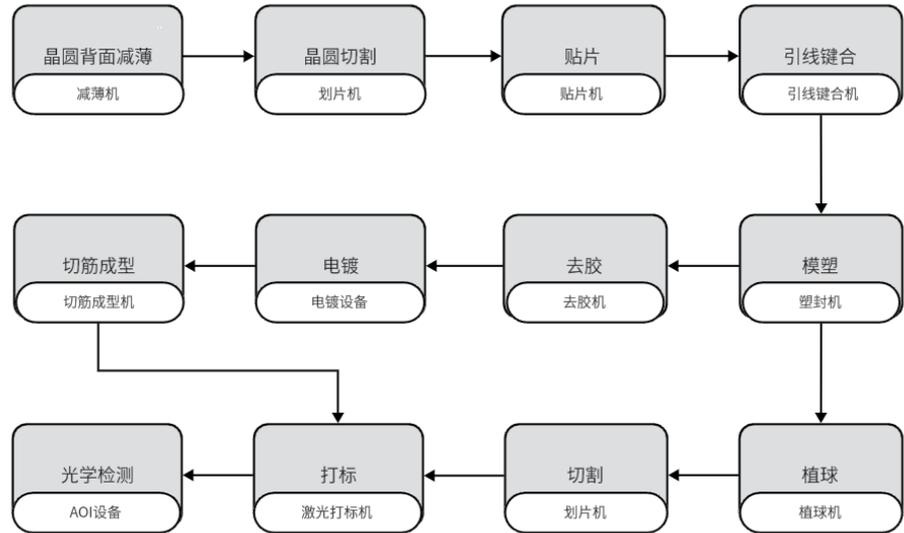
资料来源: Yole, 半导体行业观察, 万联证券研究所

2.2 先进封装为半导体设备行业带来增量

在先进封装工艺中, 对传统封装设备的使用需求和精度要求都有所提升。传统封装测试主要位于晶圆制造链的后道工序, 包括减薄、切割、贴片、键合、打标、测试等步骤, 需要使用减薄机、划片机、贴片机、引线键合机、激光打标机等半导体设备。随着先进封装的发展, 在传统封装工艺的基础上也会有所改进, 主要包括: (1) 在先进封装工艺中, 芯片堆叠的层数增加, 为了保持芯片体积较小, 对减薄设备的精度提出

更高要求；(2) 在Chiplet设计中，制造小芯片需要更多的切割和贴合，使得划片机、贴片机的需求数量和精度要求都有所提升；同时Chiplet技术中每个裸片都需要进行测试，且将小芯片集成后还需要进行系统性的测试，因而亦增加了测试设备的需求。

图表17: 传统封装的步骤与设备



资料来源: IC咖啡, 万联证券研究所

在先进封装工艺中，除了传统封装设备，还需要使用晶圆制造前道工艺的设备。先进封装使用的设备与晶圆制造的前道工艺开始有所重叠，而不只是传统封装所需要的减薄机、划片机、贴片机等，刺激设备需求应封装技术发展而增长。在RDL、Bumping、TSV等互连技术中，均需要使用涂胶机、光刻机等设备；TSV技术需要钻孔，还增加了刻蚀机的需求。此外对传统封装设备中的减薄机、划片机也需要进行一定改进，比如将设备进一步设计为带凸点晶圆减薄机、带凸点晶圆划片机等，同时对厚度、划切道宽度等均提出了更高的精度要求。

图表18: 先进封装晶圆级工艺所需设备

晶圆级关键工艺技术	所需关键工艺设备
重分布层 (RDL)	掩膜设备、涂胶机、溅射台、光刻机、刻蚀机
凸点制造技术 (Bumping)	涂胶机、溅射台、光刻机、印刷机、电镀线、回流焊炉、植球机
WLP扇出技术 (Fan-out)	倒装芯片键合机、塑封机、掩膜设备、涂胶机、溅射台、光刻机、刻蚀机、划片机
硅通孔 (TSV)	晶圆减薄机、掩膜设备、涂胶机、激光打孔机、电镀设备、溅射台、光刻机、刻蚀机
高精度互连技术 (C2W, W2W)	倒装芯片键合机、回流焊炉
晶圆减薄技术 (用于WLP/CSP等)	带凸点晶圆减薄机
晶圆划片技术 (用于WLP/CSP等)	带凸点晶圆划片机
晶圆减薄技术 (用于BGA、CSP、3D封装、SiP等)	晶圆减薄机 (厚度100μm以下)
晶圆划片技术 (用于BGA、CSP、3D封装、SiP等)	晶圆划片机 (划切道宽度30μm)

资料来源: 《先进封装关键工艺设备面临的机遇和挑战》，王志越，万联证券研究所

国内先进封装产业链所用设备有望部分实现国产替代。近年来国内半导体设备厂商发展迅速，涌现了北方华创、中微半导体、沈阳拓荆、华海清科、精测电子等具备较先进制程设备工艺实力的公司，对于先进封装所使用的刻蚀机、涂胶显影设备、清洗设备、测试机等有望部分实现国产替代。

图表19: 部分工艺环节设备的竞争格局

设备类型	外资品牌	国产品牌
光刻设备 (含涂胶显影)	ASML、Nikon、Canon、TEL、DNS	上海微电子、芯源微
刻蚀设备	LAM、TEL、AMAT	中微半导体、北方华创
薄膜设备	AMAT、LAM、TEL	北方华创、沈阳拓荆
离子注入设备	AMAT、Axcelis	中科信、凯世通
过程控制设备	KLA、AMAT、日立	上海睿励、东方晶源
清洗设备	DNS、TEL、KLA、LAM	盛美半导体、北方华创、至纯科技、芯源微
化学机械研磨设备	AMAT、Ebara	华海清科、中电科四十五所
测试设备	泰瑞达、爱德万	长川科技、精测电子

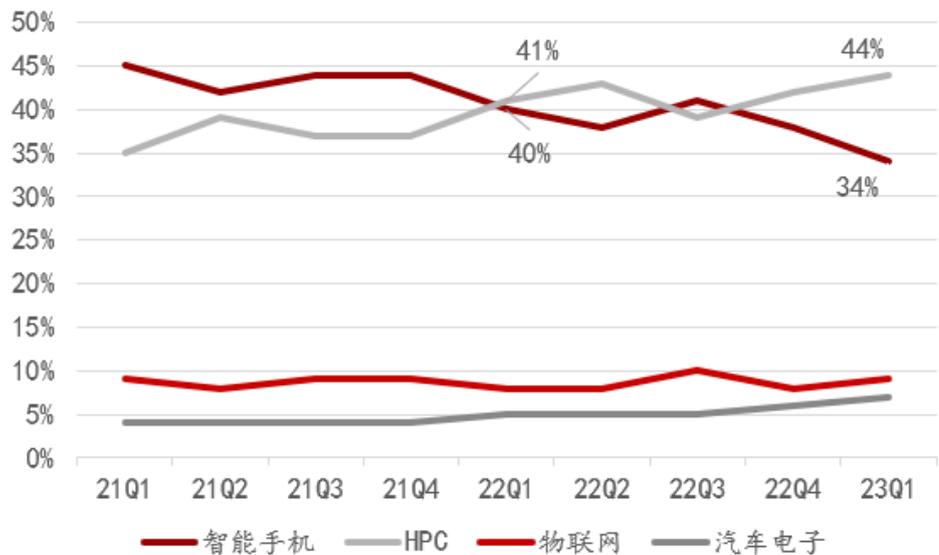
资料来源: Gartner, 芯源微招股说明书, 万联证券研究所

3 高性能计算驱动半导体产业发展, 先进封装实现算力提升

3.1 HPC 超越手机成为半导体第一大需求驱动力, 大算力时代来临

2022年Q1开始, HPC逐渐超越手机成为半导体第一大需求驱动力。5G手机渗透率逐渐饱和, 随着人工智能的发展, 需要处理的数据量指数级增长, AI服务器、高性能计算等算力需求迎来爆发式增长。从2022年Q1开始, 在台积电下游应用领域的营收占比中, HPC (高性能计算) 首次超越智能手机跃居第一, 随后继续保持上升态势, 而手机营收占比逐渐下行。

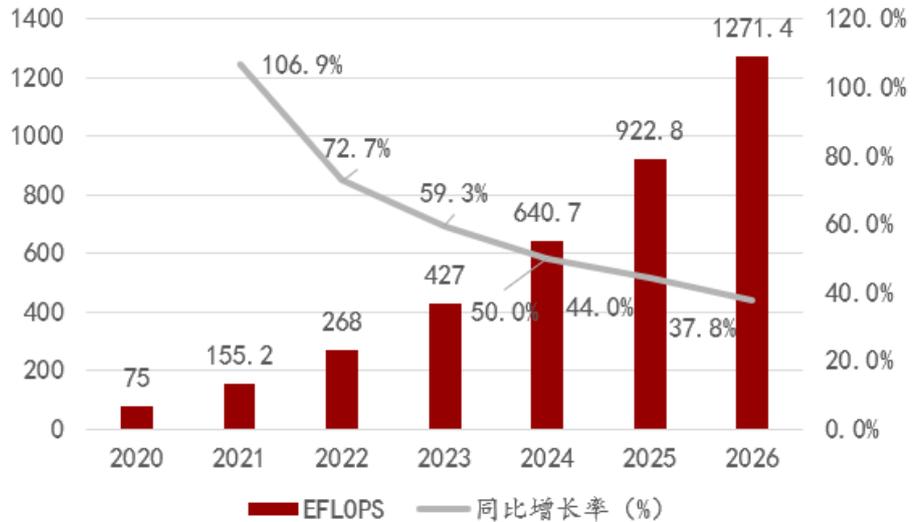
图表20: 台积电 2021 年至今下游应用领域营收占比 (%)



资料来源: TSMC, 万联证券研究所

智能算力规模快速增长, 大算力时代来临。算力作为人工智能的要素之一, 在数字经济发展、产业智能化升级的进程中发挥巨大作用。根据 IDC 预测, 到 2026 年, 我国智能算力规模将达到 1271.4 EFLOPS, 2022-2026 年化复合增长率达 47.58%。

图表21: 中国智能算力规模及预测 (百亿亿次浮点运算/秒, EFLOPS)

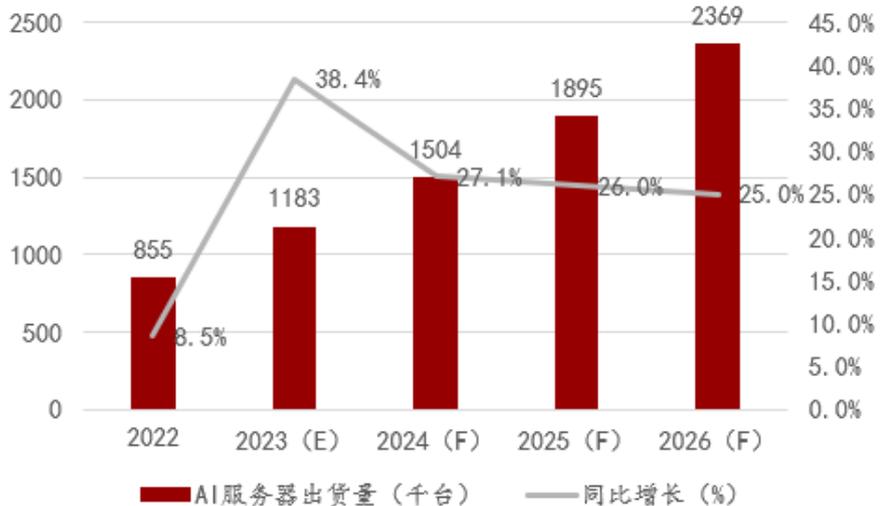


资料来源: IDC, 环球网, 万联证券研究所

3.2 AI服务器产业链迎来高景气, 异构集成与异构计算共推算力发展

以AI服务器产业链为代表的硬件产品将充分受益于人工智能发展的浪潮。据TrendForce集邦咨询预测, 在AI+应用广泛落地的刺激下, AI服务器2023年出货量预计将同比增长38.4%, 2022-2026年AI服务器的年化复合增长率将达22%。

图表22: 2022-2026年全球AI服务器出货量预估



资料来源: TrendForce集邦咨询, 万联证券研究所

AI服务器采用的是异构计算架构。异构计算 (Heterogeneous Computing), 是指将CPU、GPU、FPGA、DSP等不同架构的运算单元整合到一起进行并行计算。例如, CPU擅长管理和调度, 比如读取数据, 管理文件, 人机交互等; GPU管理弱, 运算强, 更适合整块数据进行流处理的算法; FPGA实时性高, 能管理能运算, 但是开发周期长, 复杂算法开发难度大; DSP适合特定算法的计算等。异构计算的实现架构通常是CPU+GPU/FPGA/DSP, 主要由CPU完成不可加速部分的计算以及整个系统的控制调度, 由GPU/FPGA/DSP完成特定的任务和加速, 具备计算能力强、可扩展性好、资源利用率高、发展潜力大等优点。

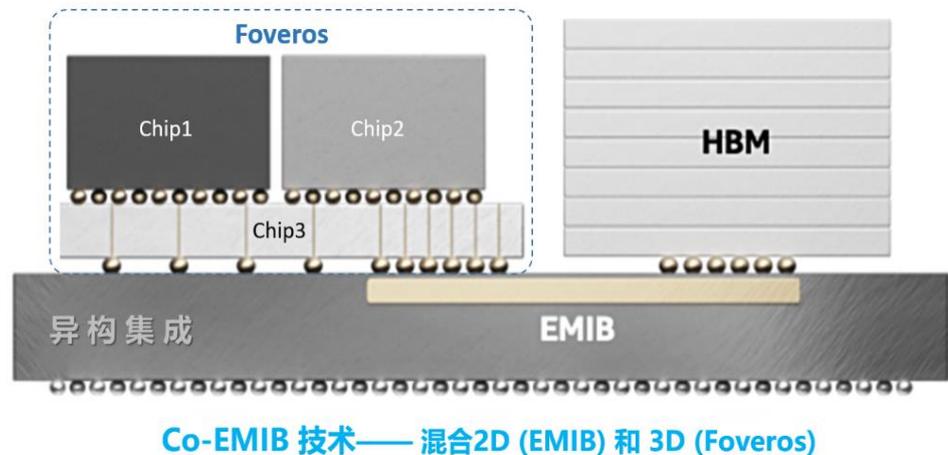
图表23: 面向多场景的异构计算加速平台



资料来源: SiP与先进封装技术, 万联证券研究所

异构集成通过先进封装工艺将多个高性能算力芯片集成在一个系统中, 实现异构计算以提升算力。异构集成 (Heterogeneous Integration), 准确的全称为异质异构集成, 异构代表采用的不同工艺节点, 异质代表不同模块使用的半导体材料不同。异构集成通过先进封装工艺将不同工艺节点、不同材质的高性能芯片集成在一起, 使在单个封装内构建复杂系统成为了可能, 能够快速达到异构计算系统内的芯片所需要的功耗、体积、性能的要求, 从而使异构计算可以通过整合不同架构的运算单元来进行并行计算, 达到提升算力的目的。

图表24: 英特尔的 Co-EMIB 技术属于典型的异构集成技术



资料来源: SiP与先进封装技术, 万联证券研究所

在存算一体大算力领域, 已有国内企业走在前列。存算一体架构将不同类型的处理器和存储组件等集成到同一个芯片上, 是异构集成的一种形式, 目前在该领域已有国内企业取得突破。2023年5月, 后摩智能正式发布国内首款存算一体智驾芯片——鸿途H30。该芯片仅用12nm工艺制程, 其物理算力实现了高达256TOPS, 在Int8全精度的计算提供下, 计算延时只有1.5ns, 能效比为30-150 TOPS/W, 比业界同等精度计算条件下的水平提高了3倍以上。H30芯片采用的是后摩智能自研的AI处理器架构—IPU (Intelligence Processing Unit), 将面向智能驾驶、通用人工智能等领域。与国际巨头的某款智能驾驶8nm芯片相比, 在Resnet50网络的条件下, 后摩智能H30的性能可以达到友商的2倍以上。

图表25: 后摩智能 H30 芯片与 8nm 芯片性能比较

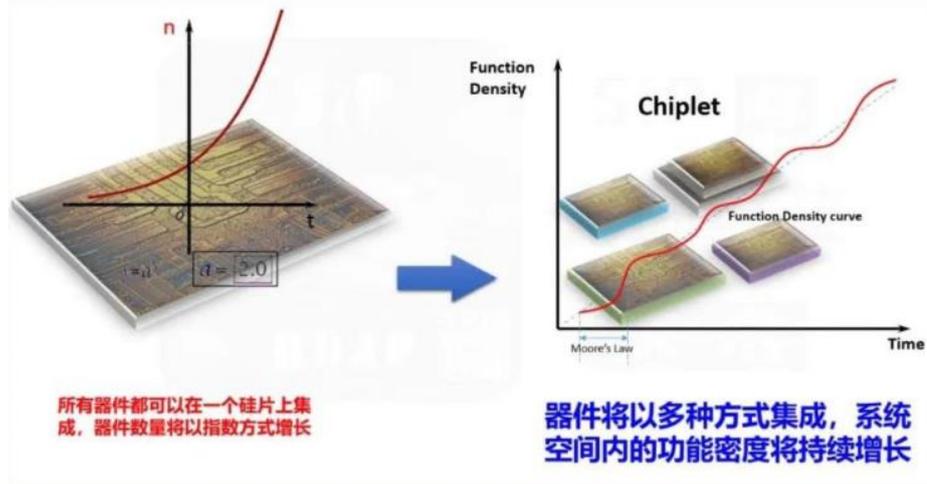


资料来源: 半导体行业观察, 万联证券研究所

3.3 Chiplet 优势明显, 是国产芯片“破局”路径之一

高性能计算的应用场景不断拓宽, 对算力芯片性能提出更高要求, 进而拉动了先进封装及Chiplet工艺的需求。随着AI大模型数据处理需求的持续提升, 对算力芯片性能提出更高要求。Chiplet是高性能算力芯片的封装解决方案之一, 其在设计、生产环节均进行了效率优化, 能有效降低成本并持续提高系统集成度。Chiplet需要采用先进封装工艺中的异构集成技术进行实现, 因而Chiplet的高增长亦将带动异构集成的需求提升。根据Omdia预测, 随着人工智能、高性能计算、5G等新兴应用领域需求渗透, 2035年全球Chiplet市场规模有望达到570亿美元, 2018-2035年复合年均增长率为30.16%, 发展势头强劲。

图表26: 采用 Chiplet 设计能提升系统的功能密度



资料来源: SiP与先进封装技术, 万联证券研究所

与传统SoC相比, Chiplet在设计灵活性、良率等方面优势明显。相对单片集成技术SoC而言, Chiplet是由不同工艺节点的模块共同组成, 在相同的系统性能目标下, 部分模块对制程的要求有所降低, 节省了部分开发时间; 由于芯片面积越大越容易产生缺陷, 而Chiplet每个模块的载体都是较小的硅片, 有效降低了生产中产生的缺陷数量; 同时每个小硅片拥有单独的IP, 并且可以重复使用, 根据特定客户的独特需求定制产品, 节省开发时间。不同工艺生产制造的Chiplet可以通过SiP技术结合, 典型的方案就是XPU+DRAM, 通过异构集成把内存和算力单元直接整合到一起, 提升系统性能、突破算力瓶颈。

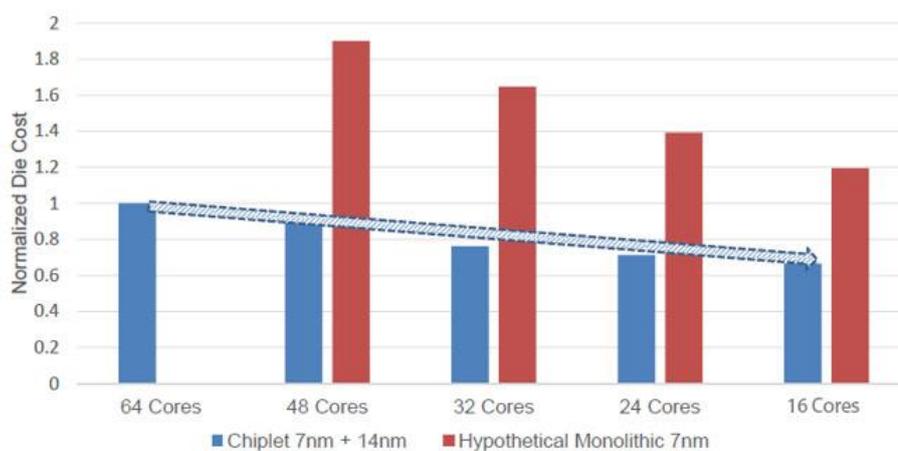
图表27: Chiplet 与 SoC、SiP 的比较



资料来源: AMD, 半导体行业观察, 万联证券研究所

针对先进制程, Chiplet更具成本优势。一方面小芯片形式的制造良率有所提升, 另一方面是Chiplet允许使用不同的制程制造异构芯片, 例如高性能模块采用7nm, 其他模块只需要14nm或28nm就可以做到性能最大化, 使系统整体的功能密度非常接近于7nm的集成。AMD采用“7nm+14nm”的Chiplet设计方案, 较7nm的单芯片集成的成本下降了接近一半。AMD认为是否使用Chiplet设计思想的动机, 在于性能、功耗与造价能否妥协。Chiplet对成本下降的效果会随着核数(芯片核心的数量)的降低而边际减小, 因此未来可能会出现一个价格的均衡点来判断采用Chiplet技术是否更具有经济效益。

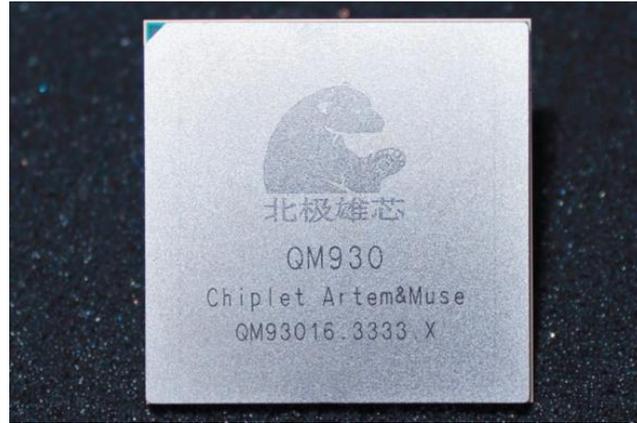
图表28: 用 Chiplet 技术的 7nm+14nm 的造价 vs 7nm



资料来源: SiP与先进封装技术, 万联证券研究所

中美科技摩擦加剧背景下国内先进制程发展受限, Chiplet是国产芯片“破局”路径之一。近年来美国以《芯片与科学法案》、贸易管制“实体清单”及与日本、荷兰组成芯片联盟等手段限制我国芯片先进制程的发展, 使我国高端芯片领域面临“卡脖子”问题。Chiplet降低了芯片设计的成本与门槛, 且其IP复用的特性提高了设计的灵活性, 是国产芯片“破局”路径之一。2023年2月, 北极雄芯发布了国内首款基于异构Chiplet集成的智能处理芯片。该芯片采用12nm工艺生产, HUB Chiplet采用RISC-V CPU核心, 可通过灵活搭载多个NPU Side Die提供8-20TOPS (INT8) 稠密算力。该芯片可用于AI推理、隐私计算、工业智能等不同场景, 有效解决了下游客户在算法适配、迭代周期、算力利用率、算力成本等各方面难以平衡的核心痛点。

图表29: 启明 930 芯片实物



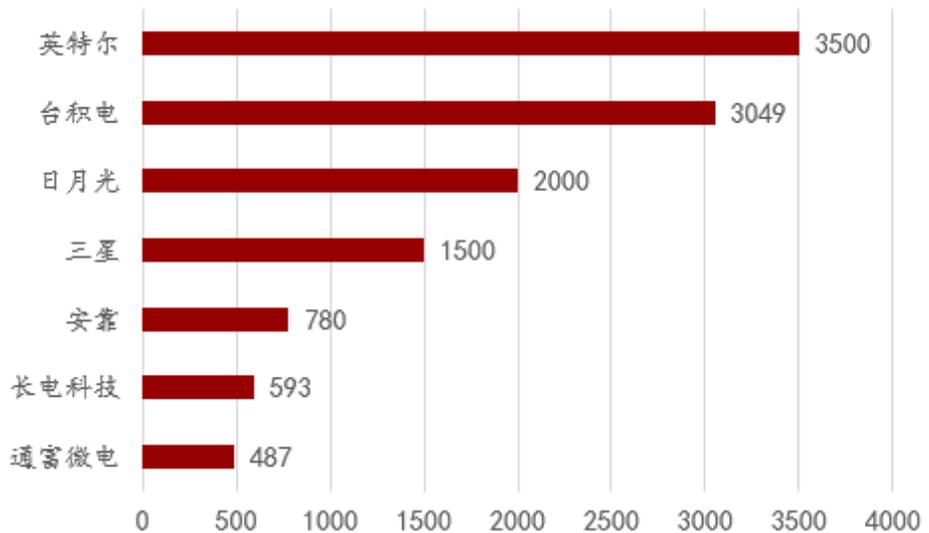
资料来源: 北极雄芯, 万联证券研究所

4 龙头积极布局先进封装, 中国大陆封装厂商蓬勃发展

4.1 晶圆厂和封测厂积极布局先进封装, 侧重点各有不同

封测厂及晶圆厂龙头均积极布局先进封装。根据Yole数据, 2021年各行业龙头在先进封装行业的资本支出合计约为119亿美元。晶圆厂阵营方面, 英特尔以35亿美元的资本支出排名第一, 主要用以支持Foveros和EMIB技术。台积电、三星以30.5亿美元和15亿美元的资本支出分别排名第二、第四。而封测厂阵营方面, 日月光以20亿美元的资本支出排名第三, 其是最大也是唯一能够与代工厂和集成设备制造商形成竞争的OSAT。中国大陆封测厂长电科技和通富微电在先进封装资本支出方面则分居第6、7名。

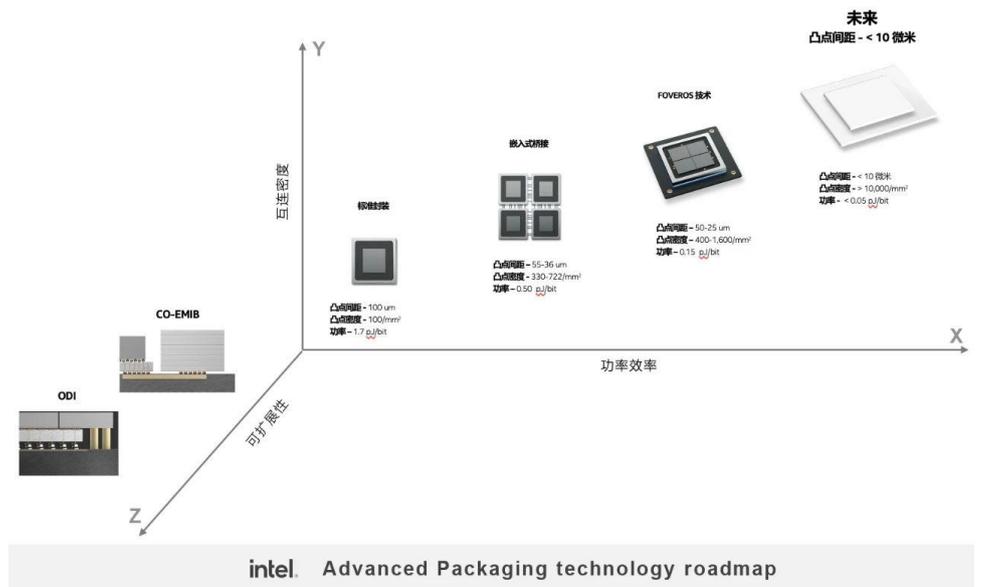
图表30: 2021年封测厂及晶圆厂龙头在先进封装行业的资本支出(\$M)



资料来源: Yole, 天天IC, 万联证券研究所

英特尔致力于实现每毫米立方体里功能最大。在英特尔的技术发展路线图中, 先进封装主要关注互连密度、功率效率和可扩展性三个方面。其中, Foveros和混合键合技术主要关注功率效率、互连密度方面, 而Co-emib和ODI技术则体现了集成的可扩展性特点。从Foveros到混合键合技术, 英特尔逐渐实现凸点间距越来越小, 使系统拥有更高的电流负载能力、更好的热性能。未来英特尔将继续致力于实现每毫米立方体里功能最大。

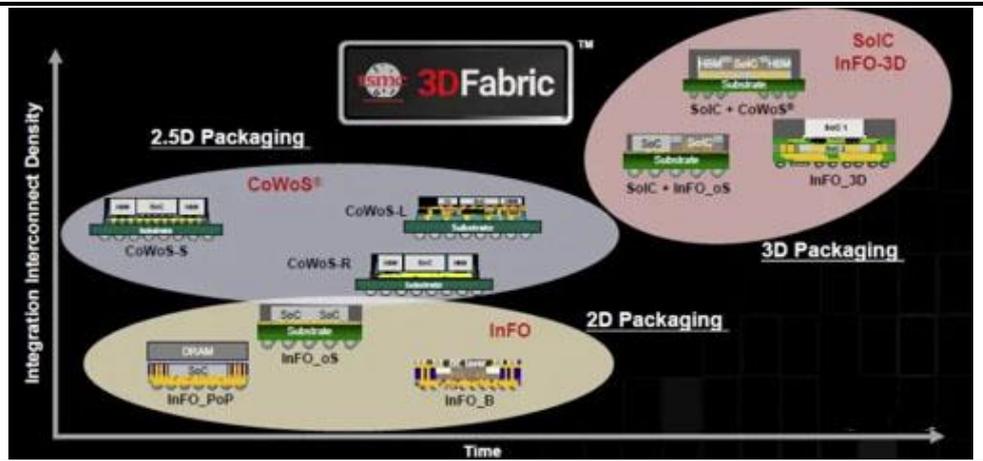
图表31: 英特尔封装技术发展路线图



资料来源: SiP与先进封装技术, 万联证券研究所

台积电推出“3D Fabric”先进封装平台。台积电将2.5D和3D先进封装技术整合为“3D Fabric”平台,在2.5D层面推出了CoWoS及InFO等技术,在3D层面推出了3D SoIC技术。其中前段技术包含3D的整合芯片系统 (SoIC InFO-3D), 后端组装测试相关技术包含2D/2.5D的整合型扇出 (InFO) 以及2.5D的CoWoS系列。目前最新的第五代CoWoS-S封装技术, 将增加3倍的中介层面积、8个HBM2e堆栈 (容量高达128GB)、全新的硅通孔 (TSV) 解决方案等, 有望将晶体管数量翻至第3代封装解决方案的20倍。

图表32: 台积电推出“3D Fabric”先进封装平台



资料来源: 芯智讯, 万联证券研究所

日月光半导体推出“VIPack”先进封装平台, 提供垂直互连整合封装解决方案。该平台由六大核心封装技术组成, 包括日月光基于高密度RDL的Fan Out Package-on-Package (FOPoP)、Fan Out Chip-on-Substrate (FOCoS)、Fan Out Chip-on-Substrate-Bridge (FOCoS-Bridge) 和 Fan Out System-in-Package (FOSiP), 以及基于硅通孔 (TSV) 的2.5D/3D IC和Co-Packaged Optics。平台具备先进的RDL制程、嵌入式整合以及2.5D/3D封装等技术, 提供可优化时脉速度、频宽和电力传输的高度整合硅封装解决方案所需的制程能力, 能缩短共同设计时间、产品开发和上市时程。其中FOPoP是由日月光在2023年3月14日发布的, 该技术实现了电气路径减少3倍 (降低延迟性)、带宽密度提高8倍 (提高带宽优势) 的提升, 主要应用于移动装置和网络通讯市场。

图表33: 日月光半导体推出的 VIPack 先进封装平台



资料来源: ASE, 万联证券研究所

晶圆厂阵营及封测厂阵营关注侧重点各有不同。晶圆厂由于在前道环节的经验更丰富,能更快掌握需要刻蚀等前道步骤的TSV技术,因而在2.5D/3D封装技术方面较为领先,如英特尔的Foveros技术和台积电的CoWoS技术,均是高维集成的领先技术。而后道封装厂商则更熟悉异质异构集成且封装技术布局全面,因此在SiP技术的发展方面更有优势,比如日月光的“VIPack”平台中就将FOSiP等系统级封装技术列为核心技术之一。在后摩尔时代,先进封装为封装行业带来核心增量,亦成为晶圆厂和封测厂的兵家必争之地。我们预计未来晶圆制造厂的工艺程序将会演变成从制造到封装的一体化工程,而OSAT则会呈现马太效应,技术迭代能力强、客户资源丰富的龙头企业更具优势,市场份额有望更加集中。

4.2 OSAT 竞争格局较为稳定, 中国大陆厂商蓬勃发展

OSAT竞争格局较为稳定,中国大陆封测厂营收名列前茅。根据2022年海内外已经上市的封测厂(OSAT, Outsourced Semiconductor Assembly and Test)营收情况,OSAT行业整体营收排名变化不大,竞争格局较为稳定。中国大陆封测厂中有长电科技、通富微电、华天科技和甬矽电子进入前三十名的榜单,其中长电科技、通富微电和华天科技稳居榜单前十。从毛利率和研发营收比来看,中国大陆封测厂的研发投入水平处于国际领先水平,但毛利率与海外巨头相比仍有提升空间。

图表34: 2022年海内外已经上市的封测厂营收情况

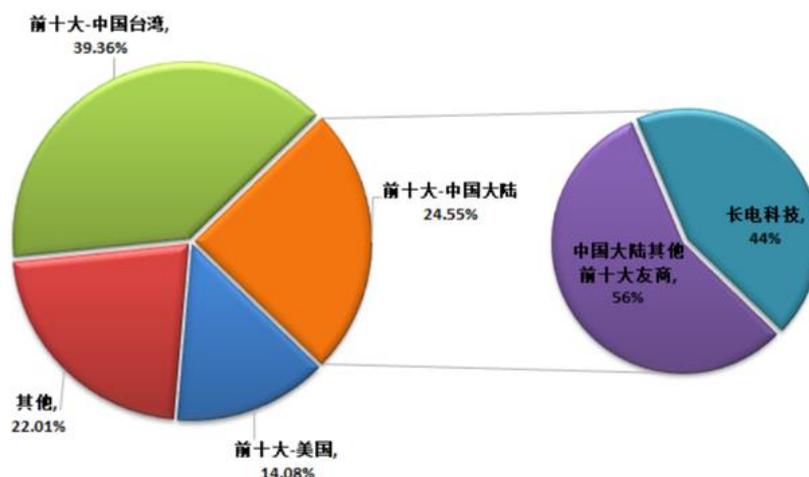
公司名称	国家/地区	2022年 营收排名	2021年 营收排名	2022年营业 收入(M\$)	2022年 营收增长	2022年 毛利率	2022年 研发营收比
日月光	中国台湾	1	1	12325	2.9%	28.4%	5.6%
安靠	美国	2	2	7091.6	15.5%	18.8%	2.1%
长电科技	中国大陆	3	3	4990	5.4%	17.1%	3.9%
通富微电	中国大陆	4	5	3160	28.8%	13.9%	6.2%
力成	中国台湾	5	4	2786	-7.1%	20.8%	2.9%
华天科技	中国大陆	6	6	1765	-5.9%	16.9%	5.9%
京元电子	中国台湾	7	8	1221	1.1%	35.6%	3.4%
颀邦科技	中国台湾	8	10	800	-17.4%	32.7%	3.2%
南茂科技	中国台湾	9	9	784	-20.0%	21.0%	4.9%

HANA	韩国	10	13	690	19.6%	19.3%	3.6%
矽格	中国台湾	11	12	621	3.9%	29.6%	2.3%
SFA	韩国	12	15	539	-2.5%	11.4%	0.3%
超丰电子	中国台湾	13	11	532	-23.6%	26.7%	1.6%
嘉盛	马来西亚	14	16	526	-3.0%	17.3%	--
华泰电子	中国台湾	15	14	516	-9.6%	16.3%	2.2%
欣铨科技	中国台湾	16	19	479	12.4%	40.7%	3.6%
同欣电子	中国台湾	17	17	467	-6.7%	35.5%	2.6%
LB Semicon	韩国	18	18	405	-5.5%	17.3%	0.7%
纳沛斯	韩国	19	23	347	14.6%	17.6%	12.6%
福懋科技	中国台湾	20	21	346	-2.6%	21.0%	1.6%
益纳利美昌	马来西亚	21	20	335	-10.4%	30.4%	--
甬矽电子	中国大陆	22	22	323	1.4%	22.0%	5.6%
华东科技	中国台湾	23	24	315	8.3%	8.8%	0.5%
恒诺	泰国	24	25	303	5.1%	13.4%	2.1%
AOI	日本	25	26	302	5.1%	12.4%	0.0%
精材科技	中国台湾	26	28	256	-6.6%	37.0%	4.2%
Signetics	韩国	27	29	222	-4.6%	6.7%	1.5%
菱生精密	中国台湾	28	27	200	-27.6%	8.9%	2.8%
讯芯科技	中国台湾	29	32	175	14.6%	12.1%	5.9%
捷敏股份	中国台湾	30	31	173	1.7%	24.0%	1.0%
晶方科技	中国大陆	31	30	164	-24.8%	44.4%	17.2%

资料来源：半导体综研，万联证券研究所

中国大陆封测厂蓬勃发展，以长电科技最为突出。在芯思想发布的委外封测前十大榜单中，中国大陆市占率占比24.55%，仅次于中国台湾地区。在中国大陆封测厂中，长电科技市占率占比44%，是国内封测行业的龙头企业。

图表35：2022年全球前十大 OSAT 厂商所在区域市占率

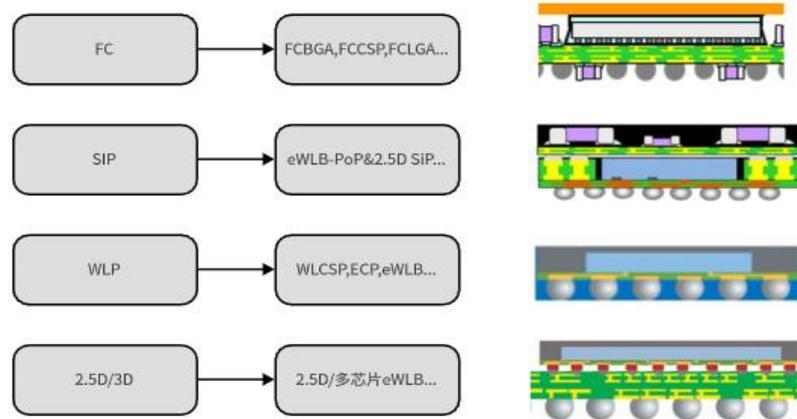


资料来源：芯思想研究院，长电科技，万联证券研究所

长电科技在国内封测厂中具有领先优势，先进封装技术布局全面且背靠中芯系。近年来长电科技重点发展系统级、晶圆级和2.5D/3D等先进封装技术，提供的解决方案包括扇入型晶圆级封装(FIWLP)、扇外型晶圆级封装(FOWLP)、集成无源器件(IPD)、硅

通孔(TSV)、包封芯片封装(ECP)、射频识别(RFID)等。在SiP封装领域,长电科技拥有双面塑形、EMI电磁屏蔽、激光辅助键合(LAB)等先进技术,具有电气性能更佳、EMI屏蔽效果更好、可靠性更强等优势。此外,中芯国际为长电科技股东之一,双方合作紧密,且中芯国际作为国内晶圆代工龙头,在需要前道工艺辅助的2.5D/3D封装环节可以与长电科技协同合作,增强长电科技较其他封测厂的竞争优势。

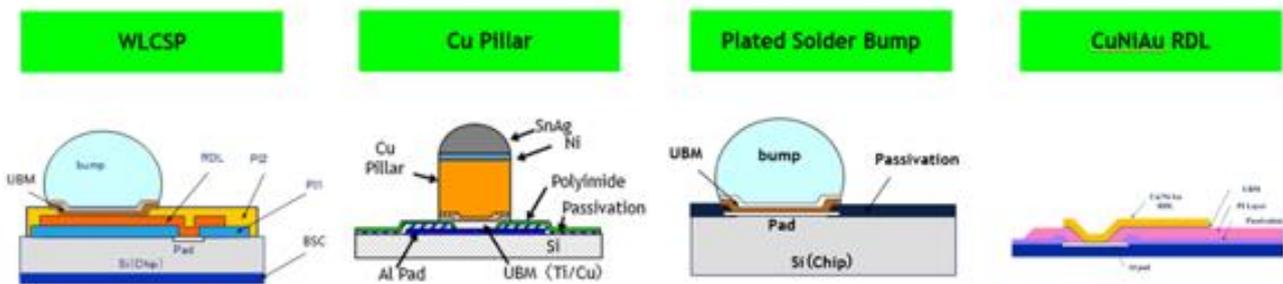
图表36: 长电科技先进封装产品布局



资料来源: 长电科技官网, 万联证券研究所

通富微电聚焦算力芯片封测, 与AMD深度合作。通富微电不断加强自主创新,并在多个先进封装技术领域积极开展国内外专利布局,截至2022年12月31日累计国内外专利申请达1,383件,其中发明专利占比约70%。公司在多芯片组件、集成扇出封装、2.5D/3D等先进封装技术方面均有前瞻性布局,已能提供多样化的Chiplet封装解决方案,且现已具备7nm、Chiplet封装技术规模量产能力。此外,通富微电是AMD最大的封装测试供应商,占其订单总数的80%以上。未来随着和AMD的深入合作,通富微电将持续深耕算力芯片封测领域,分享算力产业链加速发展的红利。

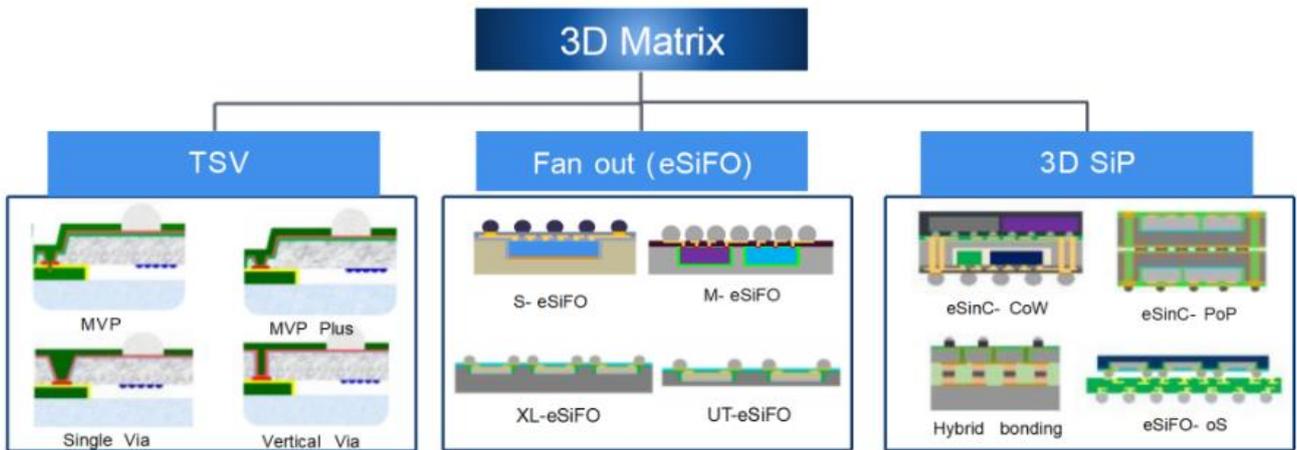
图表37: 通富微电晶圆级封装技术可以应用于高性能 ASIC、CPU/GPU



资料来源: 通富微电官网, 万联证券研究所

华天科技持续发力先进封装, 推出3D-Matrix先进封装技术平台。华天科技为国内第三大、全球第六大的封测厂,现已掌握了SiP、FC、TSV、Bumping、Fan-Out、WLP、3D等集成电路先进封装技术。在Fan-Out领域,华天科技拥有完全自主知识产权的晶圆级扇外型封装解决方案-eSiFO (embedded Silicon Fan-Out),可以提供8寸,12寸晶圆级扇出封装的服务。此外公司实现了3D FO SiP 封装工艺平台的开发,现已具备由TSV、eSiFo、3D SiP构成的最新先进封装技术平台——3D Matrix。未来华天科技将持续加强技术创新工作,推进2.5D Interposer (RDL+Micro Bump) 项目的研发,布局UHDFO、FOPLP封装技术,加大在FCBGA、汽车电子等封装领域的技术拓展,提升公司在先进封装领域的竞争力。

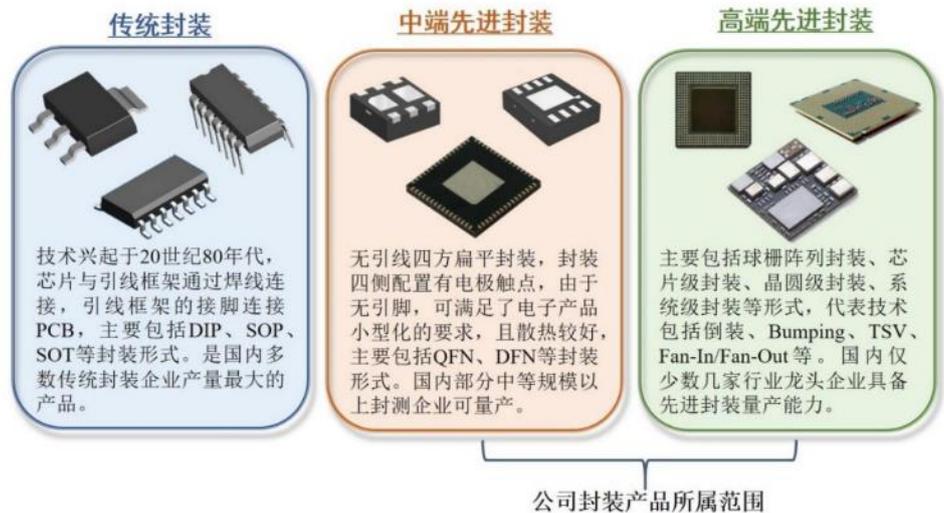
图表38: 华天科技推出 3D Matrix 先进封装平台



资料来源: 未来半导体, 华天科技, 万联证券研究所

甬矽电子定位中高端先进封装, 后起之秀蓬勃发展。甬矽电子于2017年11月设立, 从成立之初即聚焦集成电路封测业务中的先进封装领域, 且坚持中高端先进封装业务定位, 车间洁净等级、生产设备、产线布局、工艺路线、技术研发、业务团队、客户导入均以先进封装业务为导向。公司全部产品均为QFN/DFN、WB-LGA、WB-BGA、Hybrid-BGA、FC-LGA等中高端先进封装形式, 并在系统级封装 (SiP)、高密度细间距凸点倒装产品 (FC类产品)、大尺寸/细间距扁平无引脚封装产品 (QFN/DFN) 等先进封装领域具有较为突出的工艺优势和技术先进性。

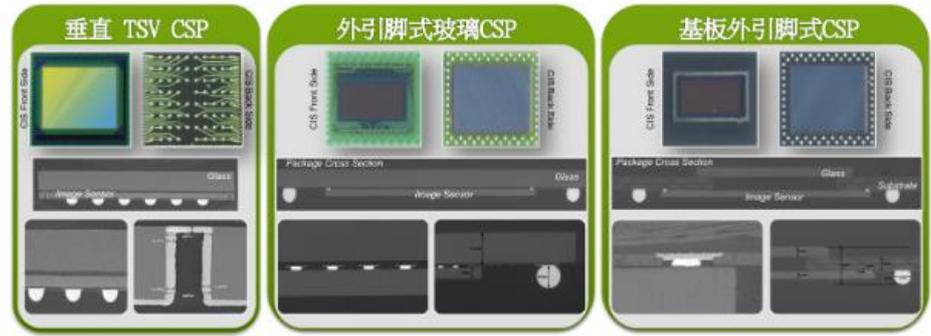
图表39: 甬矽电子业务定位中高端先进封装



资料来源: 甬矽电子招股说明书, 万联证券研究所

晶方科技聚焦传感器封装, 持续拓展差异化竞争优势。晶方科技是晶圆级硅通孔 (TSV) 封装技术的领先者, 具备8英寸、12英寸晶圆级芯片尺寸封装技术规模量产封装线, 涵盖晶圆级到芯片级的一站式综合封装服务能力。公司重点聚焦以影像传感芯片为代表的智能传感器市场, 封装的产品主要包括CIS芯片、TOF芯片、生物身份识别芯片、MEMS芯片等, 同时针对汽车电子应用领域的性能提升需求, 大力推进车规STACK封装工艺的开发创新, 持续提升在车规CIS领域的技术领先优势与业务规模。

图表40: 晶方科技高集成度、高可靠性的汽车传感器封装



资料来源: 晶方科技官网, 万联证券研究所

5 投资建议

把握大算力时代浪潮下先进封装产业的投资机会:

1) **先进封装是后摩尔时代下确定性的产业趋势:** 先进封装是半导体产业超越摩尔定律、提升系统性能的必然选择, 为封测市场带来主要增量, 且应用场景主要在高性能计算、高端服务器等领域, 产品技术壁垒与价值量相对传统封装会更高, 重点关注传统封装厂商技术升级带来的投资机会;

2) **Chiplet有望成为高端算力芯片的主流封装方案, 助力国产芯片“破局”:** 大算力时代下, 高性能计算的应用场景不断拓宽, 对算力芯片性能提出更高要求, 进而拉动了先进封装及Chiplet工艺的需求; 此外, Chiplet降低了芯片设计的成本与门槛, 且其IP复用的特性提高了设计的灵活性, 在国内发展先进制程外部条件受限的环境下, Chiplet有望成为国产芯片“破局”路径之一, 重点关注Chiplet技术领先、具备量产能力的龙头厂商;

3) **国内先进封装产业蓬勃发展将拉动国产设备需求:** 在先进封装工艺中, 对传统封装设备的使用需求和精度要求都有所提升, 同时由于工艺延伸至前道环节, 为前道设备带来增量, 提升了半导体设备的市场需求, 也进一步推进了半导体设备的国产替代进程, 重点关注布局封装环节设备的优质厂商。

综上, 建议重点关注大算力时代浪潮下具备先进封装技术领先优势和客户资源优势的龙头厂商, 以及受益国产替代及先进封装产业发展红利的上游设备厂商。

6 风险因素

中美科技摩擦加剧; 技术研发不及预期; 国产化进程不及预期; 算力需求不达预期; 市场竞争加剧。

行业投资评级

强于大市：未来6个月内行业指数相对大盘涨幅10%以上；

同步大市：未来6个月内行业指数相对大盘涨幅10%至-10%之间；

弱于大市：未来6个月内行业指数相对大盘跌幅10%以上。

公司投资评级

买入：未来6个月内公司相对大盘涨幅15%以上；

增持：未来6个月内公司相对大盘涨幅5%至15%；

观望：未来6个月内公司相对大盘涨幅-5%至5%；

卖出：未来6个月内公司相对大盘跌幅5%以上。

基准指数：沪深300指数

风险提示

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议；投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者应阅读整篇报告，以获取比较完整的观点与信息，不应仅仅依靠投资评级来推断结论。

证券分析师承诺

本人具有中国证券业协会授予的证券投资咨询执业资格并登记为证券分析师，以勤勉的执业态度，独立、客观地出具本报告。本报告清晰准确地反映了本人的研究观点。本人不曾因，不因，也将不会因本报告中的具体推荐意见或观点而直接或间接收到任何形式的补偿。

免责声明

万联证券股份有限公司（以下简称“本公司”）是一家覆盖证券经纪、投资银行、投资管理和证券咨询等多项业务的全国性综合类证券公司。本公司具有中国证监会许可的证券投资咨询业务资格。

本报告仅供本公司的客户使用。本公司不会因接收人收到本报告而视其为客户。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。本报告中的信息或所表述的意见并未考虑到个别投资者的具体投资目的、财务状况以及特定需求。客户应自主作出投资决策并自行承担投资风险。本公司不对任何人因使用本报告中的内容所导致的损失负任何责任。在法律许可情况下，本公司或其关联机构可能会持有报告中提到的公司所发行的证券头寸并进行交易，还可能为这些公司提供或争取提供投资银行、财务顾问或类似的金融服务。

市场有风险，投资需谨慎。本报告是基于本公司认为可靠且已公开的信息撰写，本公司力求但不保证这些信息的准确性及完整性，也不保证文中的观点或陈述不会发生任何变更。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。分析师任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

本报告的版权仅为本公司所有，未经书面许可任何机构和个人不得以任何形式翻版、复制、刊登、发表和引用。未经我方许可而引用、刊发或转载的引起法律后果和造成我公司经济损失的概由对方承担，我公司保留追究的权利。

万联证券股份有限公司 研究所

上海浦东新区世纪大道 1528 号陆家嘴基金大厦

北京西城区平安里西大街 28 号中海国际中心

深圳福田区深南大道 2007 号金地中心

广州天河区珠江东路 11 号高德置地广场