



计算机行业研究

买入（维持评级）
行业专题研究报告

证券研究报告

计算机组

 分析师：刘高畅（执业 S1130525120005）
 liugaochang@gjzq.com.cn

 分析师：郑元昊（执业 S1130525120004）
 zhengyuanhao@gjzq.com.cn

 联系人：孙恺祈
 sunkaiqi@gjzq.com.cn

正在半导体化的 PCB

行业观点

- AI 推理瓶颈迭代与架构演进，推动 PCB 价值定位跃升。** Transformer 架构下大模型推理分为 Prefill 与 Decode 两个阶段，前者为计算密集型，后者为显存带宽密集型，算力利用率与带宽占用率呈现极端错配。英伟达推出“解耦式推理”架构，将 Prefill 与 Decode 拆分到不同硬件，对 PCB 提出更高密度的 HBM 封装基板、更高速片间互联及更高功率密度供电散热要求。与此同时，从芯片到机架的尺度演进中，HBM4 引入要求中介层支持千位级 I/O；CoWoS-L 向 CoWoP 演进让 PCB 首次承担类基板功能；GB300 服务器 PCB 层数从 10 层跃升至 20 层以上，部分高端型号达 34 至 64 层；Rubin Ultra NVL576 更以 78 层 M9 级正交背板取代铜缆，承担机柜内 GPU 全互联通信。行业竞争核心从“单卡算力”转向“全系统互联带宽”，PCB 成为决定 AI 系统算力释放效率的关键瓶颈环节，技术门槛与认证周期对标半导体封装。
- Rubin 开启硬件密度时代，正交背板推动 PCB 半导体化价值跃迁。** 英伟达 GTC 2025 发布 Rubin 系列路线图，开启 AI 硬件密度新时代：2026 年下半年量产 Vera Rubin NVL 144 平台，FP4 推理算力达 3.6 EFLOPS；2027 年下半年量产 Rubin Ultra NVL576 平台，FP4 推理算力达 15 EFLOPS。黄仁勋提出“GPU 数量按封装中芯片数量计”的新计算法则，标志以封装密度为核心度量的硬件密度时代来临。产业链视角下，Rubin 系列拉动 PCB “价量齐升”：量上，Rubin Ultra 机柜 GPU 封装数量翻倍，带动 PCB 用量倍增；价上，平台采用 M8U/M9 级高端材料与超高多层设计，单台服务器 PCB 价值较上一代提升超两倍。正交背板作为标志性工程创新，通过 78 层 PCB 实现 GPU 与 NV Switch 互连，替代数万根铜缆。高盛预测 2025-2030 年 AI 服务器需求增约 4.3 倍，高端 PCB 供需失衡将延续至 2027 年，PCB 在 AI 系统 BOM 中占比向半导体级组件靠拢，完成从“承载平台”到“核心互联介质”的价值跃迁。
- CoWoP 与 M9 体系叠加赋能，推动 AI PCB 工艺向半导体级突破。** CoWoP 方案去掉 ABF 封装基板与 BGA 焊球，将硅中介层与 GPU/HBM 组合直接安装在强化型 PCB 上，PCB 承担了原本封装基板的全部功能，标志着 PCB 与封装基板边界消失。该方案在信号完整性、电源完整性、热管理、板材变形控制及长期可靠性方面具有多重优势。单颗 GPU 配套 PCB 价值量高达 600 美元，为当前 GB 200 平台的三倍，预计 2027 年形成超 6 亿美元市场空间，2028 年飙升至 20 亿美元以上。同步演进的 M9 级覆铜板体系采用第三代 Low DK 石英布、HVL P4/5 超低轮廓铜箔等先进材料，填料用量较前代翻倍。材料代际跃迁导致加工难度指数级抬升，叠加上游日东纺产能逼近极限、HVL P 铜箔供应紧张，三重因素系统性推升价值中枢。CoWoP 与 M9 叠加，使得工艺精度全面逼近半导体级。
- 多重壁垒构筑行业护城河，资金技术环保认证推动行业向头部集中。** PCB 行业属政策、资金、技术密集型，准入门槛极高。工信部设高投资与产能标准，PCB 行业设备、研发投入大；制造工艺复杂、跨学科要求高；环保标准严、出口合规成本高；头部客户认证周期长、粘性强。多重壁垒推动行业向头部集中，格局持续优化。

相关标的

- 海外算力：**胜宏科技、鹏鼎控股、沪电股份、广合科技、生益科技、景旺电子、东山精密、世运电路
- 其他海外算力：**东山精密、工业富联、中际旭创、天孚通信、中钨高新、天岳先进、新易盛、兆易创新、沪电股份、大普微、源杰科技、欧科亿、英维克、唯科科技、领益智造等；Intel、SK 海力士、Lumentum、闪迪、高通、博通、marvell、铠侠、美光、中微公司、北方华创、拓荆科技、长川科技。

风险提示

- AI 服务器出货及 PCB 升级不及预期的风险；CoWoP、正交背板等新工艺商业化进度不及预期的风险；原材料供应紧张及价格波动的风险；行业扩产节奏过快导致竞争加剧与价格战的风险；大客户订单波动及客户集中度过高的风险**



内容目录

一、AI 推理瓶颈迭代与架构演进，推动 PCB 价值定位跃升	3
1.1 推理瓶颈从算力转向显存带宽，PCB 成为 AI 系统性能关键承载者	3
1.2 由芯片至机架架构演进，PCB 从承载平台跃升为 AI 核心互联介质	5
二、Rubin 开启硬件密度时代，正交背板推动 PCB 半导体化价值跃迁	6
2.1 Rubin 开启 AI 硬件密度新时代，拉动 PCB 量价齐升与高端化升级	6
2.2 正交背板推动 PCB“半导体化”，工艺升级驱动 PCB 价值量跃迁	8
三、CoWoP 与 M9 体系叠加赋能，推动 AIPCB 工艺向半导体级突破	9
3.1 CoWoP 打破 PCB 与封装基板边界，PCB 从连接件跃升为芯片最后一层封装载体	9
3.2 M9 材料体系实现代际升级，工艺壁垒与供给瓶颈推升 PCB 价值中枢	10
3.3 CoWoP 与 M9 双重叠加，AIPCB 工艺精度全面逼近半导体级	10
四、多重壁垒构筑行业护城河，资金技术环保认证推动行业向头部集中	11
五、相关标的	12
六、风险提示	12

图表目录

图表 1: 预填充与解码时的内部 GPU 状态	3
图表 2: Disaggregated Serving 处理专用 GPU 上的 AI 推理的 Prefill 与 Decode 阶段，实现对计算和内存资源的精准优化	4
图表 3: MoBA 通过路由器将查询路由至对应 KV 块，仅计算相关块的注意力得分以实现稀疏计算	5
图表 4: MLA 通过显著减少生成过程中的 KV 缓存，实现高效推理	5
图表 5: 多种并行策略可组合使用，以高效训练参数量从数十亿到数万亿的大模型，并横跨数千个 GPU 运行	5
图表 6: 通过内部连接，NVIDIA 展示了一种新的中翼设计，其共有 18 列和 4 排连接线	6
图表 7: Vera Rubin NVL144 平台将于 2026 年下半年量产，其 FP4 推理算力达 3.6 EFLOPS，是 GB300 NVL72 的 3.3 倍	7
图表 8: Rubin Ultra NVL576 平台将于 2027 年下半年量产，其 FP4 峰值推理算力高达 15 EFLOPS，FP8 训练算力达到 5 EFLOPS	7
图表 9: NVIDIA Rubin NVL576 机架取消了连接 NV Link 交换机和计算刀片的线缆卡带	8
图表 10: CoWoP 方案中，PCB 承担了原本封装基板的全部功能	9
图表 11: NVIDIA 正在研究下一代 AI 显卡采用 CoWoP 的 PCB 封装	10
图表 12: AI PCB 既保留了 PCB 大尺寸量产与多层压合的工艺基础，又在精度与材料等层面实现了向半导体级别的跃迁	11
图表 13: AI PCB 行业面临政策及资金、技术、环保、客户等壁垒	12



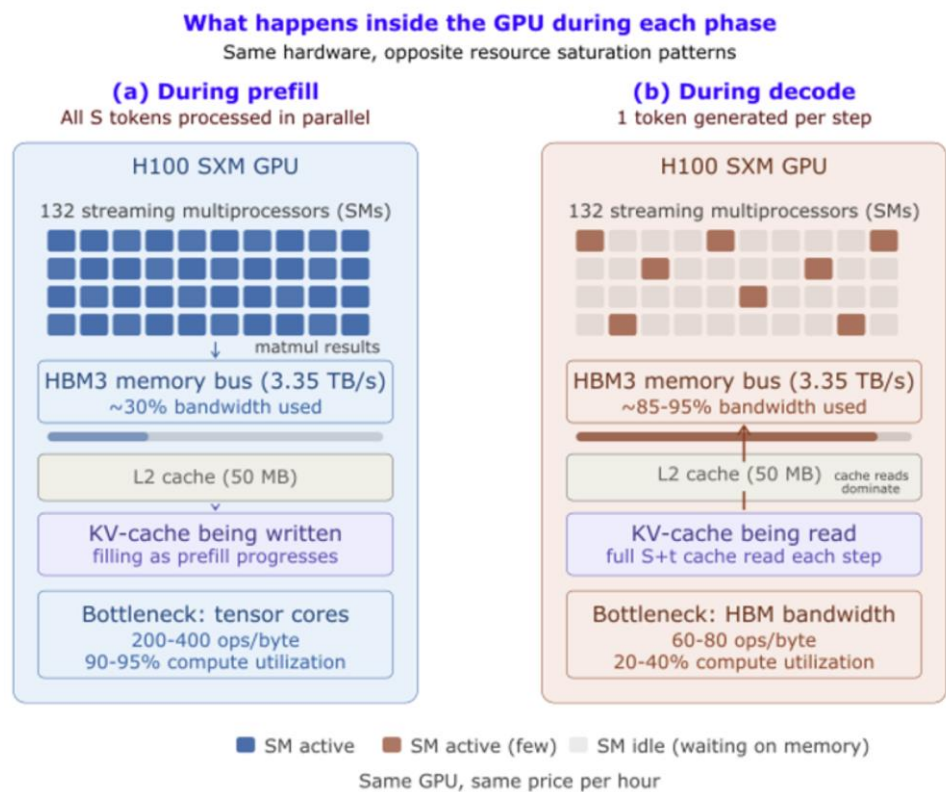
一、AI 推理瓶颈迭代与架构演进，推动 PCB 价值定位跃升

1.1 推理瓶颈从算力转向显存带宽，PCB 成为 AI 系统性能关键承载者

从 AI 计算底层物理特性来看，Transformer 架构下大模型推理严格分为 Prefill 与 Decode 两个阶段，二者硬件资源消耗特征存在显著不对称，Prefill 阶段为计算密集型，以矩阵-矩阵乘法（GEMM）为主，算术强度高，GPU 可逼近 FP4/FP8 理论峰值性能，而 Decode 阶段为显存带宽密集型，以向量-矩阵乘法（GEMV）为主，需反复从 HBM 显存读取历史 Key、Value 向量至 SRAM，算术强度大幅下降，Tensor Core 长期处于等待数据的闲置状态，系统瓶颈由算力转向显存带宽，这种不对称性彻底重塑 AI 硬件设计哲学，推动 PCB 向高频高速、高密度互连、高层数、高精度方向升级，使其在材料、制程、精度上全面趋近半导体级标准，进而实现 PCB “半导体化”，以匹配 AI 算力硬件对信号完整性、传输效率与系统稳定性的极致要求。

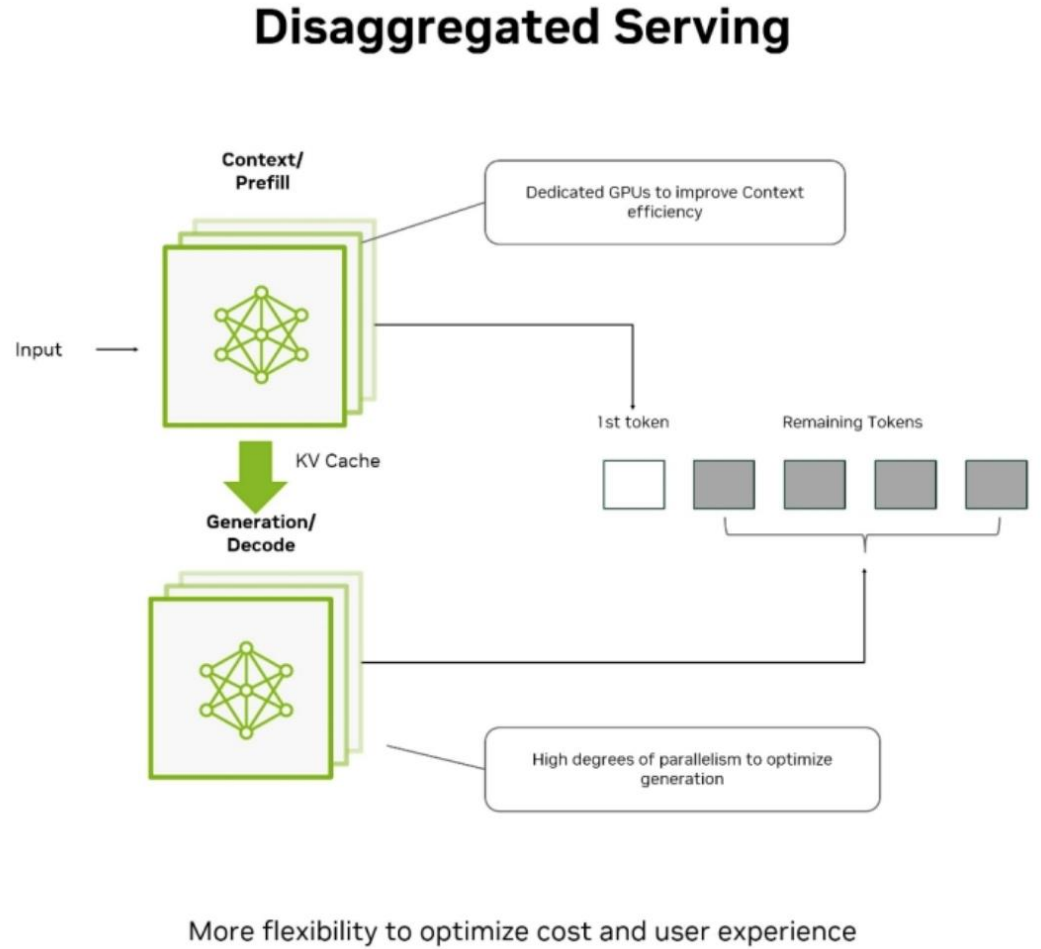
这一阶段的资源消耗变化可以用一组数据直观呈现：在 Prefill 阶段，GPU 算力利用率可达 90%-95%，但显存带宽占用通常低于 30%；而在长上下文 Decode 阶段（KV Cache 满载），GPU 算力利用率可能降至 20%-40%，显存带宽占用率则会升至 85%-95%。这种算力与带宽的极端错配，正是英伟达在 Rubin 系列中推出“解耦式推理”（Disaggregated Inference）的核心动因——将 Prefill 与 Decode 拆分到不同硬件上，对 Decode 硬件大幅增加显存容量与互联带宽，对 Prefill 硬件保留高算力配置，通过硬件异构化实现资源的最优配置。这一架构变革对 PCB 提出了前所未有的要求：Decode 节点需要更高密度的 HBM 显存封装基板与更高速的片间互连（NV Link/C2C），Prefill 节点则需要支持更高功率密度的供电与散热方案，二者共同推动 PCB 从传统的连接载体升级为决定系统性能瓶颈的关键半导体级组件，技术门槛与客户认证周期已逼近半导体封装环节，行业属性由此发生根本性跃迁。

图表1：预填充与解码时的内部 GPU 状态





图表2: Disaggregated Serving 处理专用 GPU 上的 AI 推理的 Prefill 与 Decode 阶段, 实现对计算和内存资源的精准优化



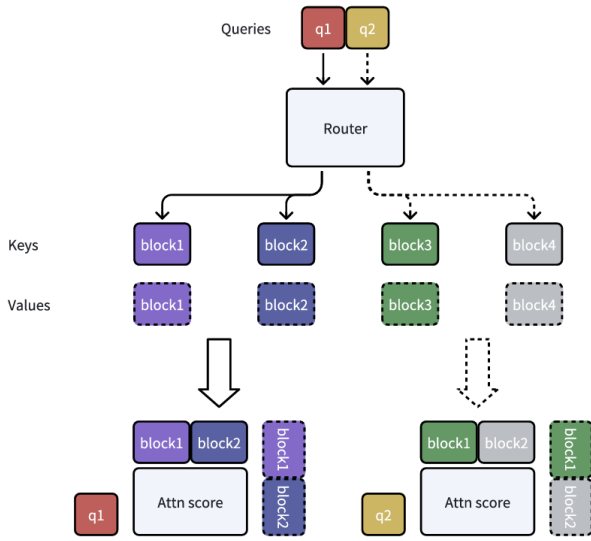
来源: NVIDIA blog, 国金证券研究所

为缓解长上下文推理中 KV Cache 带来的显存压力, 行业演化出三条差异化解决路径: 算法层面, 采用 MLA (Multi-head Latent Attention)、MoBA (Mixture of Block Attention) 等混合注意力机制, 通过低秩压缩与稀疏化技术, 显著降低 KV Cache 容量占用, 从算法根源上减轻显存负担; 硬件层面, 通过 Tensor Parallel (张量并行) 将 KV Cache 横向分布至多张 GPU, 依托 NVLink 等高速互联协议在卡间实时汇聚计算结果; 系统层面, 通过 Pipeline Parallel (流水线并行) 纵向跨节点拆分模型层, 以节点间激活值传输替代全量 KV Cache 搬运。三条路径在工程实现上各有侧重, 但它们均将“卡间/节点间的高速互联”提升至与“单卡算力”同等重要的战略高度, 直接驱动 PCB 向更高层数、更高阶 HDI 及更高信号完整性方向迭代, PCB 由此向半导体化方向升级, 以满足 AI 算力硬件对信号完整性与传输效率的极致要求。

换言之, 过去十年 AI 硬件的核心竞争是“单卡算力”, 而下一个十年的核心竞争已经悄然转向“全系统互联带宽”。这一转变在物理层面催生了三层新需求: 芯片内部, HBM4 代相比 HBM3e 带宽翻倍, 需更宽内存接口与更高密度 I/O; 封装内部, Rubin Ultra 采用 16 颗 HBM4E × 16 层堆叠结构, 硅中介层尺寸与布线密度呈指数级攀升; 机柜内部, NVLink 从早期 8 卡互联演进至 576 端口全池化架构, 实现数百颗 GPU 的 Scale-up 网络。这三层需求的物理承载者, 正是 PCB——尤其是高速高频 PCB 与正交背板, 其技术门槛已从传统的层间对位精度、阻抗控制, 跃升至半导体级的信号完整性、电源完整性及热管理协同设计。PCB 由此成为决定 AI 系统算力释放效率的关键瓶颈环节, 行业价值中枢与竞争壁垒同步向半导体封装领域靠拢。

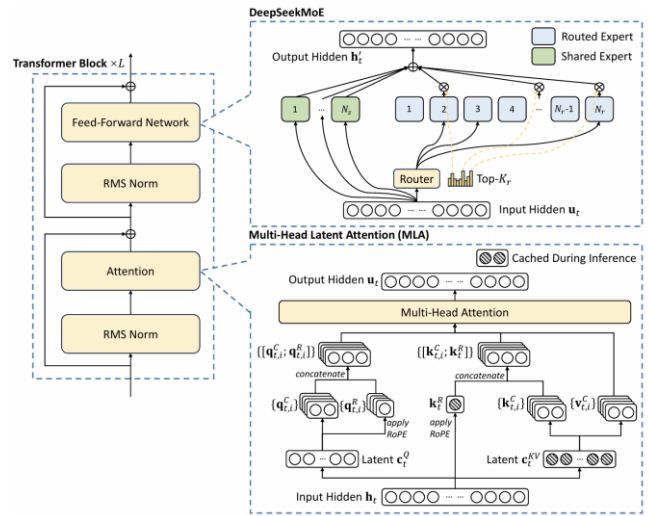


图表3: MoBA 通过路由器将查询路由至对应KV 块, 仅计算相关块的注意力得分以实现稀疏计算



来源: arXiv 官方论文《MOBA:MIXTURE OF BLOCKATTENTION FOR LONG-CONTEXT LLMs》, 国金证券研究所

图表4: MLA 通过显著减少生成过程中的KV 缓存, 实现高效推理



来源: arXiv 官方论文《DeepSeek-V2:A Strong,Economical,and Efficient Mixture-of-Experts Language Model》, 国金证券研究所

图表5: 多种并行策略可组合使用, 以高效训练参数量从数十亿到数万亿的大模型, 并横跨数千个 GPU 运行

Strategy	What it parallelizes	Best for
Data Parallelism(DP)	Batch dimension	Standard training,most common
Tensor Parallelism(TP)	Individual layers	Large layers,GPU memory constraints
Pipeline Parallelism(PP)	Model depth	Very deep models
Context Parallelism(CP)	Sequence length	Long sequences(8K+tokens)
Expert Parallelism(EP)	MoE experts	Mixture-of-Experts models

来源: NVIDIA 官方文档, 国金证券研究所

1.2 由芯片至机架架构演进, PCB 从承载平台跃升为 AI 核心互联介质

我们沿着“芯片→封装→板卡→机架”的尺度由小到大, 可以清晰地看到 PCB 在 AI 硬件中地位的演进。在芯片层面, HBM4 的引入要求中介层和封装基板支持千位级 I/O 接口, 信号完整性要求已逼近半导体封装基板标准; 在封装层面, CoWoS-L 向 CoWoP 的演进让 PCB 首次承担起类基板的功能, 层间对位精度与线宽线距向先进封装看齐; 在板卡层面, 以 GB300 为例, 服务器 PCB 层数从传统的 10 层左右跃升至 20 层以上, 部分高端型号采用 34 至 64 层超高层设计, 技术难度呈指数级攀升; 而在机架层面, Rubin Ultra NVL576 开始用一整块 78 层 M9 级正交背板取代铜缆, 承担机柜内 GPU 的全互连通信, PCB 由此从板级组件跃升为机架级核心互联介质。

机架架构的演进特别值得关注。随着单机柜内需支持多达数百颗 GPU 的全互连, 传统的可插拔铜缆和光模块在弯曲半径、连接器占位和散热风道上正面临物理极限。为了在有限空间内实现计算托盘 (Compute Tray) 与交换托盘 (Switch Tray) 的高密度部署, 业界正探索引入正交背板 (Orthogonal Backplane) 结构或共封装光学 (CPO) 技术, 试图将原本依赖线缆的高速通道固化为板级互连。这相当于把一台 AI 服务器的机架级互连, 从灵活的“线”升级为高密度集成的“板”, 标志着 PCB 开始从板级组件跃升为机架级核心互联介质。



图表6: 通过内部连接, NVIDIA 展示了一种新的中翼设计, 其共有 18 列和 4 排连接线



来源: ServeTheHome, 国金证券研究所

我们必须意识到,这不是一次普通的工程优化,而是 PCB 在 AI 产业链中价值定位的根本性跃迁。过去 PCB 仅仅是“承载芯片的基础平台”,而今天它正变成“AI 算力系统的核心互联介质”。随着高层数、高阶 HDI (高密度互连)以及 ELIC (任意层互联)等半导体级工艺的引入,PCB 在单 GPU 物料清单 (BOM) 中的占比持续提升,与封装、HBM、CoWoS 等环节并列成为 AI 算力的“核心增量”。这一定位转变的工程含义是: PCB 的设计、材料和加工工艺必须向半导体看齐,其技术门槛与客户认证周期已完全对标先进制程环节,行业属性由此从传统电子制造彻底蜕变为技术密集型的高端制造。

二、Rubin 开启硬件密度时代, 正交背板推动 PCB 半导体化价值跃迁

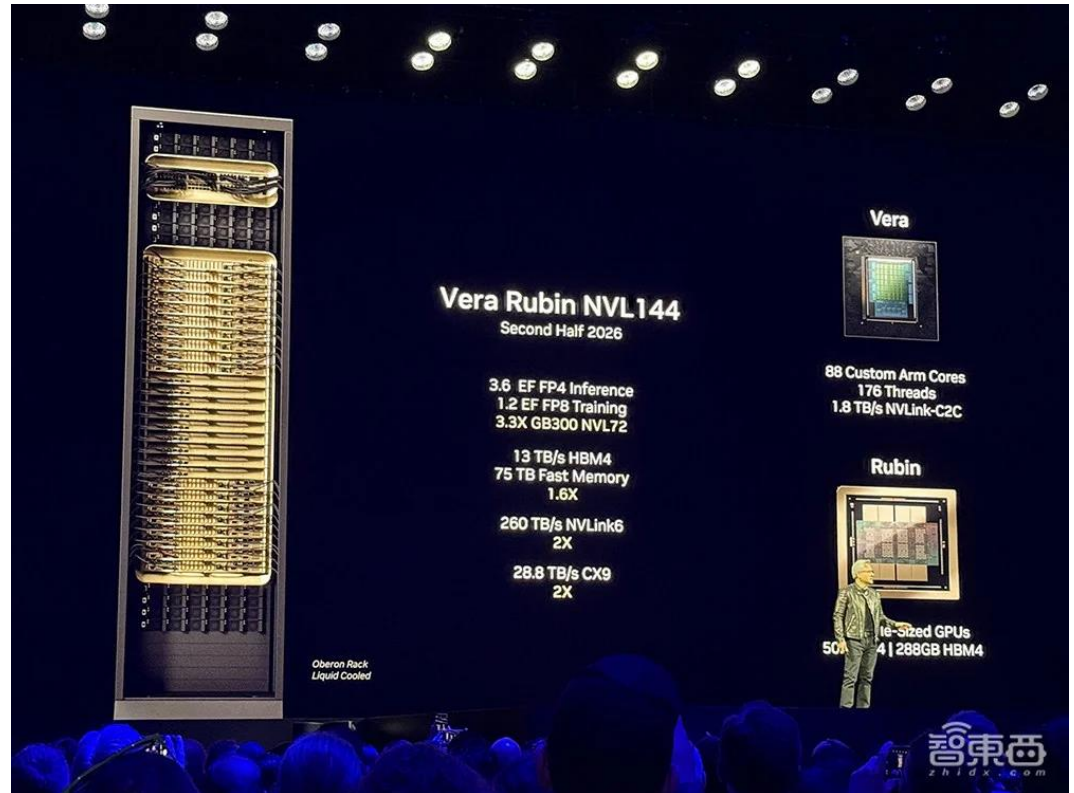
2.1 Rubin 开启 AI 硬件密度新时代, 拉动 PCB 量价齐升与高端化升级

英伟达在 GTC 2025 大会上正式公布了 Rubin 系列的产品路线图,标志着 AI 硬件进入全新密度时代。根据规划,基于 Rubin GPU (配备 HBM4 内存)与 88 核 Vera CPU 组合的 Vera Rubin NVL144 平台将于 2026 年下半年量产,其 FP4 推理算力达 3.6 EFLOPS,是 GB300 NVL72 的 3.3 倍;随后于 2027 年下半年量产的 Rubin Ultra NVL576 平台,采用全新 Kyber 机架架构,集成 576 颗 GPU 封装,其 FP4 峰值推理算力高达 15 EFLOPS,FP8 训练算力达到 5 EFLOPS,为 GB300 NVL72 的 14 倍。黄仁勋在大会上提出的新计算法则“GPU 数量将按照封装中 GPU 芯片的数量计,而非封装数量”清晰表明,Rubin 开启了一个以封装密度为核心度量单位的硬件密度时代,而 PCB 作为承载这一密度的物理基座,其技术迭代速度与价值量提升幅度均将同步加速。

从产业链视角看,Rubin 系列对 PCB 的需求拉动呈现“量价齐升”的叠加效应。量上,Rubin Ultra NVL576 机柜内集成 144 颗 GPU 封装 (576 个 GPU 计算单元),是 NVL72 的 2 倍,直接拉动 PCB 用量翻倍;价上,以 Rubin 平台为例,其为达成低损耗与低延迟,全面升级使用材料·包括 Switch Tray 采用 M8U 等级 (Low-DK2+HVLP4)和 24 层 HDI 板设计, Mid plane 与 CX9/CPX 则导入 M9 (Q-glass+HV104),层数最高达 104 层。这让单台服务器的 PCB 价值比上一代提升超过两倍。

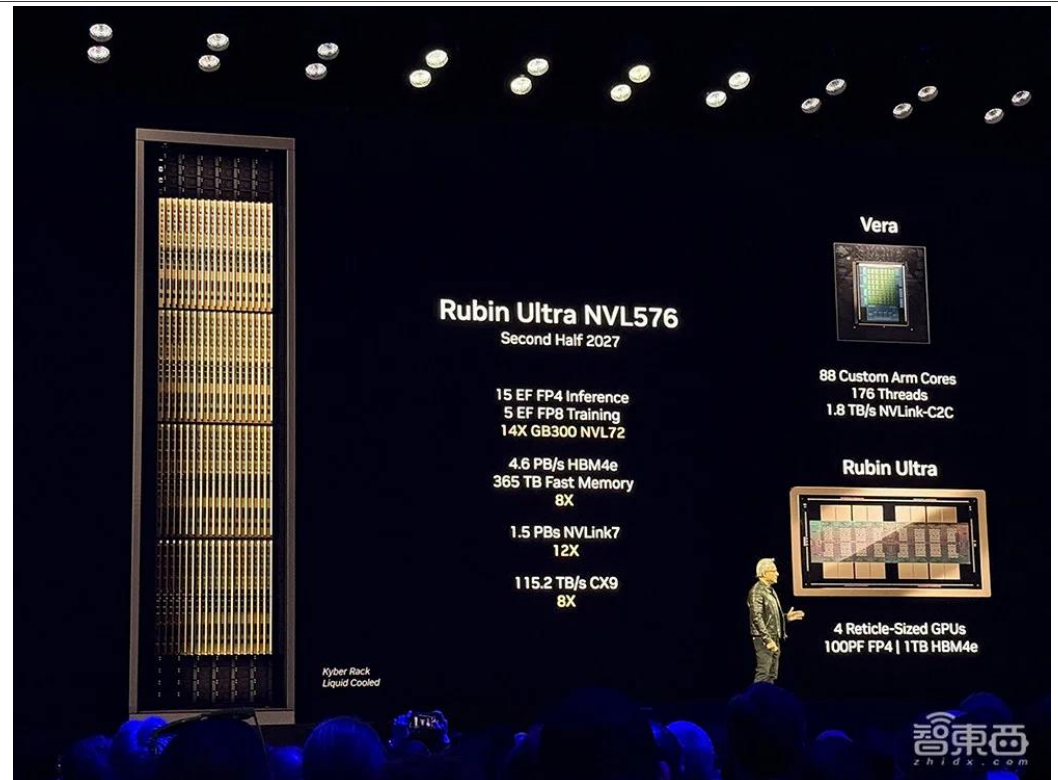


图表7: Vera Rubin NVL144 平台将于 2026 年下半年量产,其 FP4 推理算力达 3.6 EFLOPS,是 GB300 NVL72 的 3.3 倍



来源: 凤凰网, 国金证券研究所

图表8: Rubin Ultra NVL576 平台将于 2027 年下半年量产,其 FP4 峰值推理算力高达 15 EFLOPS, FP8 训练算力达到 5 EFLOPS



来源: 凤凰网, 国金证券研究所



2.2 正交背板推动 PCB “半导体化”，工艺升级驱动 PCB 价值量跃迁

正交背板（Orthogonal Backplane）是 Rubin Ultra 最具产业意义的工程创新之一，也是 PCB “半导体化”的标志性事件。据台积电披露，Rubin Ultra 在 Kyber 架构中引入正交背板，通过 78 层 PCB 实现 GPU 与 NV Switch 的互连，替代数万根铜缆，支撑更高密度的单机柜算力集成。从加工端看，为支撑前所未有的集成密度，M9 级高端 PCB 材料（如 Q 玻璃）、100 微米微通道冷板以及金镀层防腐工艺成为标配。AI 服务器已成为集芯片、光学、材料、热力学于一体的复杂系统工程。

图表9: NVIDIA Rubin NVL576 机架取消了连接 NV Link 交换机和计算刀片的线缆卡带



来源：Serve The Home，国金证券研究所

正交背板的技术门槛直接推升了 PCB 在 AI 系统中的价值占比。Rubin Ultra 的正交背板预计采用 70 层以上超高多层设计，使用 M9 级覆铜板，在层间对位精度、阻抗一致性、散热设计等方面远超常规产品，将带动单板价值量大幅提升。从需求端看，高盛预测，2025 至 2030 年 AI 服务器需求将增长约 4.3 倍，PCB/CCL 等关键材料的供需失衡将延续至 2027 年甚至更久，支撑高端 PCB 价值量持续上行。

上述“价量齐升+工艺升级”的叠加，标志着 PCB 在 AI 产业链中价值定位的根本性跃迁。过去 PCB 是“承载芯片的基础平台”，今天已演变为“AI 算力系统的核心互联介质”——其在系统



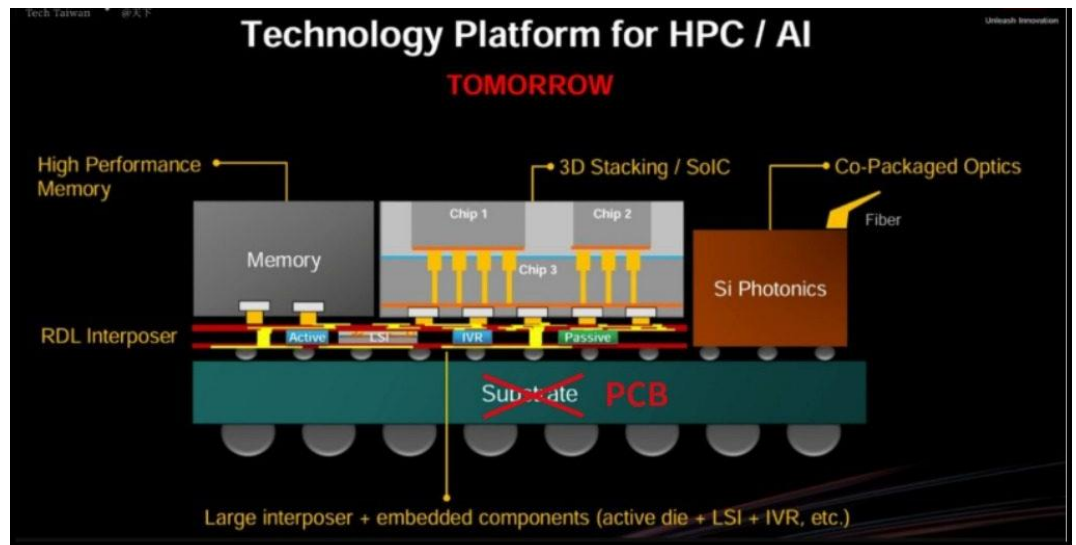
BOM 中的占比从传统服务器的个位数水平向半导体级组件靠拢，与封装、HBM、CoWoS 等环节并列成为 AI 算力的核心增量之一。

三、CoWoP 与 M9 体系叠加赋能，推动 AIPC 工艺向半导体级突破

3.1 CoWoP 打破 PCB 与封装基板边界，PCB 从连接件跃升为芯片最后一层封装载体

CoWoP (Chip-on-Wafer-on-PCB) 是 2025 年下半年开始引发业内剧烈讨论的新一代先进封装方案，其核心思路简洁却具革命性：在传统 CoWoS (Chip-on-Wafer-on-Substrate) 方案中去掉 ABF 封装基板与 BGA 焊球，将硅中介层 (Si Interposer) 与 GPU/HBM 组合直接安装在强化型基板级 PCB (Platform PCB) 上。换言之，强化 PCB 承担了原本封装基板的全部功能——这是 PCB 与封装基板边界消失的标志性事件，标志着 PCB 从被动连接件向主动封装载体的根本性跃迁。

图表 10: CoWoP 方案中，PCB 承担了原本封装基板的全部功能

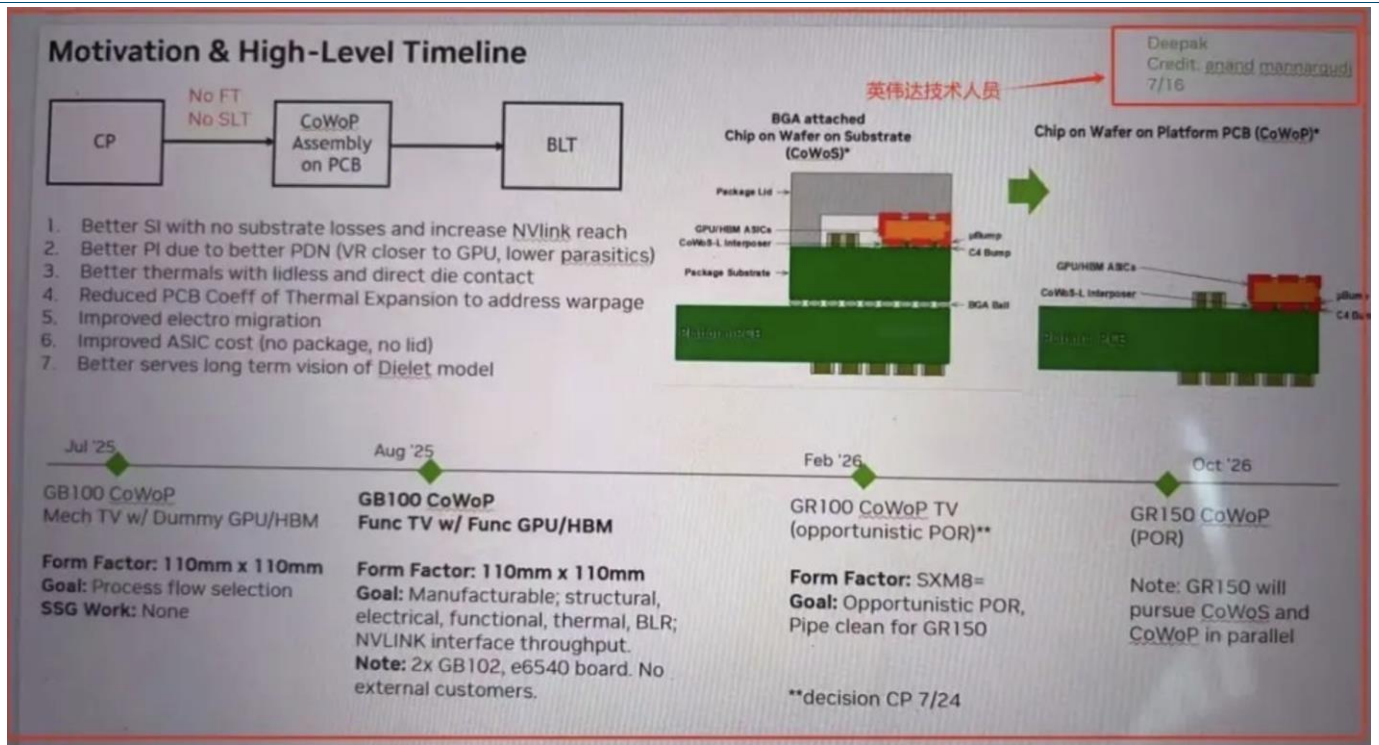


来源: global smt, 国金证券研究所

从优势看，CoWoP 相对 CoWoS 具有多重潜在收益：改进信号完整性（移除基板缩短信号路径，减少 NVLink 和 HBM 存储器的传输损耗，实现更远的通信距离）、增强电源完整性（电压调节器可以放置在更靠近 GPU 芯片的位置，从而最大限度地减少寄生电阻并提升功耗效率）、卓越的热管理（去除芯片盖可以直接从芯片散热，显著提升冷却性能）、减轻 PCB 变形（较低的热膨胀系数有助于减少高温操作下的板材弯曲和应力）、降低电迁移风险（更好的电流分布带来了更好的长期可靠性）以及更低的 ASIC 成本（拆除盖子和包装基材可以降低零件和组装成本。Digitimes 的一份报道称，NVIDIA 正在研究下一代 AI 显卡采用 CoWoP 的 PCB 封装，采用 CoWoP (芯片晶圆平台) PCB 去除封装基板，直接将中介器连接到主板上。



图表11: NVIDIA 正在研究下一代 AI 显卡采用 CoWoP 的 PCB 封装



来源: Tweak town, 国金证券研究所

CoWoP (Chip-on-Wafer-on-PCB) 带来的价值量跃升是结构性的——为 CoWoP 方案配套的 PCB 单颗 GPU 价值量高达 600 美元, 是当前 GB200 平台 PCB 方案(约 200 美元)的三倍; 胜宏科技 2026 年 5 月官方调研纪要亦明确, CoWoP 技术需同时具备高阶 HDI 和 mSAP 工艺能力, 预计相关产品价值量将有较大幅度提升, 未来高端 PCB 产品的 ASP 将发生成倍甚至呈指数级别的增长。从市场规模看, 预计 2027 年将形成超过 6 亿美元的 CoWoP 市场空间, 2028 年更将飙升至 20 亿美元以上。PCB 在 AI 产业链中的定位正从“承载芯片的基础平台”向“芯片最后一层封装”跃迁, 行业属性由此从传统电子制造向技术密集型高端制造跃迁。

3.2 M9 材料体系实现代际升级, 工艺壁垒与供给瓶颈推升 PCB 价值中枢

随着英伟达 Vera Rubin 平台向机柜级、托盘级系统协同演进, PCB 中板、无缆化互联及高速低损耗材料的重要性同步提升。英伟达官方披露, Vera Rubin NVL72 采用 PCB midplane 支持 cable-free 模块化托盘设计, 并通过 NVLink 6 实现更高的机柜内互联带宽。在 224Gbps 单通道速率成为下一代数据中心互联的重要方向后, 以松下 MEGTRON9 为代表的超低损耗高频高速覆铜板材料成为产业关注重点。为降低高速信号传输损耗, 材料体系需进行升级, 典型方向包括低极性/超低介电树脂体系、石英布等低损耗增强材料、低轮廓铜箔, 以及硅基功能填料等。其中, 石英布相较传统玻纤布具备更低介电损耗和更低热膨胀特性; 低粗糙度铜箔有助于降低高频传输损耗; 球形硅微粉等填料可用于 Low Dk 覆铜板及 IC 载板, 以改善材料的 CTE、耐热性、可靠性和加工适配性。

材料升级也会传导至 PCB 加工环节。M9 类高刚性、高硬度 PCB 基材会显著缩短 PCB 钻针使用寿命, 钻针在加工过程中承受更高切削阻力和冲击载荷, 易加速刃口磨损、崩刃及柄部疲劳损耗, 并导致单支钻针可加工孔数下降。同时, 高硬度材料还会增加孔位精度、孔径一致性和热变形控制难度, 对钻针同心度、刚性、基体材料、刃口结构和涂层性能提出更高要求。因此, 在高多层、高速 PCB 向超低损耗材料体系升级的过程中, 钻孔工序的工艺难度、刀具消耗和耗材成本均存在上行压力。

上游关键材料的供给瓶颈进一步加剧了成本上行压力。据权威产业媒体披露, 受限于复杂的工艺壁垒, 核心供应商日本日东纺 (Nittobo) 的产能已逼近极限, 其新增产能最早要到 2027 年下半年才能投放市场, 供需硬缺口显著。同步陷入紧缺的还有 HVLP 系列高端铜箔, 据 QYResearch 市场报告, 三井金属等头部供应商 2025 年起已因 AI 加速器需求激增而启动产能调配与价格调整。材料升级、工艺难度陡增与上游供给紧张三重因素叠加, 正系统性推升 PCB 在 AI 硬件中的价值中枢, 标志着 PCB 从传统连接件向半导体级核心组件的根本性跃迁。

3.3 CoWoP 与 M9 双重叠加, AIPCB 工艺精度全面逼近半导体级

CoWoP 与 M9 材料体系的双重叠加, 正推动 AIPCB 的工艺指标全面逼近半导体级别。在布



线精度层面，采用 mSAP（改良型半加成法）工艺的 AI 服务器 PCB 已将最小线宽/线距压缩至 10 μm/10 μm 级别，这一精度已触及传统减成法无法实现的 IC 载板区间；在材料性能层面，英伟达 Rubin 系列采用的 M9 级覆铜板将介电损耗（Df）压低至 0.0015 以下，以支撑 224Gbps 超高速信号传输的严苛要求；在层间结构层面，头部厂商已具备 78 层超高多层板的量产能力，并可将层间对位精度控制在 ±20 μm 以内。

从产业分类视角观察，AI PCB 正在打开一个全新的工艺品类。传统 PCB 的标准线宽通常在 50 μm 以上，而 IC 载板则要求 15 μm 乃至 10 μm 以下的精细线路；AI PCB 通过 mSAP 与 M9 材料的导入，恰好填补了这两者之间的技术空白。更为关键的是，AI PCB 在钻孔环节面临的高深径比挑战已超越常规范畴——当板厚显著增加而孔径持续缩小时，高长径比将直接导致孔壁镀铜不均与可靠性下降，这要求制造商必须具备接近半导体级别的过程控制能力。AI PCB 既保留了 PCB 大尺寸量产与多层压合的工艺基础，又在精度、材料与信号完整性层面实现了向半导体级别的跃迁。

图表12: AI PCB 既保留了 PCB 大尺寸量产与多层压合的工艺基础，又在精度与材料等层面实现了向半导体级别的跃迁

比较维度	集成电路封装基板	传统印刷电路板
核心材料	BT 树脂、ABF 薄膜、陶瓷、PI 柔性基底等	主要使用 FR-4 玻璃纤维基底
行宽/行间距精度	15 微米/15 微米量产，定制设计可实现低于 10 微米	50 μm 以上标准，精度模型最低 30 μm。
制造工艺	MSAP 改进的半增材工艺，LDI 激光直接成像曝光	传统的减法/加法工艺，抽样检查
引脚负载能力	数千个引脚（适合 BGA/CSP 封装），最多可达 60,000 个引脚	数百到数千个引脚（适合 QFP 封装），最多可达 5,000 个引脚
核心功能	芯片级互连，支持多层垂直互连（适用于芯片组）	组件到主板的基本连接
典型应用场景	CPU/GPU, 汽车级硅晶体模块, MEMS 传感器, 高端存储	计算机主板、手机主板、家用电器控制板

来源：pcb master，国金证券研究所

四、多重壁垒构筑行业护城河，资金技术环保认证推动行业向头部集中

PCB 行业是典型的政策强监管、资金密集与技术密集型产业，潜在进入者面临极高的准入门槛。根据工信部发布的《印制电路板行业规范条件》，新建及改扩建多层板项目的投资规模不得低于 1.2 亿元，HDI 项目不得低于 7 亿元。同时，规范条件要求多层板与 HDI 板的年人均产值须不低于 50 万元，直接抬高了行业的资金与规模门槛。在设备投入层面，PCB 生产核心工序的单台设备需数百万甚至上千万元，新建自动化生产线前期投入动辄上亿元。此外，进入工信部公告名单的企业需满足研发经费不低于当年主营业务收入的 3%，进一步考验企业的持续资金实力。技术层面，PCB 制造涵盖开料、钻孔、沉铜、电镀、蚀刻、阻焊等数十道复杂工序，涉及电子、机械、化工、材料等多学科交叉，要求企业具备深厚的工艺积累与定制化生产能力，形成了显著的技术壁垒。

除前期重资产投入与技术积累外，环保合规与客户认证构成了持续运营的刚性壁垒。生态环境部发布的《清洁生产标准印制电路板制造业》将企业清洁生产水平划分为三级，对废水产生量、化学需氧量产生量及工业用水重复利用率等均设定了明确限值，且标准适用于环境影响评价和排污许可证等环境管理制度。同时，商务部发布的欧盟 WEEE 指令出口商品技术指南明确将印刷电路板列为必须选择性处理的组件，进一步抬升了出口企业的环保合规成本。在客户端，PCB 作为电子产品的核心元器件，其品质直接影响下游产品性能，头部客户普遍执行严格的合格供应商认证制度：下游客户通常会对 PCB 制造企业进行 1-2 年的严格审核，涵盖技术审查、现场检验及多轮产品测试。此外，下游客户倾向与通过认证的长期供货商合作，此模式能提供稳定的订单流与深厚的信任关系。因此新进入者不仅需投入大量时间与资源通过认证，还必须持续证明可靠性并建立合作关系，使其难以快速赢得大量订单或建立品牌知名度。



图表13: AI PCB 行业面临政策及资金、技术、环保、客户等壁垒



来源: 科翔股份招股书、红板科技问询函回复等, 国金证券研究所

五、相关标的

海外算力: 胜宏科技、鹏鼎控股、沪电股份、广合科技、生益科技、景旺电子、东山精密、世运电路

其他海外算力: 东山精密、工业富联、中际旭创、天孚通信、中钨高新、天岳先进、新易盛、兆易创新、沪电股份、大普微、源杰科技、欧科亿、英维克、唯科科技、领益智造等; Intel、SK 海力士、Lumentum、闪迪、高通、博通、marvell、铠侠、美光、中微公司、北方华创、拓荆科技、长川科技。

六、风险提示

■ AI 服务器出货及 PCB 升级不及预期的风险

目前产业核心驱动力来自英伟达 Rubin/Rubin Ultra 及谷歌、AMD、Meta 等 ASIC 芯片对高阶 AIPCB 的需求。若 AI 服务器量产节奏放缓、算力资本开支削减, 或 PCB 层数/孔径升级速度不及预期, 将直接影响 AIPCB 行业的"量价齐升"逻辑。

■ CoWoP、正交背板等新工艺商业化进度不及预期的风险

CoWoP 作为 PCB 与封装基板边界消失的标志性事件, 其量产时间表存在不确定性; 正交背板的 78 层超高多层加工良率仍处于爬坡阶段。若关键技术节点(如 CoWoP 2027 年 3 月爬坡)推迟, 将影响相关厂商的业绩节奏。

■ 原材料供应紧张及价格波动的风险

HVLP4 铜箔、M9 树脂、Q 布、瑞士罗曼蒂克开槽机等关键原材料和设备仍处于紧缺状态。若上游紧缺幅度超预期或价格大幅上涨, 将挤压 PCB 厂商毛利率; 反之若供需缓和过快, 则可能引发价格回调。

■ 行业扩产节奏过快导致竞争加剧与价格战的风险

若下游 AI 服务器 PCB 需求增速不及产能释放节奏, 中低端 PCB 市场可能出现价格战, 行业整体毛利率承压。当前各家厂商资本开支总规模超过 400 亿元, 扩产兑现期需密切跟踪。



■ 大客户订单波动及客户集中度过高的风险

头部 AIPCB 厂商对英伟达等少数核心客户依赖度较高，若大客户技术路线变更、订单转移或自身产能调整，将直接影响相关厂商订单兑现节奏。



行业投资评级的说明:

- 买入: 预期未来 3—6 个月内该行业上涨幅度超过大盘在 15%以上;
- 增持: 预期未来 3—6 个月内该行业上涨幅度超过大盘在 5%—15%;
- 中性: 预期未来 3—6 个月内该行业变动幅度相对大盘在 -5%—5%;
- 减持: 预期未来 3—6 个月内该行业下跌幅度超过大盘在 5%以上。



特别声明:

国金证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本报告版权归“国金证券股份有限公司”（以下简称“国金证券”）所有，未经事先书面授权，任何机构和个人均不得以任何方式对本报告的任何部分制作任何形式的复制、转发、转载、引用、修改、仿制、刊发，或以任何侵犯本公司版权的其他方式使用。经过书面授权的引用、刊发，需注明出处为“国金证券股份有限公司”，且不得对本报告进行任何有悖原意的删节和修改。

本报告的产生基于国金证券及其研究人员认为可信的公开资料或实地调研资料，但国金证券及其研究人员对这些信息的准确性和完整性不作任何保证。本报告反映撰写研究人员的不同设想、见解及分析方法，故本报告所载观点可能与其他类似研究报告的观点及市场实际情况不一致，国金证券不对使用本报告所包含的材料产生的任何直接或间接损失或与此有关的其他任何损失承担任何责任。且本报告中的资料、意见、预测均反映报告初次公开发布时的判断，在不作事先通知的情况下，可能会随时调整，亦可因使用不同假设和标准、采用不同观点和分析方法而与国金证券其它业务部门、单位或附属机构在制作类似的其他材料时所给出的意见不同或者相反。

本报告仅为参考之用，在任何地区均不应被视为买卖任何证券、金融工具的要约或要约邀请。本报告提及的任何证券或金融工具均可能含有重大的风险，可能不易变卖以及不适合所有投资者。本报告所提及的证券或金融工具的价格、价值及收益可能会受汇率影响而波动。过往的业绩并不能代表未来的表现。

客户应当考虑到国金证券存在可能影响本报告客观性的利益冲突，而不应视本报告为作出投资决策的唯一因素。证券研究报告是用于服务具备专业知识的投资者和投资顾问的专业产品，使用时必须经专业人士进行解读。国金证券建议获取报告人员应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。报告本身、报告中的信息或所表达意见也不构成投资、法律、会计或税务的最终操作建议，国金证券不就报告中的内容对最终操作建议做出任何担保，在任何时候均不构成对任何人的个人推荐。

在法律允许的情况下，国金证券的关联机构可能会持有报告中涉及的公司所发行的证券并进行交易，并可能为这些公司正在提供或争取提供多种金融服务。

本报告并非意图发送、发布给在当地法律或监管规则下不允许向其发送、发布该研究报告的人员。国金证券并不因收件人收到本报告而视其为国金证券的客户。本报告对于收件人而言属高度机密，只有符合条件的收件人才能使用。根据《证券期货投资者适当性管理办法》，本报告仅供国金证券股份有限公司客户中风险评级高于C3级（含C3级）的投资者使用；本报告所包含的观点及建议并未考虑个别客户的特殊状况、目标或需要，不应被视为对特定客户关于特定证券或金融工具的建议或策略。对于本报告中提及的任何证券或金融工具，本报告的收件人须保持自身的独立判断。使用国金证券研究报告进行投资，遭受任何损失，国金证券不承担相关法律责任。

若国金证券以外的任何机构或个人发送本报告，则由该机构或个人为此发送行为承担全部责任。本报告不构成国金证券向发送本报告机构或个人的收件人提供投资建议，国金证券不为此承担任何责任。

此报告仅限于中国境内使用。国金证券版权所有，保留一切权利。

上海	北京	深圳
电话: 021-80234211	电话: 010-85950438	电话: 0755-86695353
邮箱: researchsh@gjzq.com.cn	邮箱: researchbj@gjzq.com.cn	邮箱: researchsz@gjzq.com.cn
邮编: 201204	邮编: 100005	邮编: 518000
地址: 上海浦东新区芳甸路 1088 号 紫竹国际大厦 5 楼	地址: 北京市东城区建国内大街 26 号 新闻大厦 8 层南侧	地址: 深圳市福田区金田路 2028 号皇岗商务中心 18 楼 1806



【小程序】
国金证券研究服务



【公众号】
国金证券研究