



Research and
Development Center

国产 EDA 披荆斩棘，乘风崛起

——工业互联网掘金系列（二）

蒋颖

通信行业首席分析师

S1500521010002

15510689144

jiangying@cindasc.com

证券研究报告

行业研究

行业深度研究

通信

投资评级 看好

上次评级 看好

蒋颖 通信行业首席分析师
执业编号: S1500521010002
联系电话: +86 15510689144
邮箱: jiangying@cindasc.com

信达证券股份有限公司
CINDA SECURITIES CO., LTD
北京市西城区闹市口大街9号院1号楼
邮编: 100031

国产 EDA 披荆斩棘，乘风崛起

2021 年 09 月 05 日

- **EDA 行业是典型的技术密集型高精尖产业，是集成电路产业中不可或缺的核心环节，有很高进入门槛。**EDA 是一种应用于电子设计领域的具备设计/测试等核心功能的专业软件，是集成电路产业链中不可替代的第一环，能以百倍于自身的价值量撬动集成电路产业。EDA 行业是技术密集型轻资本行业，具备强劲的议价能力与抗风险能力，高素质人才与持续性研发投入是建立 EDA 企业护城河的重要因素，同时良好的集成电路生态也有助于推动 EDA 企业发展。
- **全球 EDA 行业格局出现松动迹象，工艺迭代速度放缓、科技进步等因素缩短了 EDA 第一梯队企业与二三梯队企业间的差距，为非头部 EDA 企业的崛起带来机遇。**过去全球 EDA 行业竞争格局比较固化，Synopsys/Cadence/SiemensEDA 三巨头垄断了近八成市场份额。但是伴随着后摩尔时代的到来，工艺迭代速度逐步放缓，未来 EDA 巨头很难像以往一样享受工艺快速迭代所带来的巨大红利，另一方面，传统 EDA 架构难以适应新的应用场景，EDA 需要向云化平台、异构/敏捷化设计、智能化等多个新方向发展。传统 EDA 市场格局在多因素下或将松动，为非头部 EDA 企业的迅速赶超提供良机。
- **EDA 行业议价能力强，未来的价值量将会进一步提升，市场可扩展空间大。**EDA 行业作为不可替代的高科技行业，能够显著地为下游企业节省可观的成本，拥有强议价能力与强抗风险能力。在后摩尔定律时代，集成电路的发展将会更依赖于设计与测试，EDA 工具的可靠性、技术难度与准入门槛将会进一步提高，EDA 工具的价值量也势必随之显著增厚，受益于自身价值量增厚与集成电路产业发展，EDA 行业或将迎来“戴维斯双击”。
- **国产 EDA 的发展具有必要性和迫切性，多因素共推行业发展，国产 EDA 产业爆发在即。**EDA 是当前制约我国集成电路行业发展的短板，在国际形势动荡的大背景下，我国想要发展高端制造业与数字经济产业，就必须发展自主可控的 EDA 工具。目前，国家政策加大了对 EDA 行业的扶持力度，国内集成电路生态日益完善，EDA 人才培养模式逐步健全，国内领先的人工智能与云计算领域为未来 EDA 的发展打下良好基础。在多利好因素的共同推动之下，国内集成电路产业已经形成良性循环，国内 EDA 有望迎来爆发式增长。
- **建议关注 EDA 拟上市公司：华大九天（深耕 EDA 行业多年，模拟 EDA 设计国内龙头企业）、概伦电子（存储芯片 EDA 设计龙头企业，拥有多款核心的模拟 EDA 点工具）、广立微（拥有领先的集成电路 EDA 软件与晶圆级电性测试设备）、思尔芯（聚焦数字芯片前端验证环节）等。**
- **风险因素：技术创新不及预期；核心人才流失；中美贸易摩擦加剧；产业政策变化。**

目 录

一、EDA：集成电路专用设计软件，为不可或缺核心环节	6
1、EDA 的重要性：集成电路产业中不可替代首环	6
2、EDA 发展历程：由通用型设计软件向专业性设计软件演变	8
3、EDA 设计流程：从描述层级理解 EDA 软件	9
二、多因素重塑 EDA 行业底层逻辑，传统 EDA 行业格局或将生变	13
1、传统 EDA 行业呈寡头垄断格局，行业壁垒高筑	13
2、EDA 的行业新动向或将打破原来巨头垄断的固有格局	16
3、后摩尔时代将重塑 EDA 价值量	19
三、多重利好助推行业崛起，国产化 EDA 爆发正当时	22
1、国产替代需求：我国迫切需要发展国产 EDA 工具	22
2、政策端支持：国家政策大力支持，本土 EDA 迎发展黄金期	23
3、国内 EDA 企业迅速追赶，核心技术持续突破	24
四、国内 EDA 企业：加速追赶，初具核心竞争力	27
1、华大九天：具备模拟电路设计全流程 EDA 工具	27
2、概伦电子：存储芯片 EDA 设计方面优势显著	31
3、广立微：拥有领先的集成电路 EDA 软件与晶圆级电性测试设备	34
4、思尔芯：聚焦数字芯片前端验证环节	37
5、芯华章：积极突破数字电路设计 EDA 工具	40
投资建议	43
风险因素	44

表 目 录

表 1：集成电路设计抽象描述	11
表 2：集成电路设计流程	12
表 3：EDA 行业发展机遇	16
表 4：谷歌强化学习模型进行芯片的 floorplan 训练结果	18
表 5：国内 EDA 公司与世界巨头的差距	23
表 6：EDA 行业引导政策	23
表 7：国家使用经济手段推动 EDA 行业发展	24
表 8：部分本土 EDA 公司与高校协同培养人才的例子	25
表 9：部分国内 EDA 公司技术	26
表 10：概伦电子管理层专业素质过硬	33
表 11：Smtcell 主要特点和优点	35
表 12：国微思尔芯发展历程	37
表 13：国微思尔芯逻辑模块、逻辑系统与逻辑矩阵产品线	39
表 14：芯华章产品与解决方案	41
表 15：传统仿真技术和芯华章全新仿真技术对比	42
表 16：芯华章验证策略内容	42
表 17：芯华章基于云平台的 EDA2.0 设计	42

图 目 录

图 1：集成电路行业产业链	6
图 2：全球集成电路市场规模（亿美元）	7
图 3：全球 EDA 市场规模（亿美元）	7
图 4：国内集成电路市场规模（亿元）	7
图 5：国内 EDA 市场规模（亿元）	7
图 6：电路设计工具发展历程	8
图 7：芯片描述抽象层级的提升	9
图 8：数字集成电路设计架构	10
图 9：数字集成电路设计描述层级	11

图 10: 2018-2020 年全球 EDA 工具市场竞争格局	13
图 11: 2018-2020 年国内 EDA 工具市场竞争格局	13
图 12: 全球 EDA 巨头竞争格局	14
图 13: Synopsys 研发费用及研发费用率	15
图 14: Cadence 研发费用及研发费用率	15
图 15: Synopsys 的营收增速与人才相关	15
图 16: Cadence 的营收增速与人才相关	15
图 17: 目前 EDA 行业面临的挑战	16
图 18: EDA 前端的变化方向	17
图 19: EDA 的自动化与智能化趋势	18
图 20: EDA 的云化趋势	19
图 21: 集成电路设计在后摩尔时代的价值量进一步增厚	20
图 22: 芯片设计规模与设计成本的快速上升	20
图 23: 设计方法学创新辅助平抑芯片设计成本	21
图 24: EDA 的云化趋势	22
图 25: 本土 EDA 企业人才数量快速增长	26
图 26: 部分本土 EDA 员工人数与人均创收	26
图 27: 国产 EDA 在设计流程上的分布	27
图 28: 华大九天发展历程	28
图 29: 华大九天营收及增速	28
图 30: 华大九天归母净利润及增速	28
图 31: 华大九天毛利率	29
图 32: 华大九天费用率	29
图 33: 模拟电路设计全流程 EDA 工具系统	29
图 34: 华大九天数字 EDA 工具	30
图 35: 华大九天平板显示电力设计全流程 EDA 工具	30
图 36: 华大九天晶圆制造 EDA 工具	30
图 37: 概伦电子发展历程	31
图 38: 概伦电子营收及归母净利润	31
图 39: 概伦电子毛利率	31
图 40: 概伦电子制造类 EDA 主要产品及服务	32
图 41: 概伦电子设计类 EDA 主要产品及服务	33
图 42: 广立微公司发展历程	34
图 43: 广立微营收及增速	34
图 44: 广立微归母净利润及增速	34
图 45: 广立微毛利率	35
图 46: 广立微费用率	35
图 47: WAT Tester 用途展示	36
图 48: ATComplier 的 GUI	36
图 49: 2018-2020 年公司分产品毛利率	37
图 50: 思尔芯营收及增速	38
图 51: 思尔芯归母净利润及增速	38
图 52: 思尔芯毛利率	38
图 53: 思尔芯费用率	38
图 54: 国微思尔芯原型验证产品矩阵	38
图 55: 国微思尔芯原型验证产品矩阵	39

图 56: 国微思尔芯验证云服务模式.....	40
图 57: 芯华章发展历程.....	41

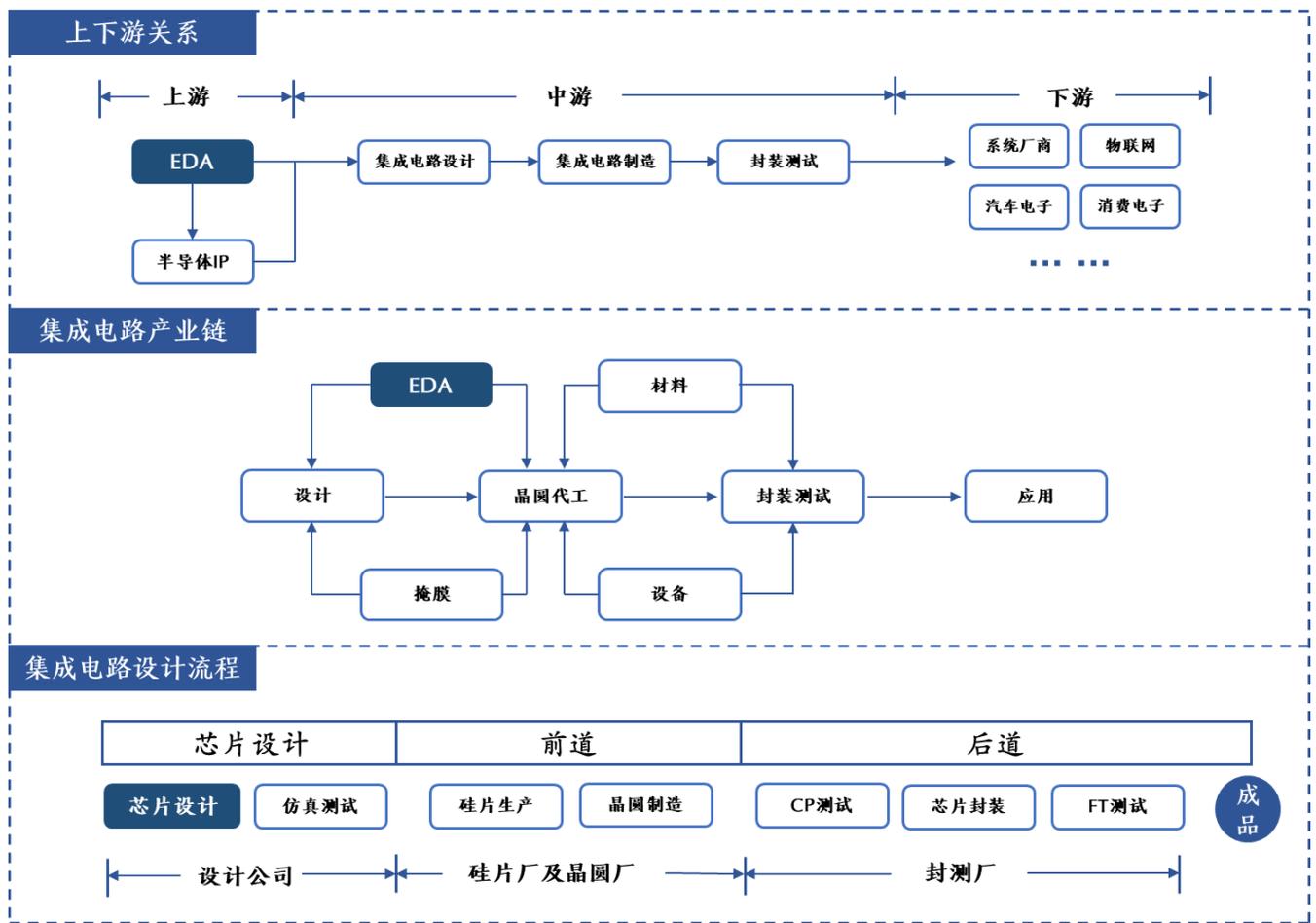
一、EDA：集成电路专用设计软件，为不可或缺核心环节

1、EDA 的重要性：集成电路产业中不可替代首环

EDA 是一种设计软件，主要应用于电子设计领域，具备设计、布线、仿真和验证等功能。简单地理解，EDA（Electronic Design Automation）就是专门用来设计芯片的软件，又因为芯片在实际生产环节的试错成本过高，所以要求 EDA 也具备强悍、专业的仿真和验证能力，从而提高芯片流片甚至生产环节的成功率。EDA 广泛应用于芯片的设计、制造、封测、封装等多个环节，承担着电路设计、电路验证和性能分析等多项芯片开发过程中的核心工作；同时，EDA 软件的功能复杂程度，也决定了 EDA 是一种综合了多学科知识的高精尖软件，需要融合图形学、计算数学、微电子学，拓扑逻辑学、材料学及人工智能等多领域技术，具备很高的进入壁垒。

设计是芯片产业的第一环，缺少 EDA 就难以进行芯片的设计、研发和生产。从集成电路产业链上来看，EDA 属于集成电路产业链上游：芯片设计厂商需要向上游采购 EDA 软件产品，用于芯片的设计和仿真/测试环节，而部门芯片制造厂商和封测厂商也有采购 EDA 软件的需求，主要用于相应部分的测试和仿真。从芯片生产环节上来看，EDA 是芯片生产的第一环：在芯片实际生产过程中，首先需要通过 EDA 软件做芯片设计和仿真测试，之后才能进行流片和投产，EDA 软件是芯片产业中不可以跳过的第一环，只有当 EDA 完成芯片设计和仿真测试之后，后续环节才能依次开展。从技术难度上来看，EDA 的门槛高、难度大，不存在替代品：现代化芯片产业是纳米量级的设计和制造，早已不能由几个世纪之前手绘的方式来完成芯片设计，而 CAD/CAE 等通用性的设计软件也不能满足芯片产业的专业性要求，缺少了 EDA 软件的话整个芯片产业都将难以为继。EDA 在芯片产业中位置举足轻重，没有 EDA 就没有现代芯片产业可言，与此同时，一款优秀的 EDA 软件能在大幅提升芯片研发效率的同时降低芯片制造和封测成本，能够显著推动芯片行业的发展。

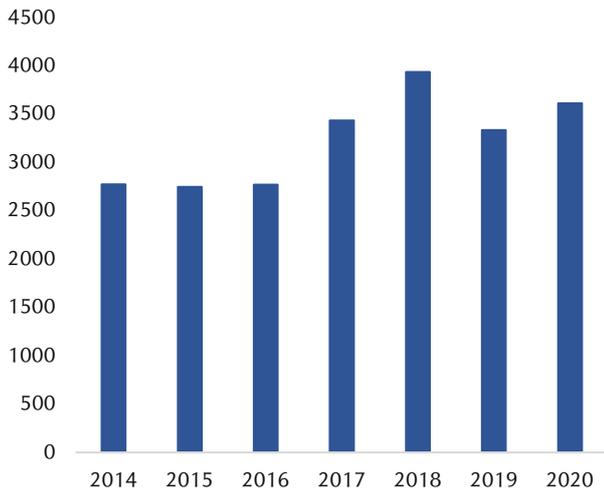
图 1：集成电路行业产业链



资料来源：华大九天，概伦电子，信达证券研发中心整理

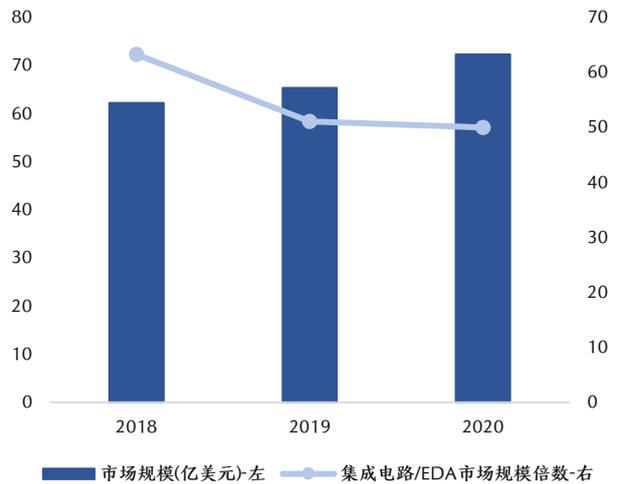
EDA 作为集成电路领域的上游基础工具，贯穿于集成电路设计、制造、封测等环节，是集成电路产业的战略基础支柱之一，全球 EDA 市场规模超 70 亿美元，撬动规模超 3600 亿的集成电路市场，产生的间接效益巨大。全球 EDA 市场规模稳步增长，据赛迪智库数据，2018-2020 年全球 EDA 市场规模由 62.2 亿美元增长至 72.3 亿美元，年复合增长率达到 7.81%。EDA 作为集成电路产业的第一环，所产生的间接效益远超现有的自身市场规模，从市场规模数据来看，EDA 产业能撬动 60-70 倍的集成电路行业产值，支撑了超 3600 亿美元的集成电路市场，并间接支撑了数十万亿的数字经济。EDA 处于自身产业中倒金字塔尖的位置，EDA 出现问题将会引起巨大的间接经济损失。

图 2: 全球集成电路市场规模 (亿美元)



资料来源: WSTS, 华大九天招股书, 信达证券研发中心

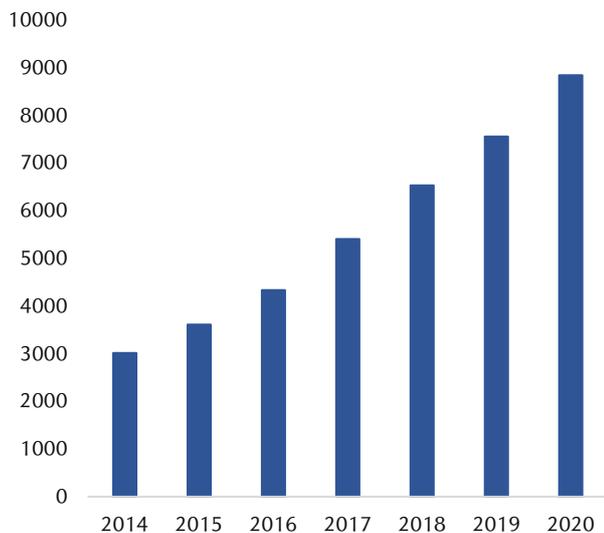
图 3: 全球 EDA 市场规模 (亿美元)



资料来源: 赛迪智库, 华大九天招股书, 信达证券研发中心

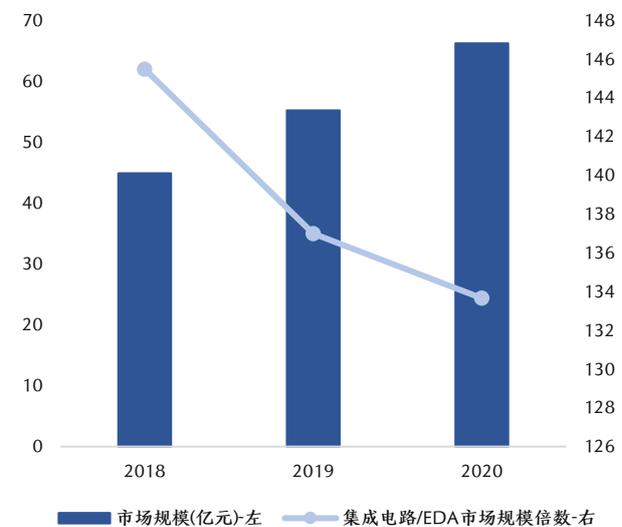
我国 EDA 市场发展速度远超全球水平，所起到对杠杆效应更大，未来国内 EDA 产业有望加速发展。2018-2020 年，国内 EDA 行业年均增速达 21.42%，远超全球 EDA 行业平均增速；另一方面，国内 EDA 行业相较于集成电路市场规模所产生的杠杆效应达到 130-150 倍，也远超全球 60-70 倍杠杆效应的平均水平。在国内 EDA 行业高速增长和高杠杆效应的“双高”背后，反映出 EDA 依旧是国内集成电路行业的短板，大力发展 EDA 行业、追赶世界平均水准是国内集成电路行业健康发展的必经之路；同时，我们也认为受益于发展 EDA 行业的必要性和紧迫性，未来 EDA 行业将维持高景气度，发展势头不减。

图 4: 国内集成电路市场规模 (亿元)



资料来源: 中国半导体行业协会, 信达证券研发中心

图 5: 国内 EDA 市场规模 (亿元)

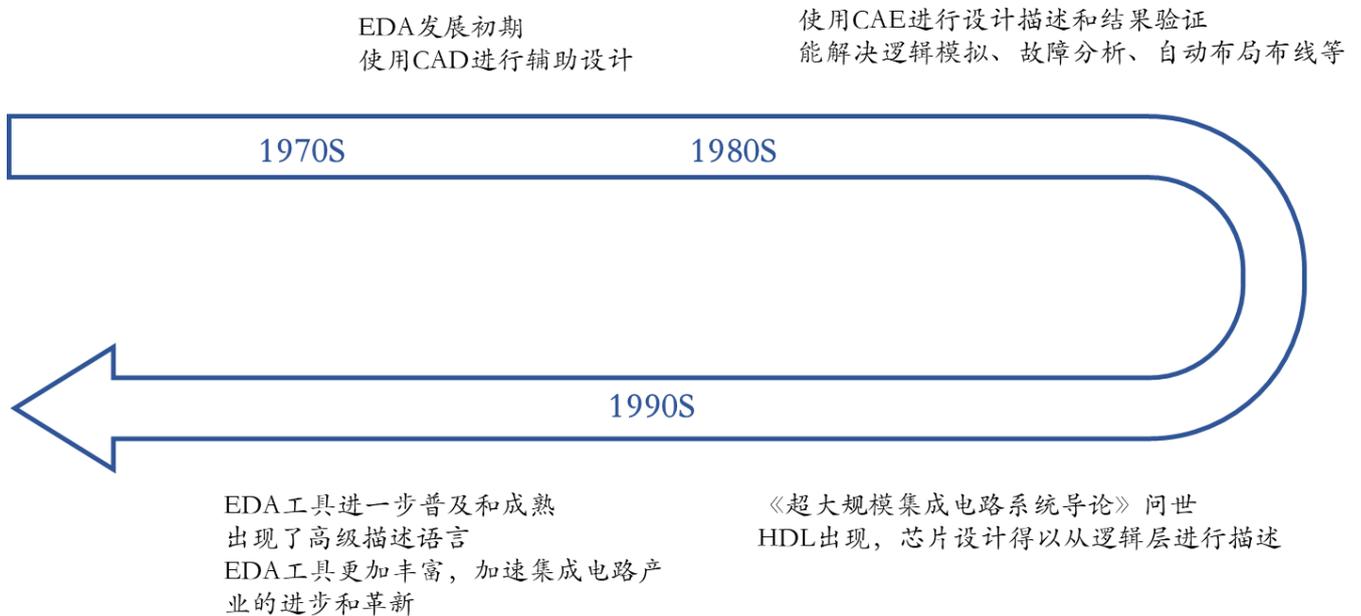


资料来源: 赛迪智库, 信达证券研发中心

2、EDA 发展历程：由通用型设计软件向专业性设计软件演变

EDA 工具伴随着集成电路的发展而进步，纵观集成电路设计工具的发展史，一直在向功能丰富化、设计集成化和操作简单化的方向发展。电路设计工具从设计的维度上经历了“手工设计->计算机设计->自动化专业性计算机设计”的发展历程，从验证的维度上经历了“实物验证->计算机仿真”的发展历程，从语言的维度上经历了“实物设计->原理图->逻辑语言”的发展历程。总而言之，电路设计工具大致能够划分为 CAD 辅助设计、CAD/CAE 辅助设计、EDA 辅助设计三个阶段。

图 6：电路设计工具发展历程



资料来源：信达证券研发中心

1) CAD 阶段：最初，工程师采用手工的方式进行电子系统硬件设计，即把中小规模的标准集成电路焊接在电路板上，做成初级电子系统，并在 PCB 上对电子系统进行调试。20 世纪 70 年代左右，一方面由于计算机技术的进步，另一方面由于传统手工布图的精度无法满足产品复杂性要求，工程师转而借助 CAD 工具进行电子系统硬件设计；CAD 的出现为电子系统设计节省了大量的重复性劳动，大大提升了电子系统硬件设计的效率与精度，其中最具有代表性的产品是美国 ACCEL 公司开发的 Tango 布线工具。

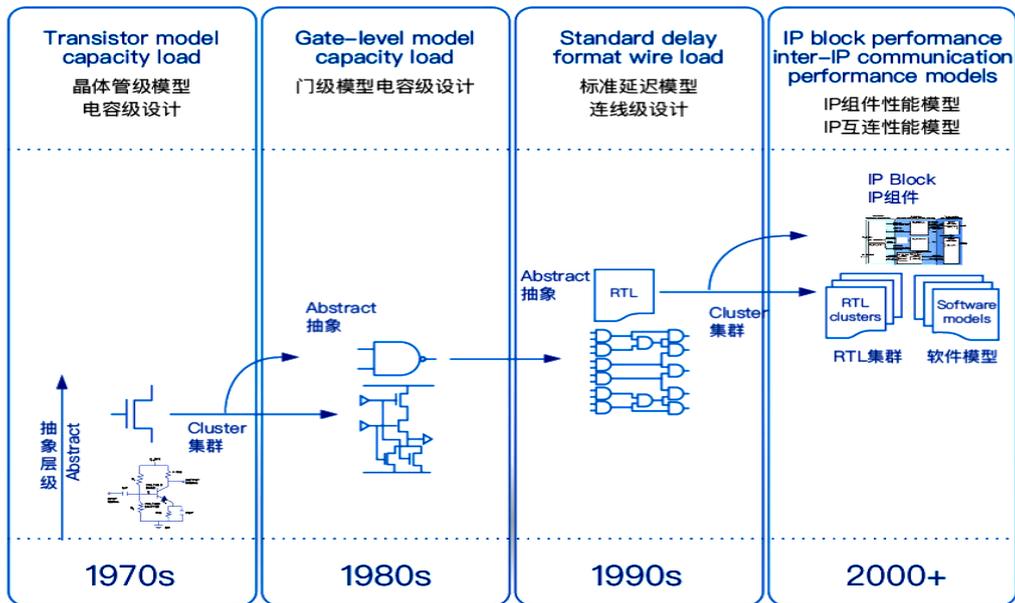
2) CAE 阶段：继 CAD 工具被应用于电子系统设计之后，20 世纪 80 年代，CAE 工具也被应用于电子系统设计中，主要解决的是模拟/仿真问题。CAD 工具的出现解决了设计工作中的绘图问题，但是电子系统的仿真和验证问题依旧存在，最初的实物验证方式试错成本太高，使设计师在进行设计工作时变得格外谨慎，也变相降低了电子系统设计工作的效率。CAE 工具出现的核心意义在于解决了电子系统设计中的仿真和验证问题，实现了计算机能够进行电子系统设计的仿真过程，使设计师能够在计算机上近乎零试错成本地无限进行电子系统验证工作；另一方面，CAE 也提供了定时分析、自动布局布线等功能，进一步提升了电子系统设计工作的效率，能够进行设计描述、综合与优化和设计结果验证等工作，为高级设计人员的创造性劳动提供了方便。

3) EDA 阶段：EDA 工具的意义可以从两个角度来理解，一个是工具的进步，另一个是设计语言的进步。从工具角度来看，伴随着微电子技术的快速发展，硬件设计需求从单一电子产品开发转向了以集成电路为代表的系统级电子产品开发，传统的 CAD/CAE 工具难以满足集成电路中复杂而专业性的新需求；而 EDA 作为针对集成电路设计的专业性软件，拥有系统设计、系统仿真、测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具，能够满足中大型集成电路设计的需求，所以 EDA 工具逐步替代了传统的 CAD/CAE 设计工具，成为专业的集成电路设计工具。

从芯片描述层级的角度来看，EDA 设计语言在电子设计中也具备里程碑式的意义，EDA 设计语言的出现使大规

集成电路设计成为现实：在传统的 CAD/CAE 工具阶段，具体化的元件图形语言一直是困扰设计师的难题之一，而 EDA 软件通过行为级描述（关于 EDA 语言的问题，将会在下一小节中详述）的方式完美解决了这个难题，对上增加了程序的可读性和可便携性，对下能够更好地与硬件进行适配，更进一步地提升了设计效率。

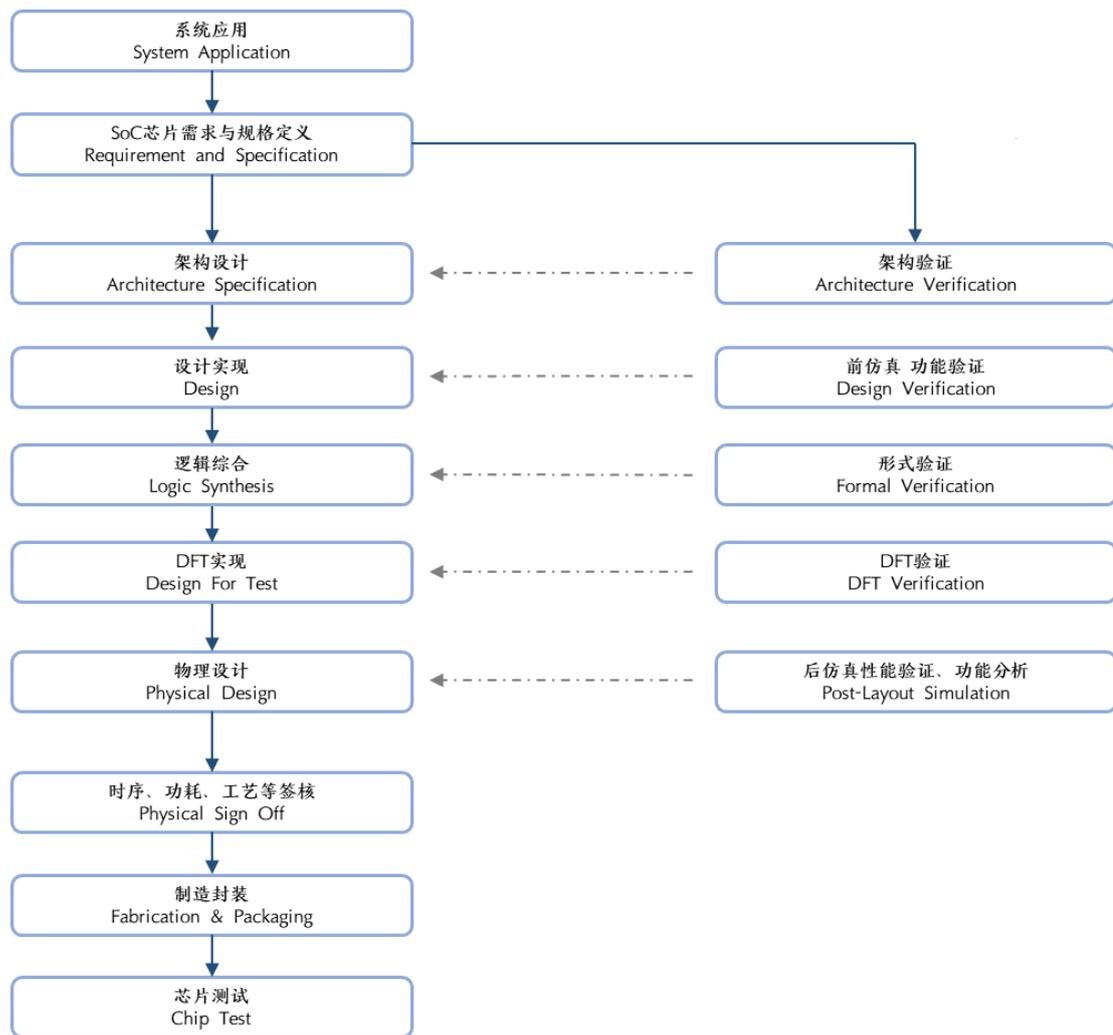
图 7：芯片描述抽象层级的提升



资料来源：芯华章，信达证券研发中心

3、EDA 设计流程：从描述层级理解 EDA 软件

集成电路设计是一个从需求出发，最终形成物理版图的过程，验证与仿真工作穿插于各环节中。以数字集成电路设计为例，在设计师拿到具体需求之后，首先根据具体需求定义相关的功能模块与规格，从架构层面上设计能满足特定需求的功能，之后实现相应的设计；其次进行逻辑综合，这一阶段主要是将更高层级的描述转化为门级网表，之后再进一步进行 DFT 测试并进行物理层面的设计，在工艺、功耗等环节签核完毕之后，EDA 的设计工作基本已经完成，可以进入具体的封装与测试阶段。

图 8：数字集成电路设计架构


资料来源：芯华章，信达证券研发中心整理

从描述层级角度来看，EDA 将芯片设计工作自上而下地抽象为设计思路、行为级描述、RTL 描述、门级网表和物理版图五个层级。在具体的集成电路设计工作中，设计师首先发现需求、形成设计思路，并出具需求说明书和设计方案；第二，工程师根据需求说明和设计方案，对芯片设计工作进行行为级别的描述，并编写相应的程序；第三，EDA 根据行为级描述，进行寄存器级别的描述；第四，EDA 进一步进行门级别的描述，并生成相应的门级网表；最后，EDA 生成物理版图，对集成电路的物理情况给出直观、详细的描述。

下面，我们分别对行为级描述、RTL 描述和门级网表给出更详细的解释。首先解释一下行为级描述与 RTL 描述的区别：**行为级描述可以理解为面向用户的描述方式，RTL 描述可以理解为面向硬件的描述方式。**实际上，在 EDA 初期阶段，是没有“行为级描述”和“RTL 描述”这类划分的，彼时的设计师会直接进行电子系统硬件设计；但是，这种设计方式有一个明显缺陷，那就是元器件的形状和特征各异，设计师在进行电子系统硬件设计的时候就不得不考虑各种非常复杂的实际情况，使设计工作变得异常繁琐。于是，设计师开始尝试将设计逻辑与物理情况分离开，能够在不考虑实际情况的基础上对设计逻辑进行抽象的描述，所以才有了“行为级描述”和“RTL 描述”的划分——“行为级描述”是设计师层面的描述，设计师编写好相应的设计程序（一般是文本语言或状态图语言）；“RTL 描述”是“行为级描述”的下一个层级，负责在寄存器级别描述电路的数据流方式。另外，门级网表是 RTL 描述的下一个阶段，主要负责将 RTL 描述中寄存器级别的描述，进一步翻译成门（或者与门同一级别的元件）级别的描述，从而进一步精准、具体地在物理层面上落实设计师所编写的设计程序。

图 9：数字集成电路设计描述层级


资料来源：信达证券研发中心整理

进一步，更一般地对抽象层级描述，对集成电路设计的描述可以从行为、结构和物理三个维度展开。无论是数字芯片设计还是模拟芯片设计，集成电路设计都可以自上而下地划分为“系统层”、“算法层”、“RTL层”、“物理逻辑层”和“电路层”。**在行为描述中**，系统设计过程可以描述成首先进行产品性能和行为的设计，其次编写面向用户的基于逻辑语言的程序，其次将面向用户的程序翻译为面向寄存器的程序，最后进一步转换成布尔方程组和电脑微分方程；**在结构描述中**，集成电路设计工作从 CPU、存储器的整体出发，一步步具象成硬件模块、寄存器/控制器等部件、逻辑口，最后具体到每一个电容/电阻/晶体管的设计；**在物理描述中**，设计师首先给出芯片的整体设计方案，然后在算法层面定义模块之间的连接关系，再进一步定义宏单元和门级单元图，最终形成对应的物理版图。

表 1：集成电路设计抽象描述

	行为描述	结构描述	物理描述
系统层	行为、性能、输入输出映射	CPU、存储器、子系统连接关系	芯片、电路板
算法层	计算机语言	硬件模块	模块间连接关系
RTL层	HDL (verilog/VHDL)	ALU、MUX、寄存器、BUS、memory、控制器	宏单元
物理逻辑层	布尔方程组	逻辑口、触发器	门级单元图
电路层	电脑微分方程	晶体管、电阻、电容	版图

资料来源：《数字集成电路系统与设计》，信达证券研发中心

除了从描述层级的角度上对 EDA 设计进行理解之外，也可以从工作内容的角度上对 EDA 设计流程进行划分。从设计流程的角度来看，集成电路设计工作主要分为前端和后端两大部分，仿真验证的过程穿插于前端和后端之中。总体来看，前端设计更偏向于逻辑，需要通过逻辑库的支持，基于速度、功耗等指标，给出设计的规格、HDL 代码及 DFT 实现等步骤；而后端设计更偏向于行业经验与物理层，通过物理库的支持，主要实现一系列的

布局布线工作，并完成多个环节的验证和仿真工作。

前端设计和验证实现了电路设计的实体化：在数字电路中，前端设计使用基于 RTL 语言描述的程序将设计思路转换为相应的标准单元库网表；在模拟电路中，前端设计将设计思路落实成电路图设计。**后端设计和验证过程主要是将设计进一步落实成版图：**在数字电路中，EDA 进一步将标准单元库网表进行布局布线；而在模拟电路中，工程师通常会手动将电路图转化为版图。

表 2：集成电路设计流程

	作用	主流工具
前端设计和验证	电路设计实体化； 数字电路：使用 RTL 语言描述的逻辑设计综合成为相应的标准单元库网表； 模拟电路：电路图设计。	Synopsys: VCS, Verdi; Cadence: Jasper, Virtuoso
后端设计和验证	前端设计完成后，进一步将设计转化（综合）成版图（GDS）； 数字电路：使用 RTL 语言描述的逻辑设计综合成为相应的标准单元库网表，进一步把该网去做布局布线形成 GDS：这两步非常关键，往往是数字集成电路 EDA 的核心竞争力； 模拟电路：设计规模小而且自由度高，通常由工程师手动完成电路图转化到版图的过程；	Synopsys: Design Compiler, IC Compiler; Cadence: Innovus; Mentor Graphics: Calibre

资料来源：信达证券研发中心

二、多因素重塑 EDA 行业底层逻辑，传统 EDA 行业格局或将生变

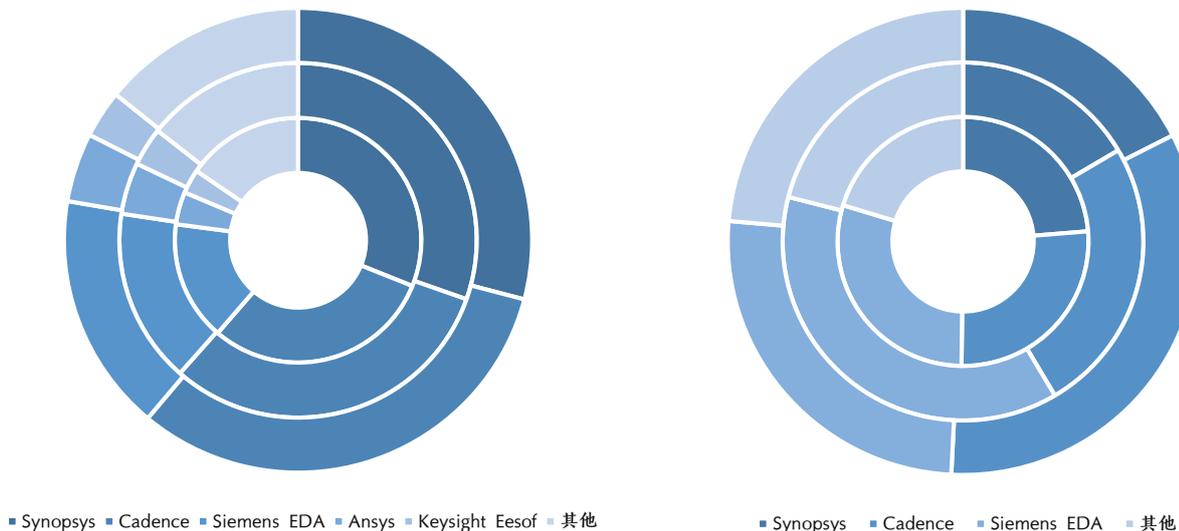
1、传统 EDA 行业呈寡头垄断格局，行业壁垒高筑

全球 EDA 市场份额集中，**Synopsys/Cadence/Siemens EDA** 三巨头占据近八成市场份额。目前，全球 EDA 市场被 Synopsys、Cadence 和 Siemens EDA 所主导，其中 Synopsys 和 Cadence 是美国企业，Siemens EDA 原名 Mentor Graphic，于 2016 年被西门子（德国企业）所收购。据赛迪智库统计数据显示，2018-2020 年间，Synopsys/Cadence/Siemens EDA 三巨头占据全球 EDA 市场份额分别为 77.1%/77.4%/77.7%，垄断地位稳固；另外，Ansys 也占据一定比例的市场份额，隶属 EDA 市场中的第二梯队。

我国 EDA 市场目前仍以外资品牌为主，与全球 EDA 市场格局相似，为 **Synopsys/Cadence/Siemens EDA** 所垄断，但是近年来所占市场份额呈现小幅下滑。我国的 EDA 行业起步晚，并经历了从二十世纪末到二十一世纪初近 15 年的缓慢发展阶段，与全球 EDA 巨头之间存在显著的差距。目前我国 EDA 市场仍然以外资品牌为主，与全球市场相似，基本被 Synopsys/Cadence/Siemens EDA 三家外资巨头所垄断。但是，伴随着近年来国家层面对 EDA 重视度的提升，国内 EDA 厂商奋起直追，并初步取得了一定的成绩。据赛迪智库统计数据显示，Synopsys/Cadence/Siemens EDA 三家外资巨头 2018-2020 年在我国的合计市场份额为 79.7%/79%/76.4%，呈现小幅下滑的态势，国产 EDA 有望崛起。

图 10: 2018-2020 年全球 EDA 工具市场竞争格局

图 11: 2018-2020 年国内 EDA 工具市场竞争格局



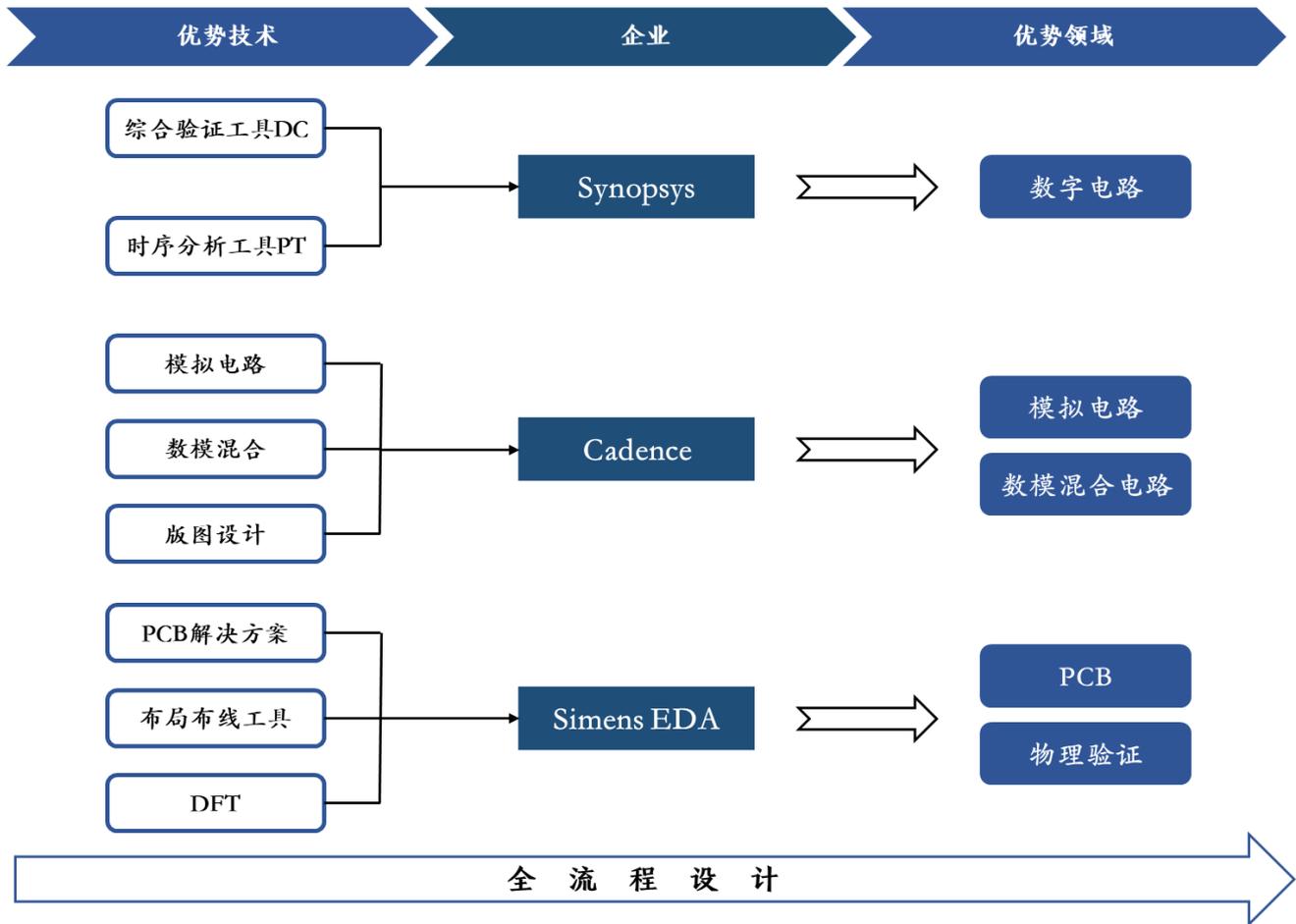
资料来源：赛迪智库，腾讯网，信达证券研发中心

资料来源：赛迪智库，腾讯网，信达证券研发中心

(注：图中自内向外分别是 2018/2019/2020 年的数据)

(注：图中自内向外分别是 2018/2019/2020 年的数据)

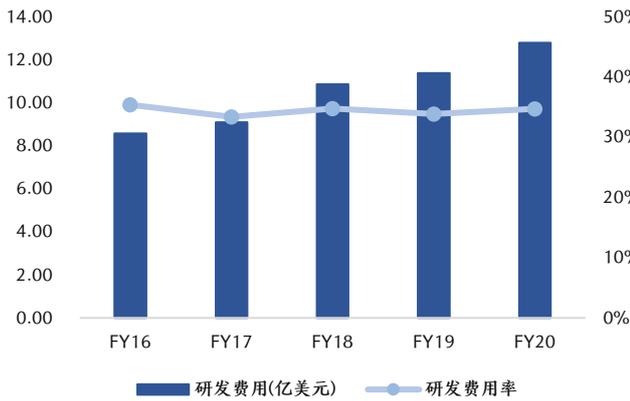
Synopsys/Cadence/Siemens EDA 在电子设计领域实力强劲，各自依托自身优势展开差异化竞争。Synopsys/Cadence/Siemens EDA 均具备覆盖电子设计全部流程的能力，而其他 EDA 公司尚未具备覆盖电子设计全流程的能力，多在工具层面发力。另一方面，Synopsys/Cadence/Siemens EDA 三家公司的偏重点也有所不同：**Synopsys** 的逻辑综合工具 DC 和时序分析工具 PT 的性能优越，公司依托这两个拳头产品建立了具备强劲竞争优势的芯片设计数字化流程，DC 和 PT 产品在相应市场上占据绝大部分份额；**Cadence** 的竞争优势集中在模拟电路、数模混合、版图设计等方面，其电子设计能力覆盖从半导体到电路板乃至整个系统系统；**Siemens EDA** 的核心优势是软硬件耦合，在物理验证、PCB 解决方案、布局布线工具、DFT 等领域具备优势。

图 12: 全球 EDA 巨头竞争格局


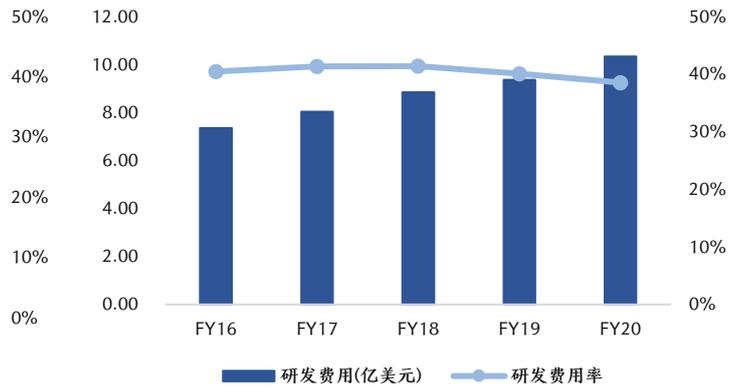
资料来源：信达证券研发中心

EDA 是典型的高精尖行业，准入门槛极高。 EDA 是一个准入门槛极高的领域，虚拟仿真阶段的任何一个小错误都可能造成流片失败，甚至可能导致芯片公司丧失核心竞争优势。**EDA 的难点主要具体体现在三个方面：**一是需要将复杂的物理问题用数据模型高度精准化地描述，在虚拟软件中重现芯片制造过程中的各种物理效应和问题；二是在确保逻辑功能正确的前提下，利用数学工具解决多目标多约束的最优化问题，求得特定半导体工艺条件下，性能、功耗、面积、电气特性、成本等的最优解；三是验证模型一致性问题，确保芯片在多个设计环节的迭代中逻辑功能一致。

高研发投入构建核心技术壁垒。 EDA 作为高精尖技术，离不开高额研发投入，从全球 EDA 巨头的历史数据来看，高研发投入是维持 EDA 厂商核心竞争力的重要因素之一。Synopsys 和 Cadence 的研发投入逐年攀升，研发费用率一直维持在 35%-40% 的高水平上，其中在 FY20，Synopsys 和 Cadence 的研发投入分别是 12.79 亿美元/10.34 亿美元，当年研发费用率高达 34.71%/38.54%。

图 13: Synopsys 研发费用及研发费用率


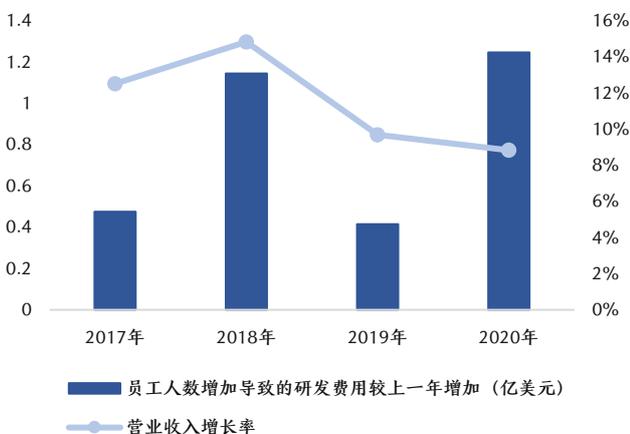
资料来源: wind, 信达证券研发中心

图 14: Cadence 研发费用及研发费用率


资料来源: wind, 信达证券研发中心

与下游代工厂高度绑定的生态优势是 EDA 巨头的核心竞争力之一。全球 EDA 巨头每年高额的研发费用多用于 PDK (Process Design Kit, 工艺设计套件, 包含了诸如晶体管、MOS 管、电阻电容等基础器件或反向器、与非门、或非门、锁存器、寄存器等逻辑单元的基本特征信息) 的更新, 而新工艺与验证文件频繁更新的背后, 离不开 EDA 厂商与芯片设计厂、芯片代工厂的深度绑定。芯片行业是一个技术密集、迭代速度快的行业, 只有头部 EDA 厂商具备开发最新的验证平台的能力, 第二梯队 EDA 玩家与头部 EDA 玩家在领先技术方面之间一直存在较长的时间差; 在这种情况下, 顶尖芯片设计厂/代工厂只能选择头部 EDA 厂商进行合作, 而顶尖芯片设计厂/代工厂又会将最先进的工艺节点上的需求与数据反馈给头部 EDA 厂商, 头部 EDA 厂商据此进步一部完善 EDA 平台、扩充 IP 库, 加固自身的核心竞争力。

人才是推动 EDA 行业进步和发展的核心因素。EDA 行业是轻资产、重研发的科技密集型的行业, 这就决定了人才是 EDA 的第一推动力, 必须经过高精尖人才的不断科研与创新, 才能推动 EDA 行业的持续发展。因为 EDA 是一种跨学科的专业领域, 所以 EDA 行业需要高素质的复合型人才, 开发 EDA 软件的工程师不仅需要传统计算机科学的基础知识, 如算法、数据结构、编译原理等, 更需要 EDA 领域的一些特定知识; 而 EDA 工具的复杂性和开发难度导致了其对人才质量的高要求, 导致了 EDA 行业人才相较于其他行业显得培养周期十分漫长。与此同时, 人才又跟 EDA 厂商的盈利能力呈现高度的相关性, 从 2017-2020 年 Synopsys 和 Cadence 的历史数据来看, 伴随着公司人才入团队的扩张与职工薪酬的提升, 公司业绩往往会呈现出加速增长的态势, 印证了人才作为 EDA 行业的第一生产力, 对于推动行业发展有着至关重要的作用。

图 15: Synopsys 的营收增速与人才相关


资料来源: wind, 信达证券研发中心

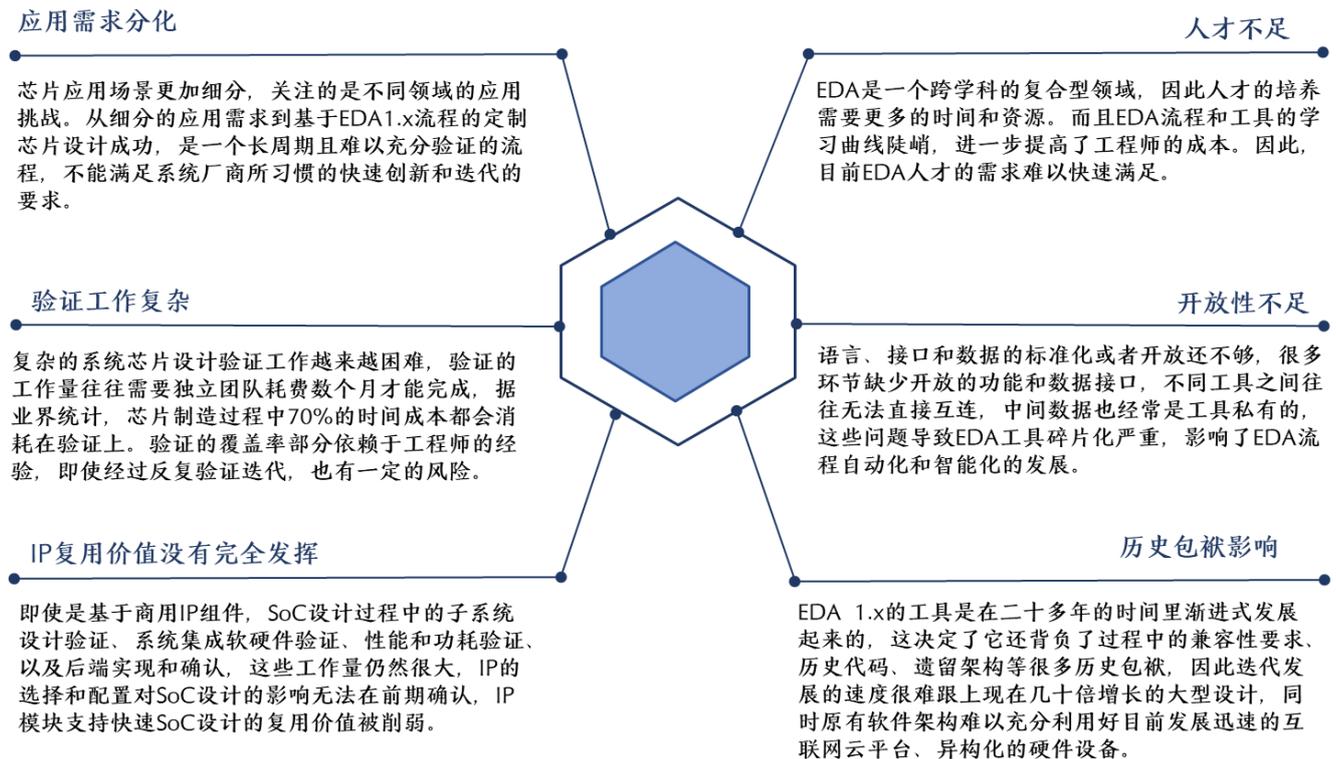
图 16: Cadence 的营收增速与人才相关


资料来源: wind, 信达证券研发中心

2、EDA 的行业新动向或将打破原来巨头垄断的固有格局

工艺迭代速度放缓削减了头部 EDA 厂商的核心优势，EDA 行业竞争格局开始松动。在过去 20 年间，工艺渐进式迭代方式所带来的红利逐步缩小：2001 年芯片制程工艺尚停留在 130 纳米，2004 年奔腾 4 突破了 90 纳米工艺，2012 年芯片制程工艺发展到 22 纳米，英特尔，联电，联发科，格芯，台积电，三星等多家公司均具备了 22 纳米工艺的技术水准；此后，芯片制程发展速度放缓，工艺难度增加，2015 年芯片工艺制程进入 14 纳米，联电遇到瓶颈，2017 年芯片工艺制程进入 10 纳米，英特尔遇到瓶颈，2018 年芯片制程进入 7 纳米，只有台积电和三星具备了代工 7 纳米芯片的能力。此外，传统的 EDA 行业还面临着全新的挑战：例如更多细分场景的出现使 EDA 不能满足相应需求；验证工作进一步复杂，传统的单机算力承担验证工作的难度提升；IP 复用价值被其余环节削弱，不能得到充分发挥 IP 价值；EDA 开放性不足，影响了 EDA 自动化与智能化发展等。

图 17：目前 EDA 行业面临的挑战



资料来源：芯华章，信达证券研发中心

EDA 行业的新机遇在较大程度上重塑了 EDA 行业核心竞争力，在新赛道上拉近了 EDA 头部玩家与其余玩家之间的差距，原来的固化 EDA 格局出现松动迹象，行业洗牌或将为中小 EDA 厂商带来赶超机会。我们认为，在当前科技不断进步、新兴领域崛起的全球大背景下，EDA 行业即将面临全新的机遇与变化，并主要体现在以下三个方面：1) 下游行业要求 EDA 前端进行全新变化，并具体提出了设计异构化、设计敏捷化、芯片与算法融合等需求；2) 人工智能技术蓬勃兴起，EDA 有望与人工智能技术充分结合，推动自动化 IP 生成技术的发展，并催生智能化芯片架构设计、设计生成与物理设计等全新技术；3) 伴随着 EDA 设计、仿真与验证的复杂性提升，EDA 对算力的要求进一步提升，云计算有望未来为 EDA 设计、仿真与验证提供算力，打造 EDA 与云计算平台结合的新业态。

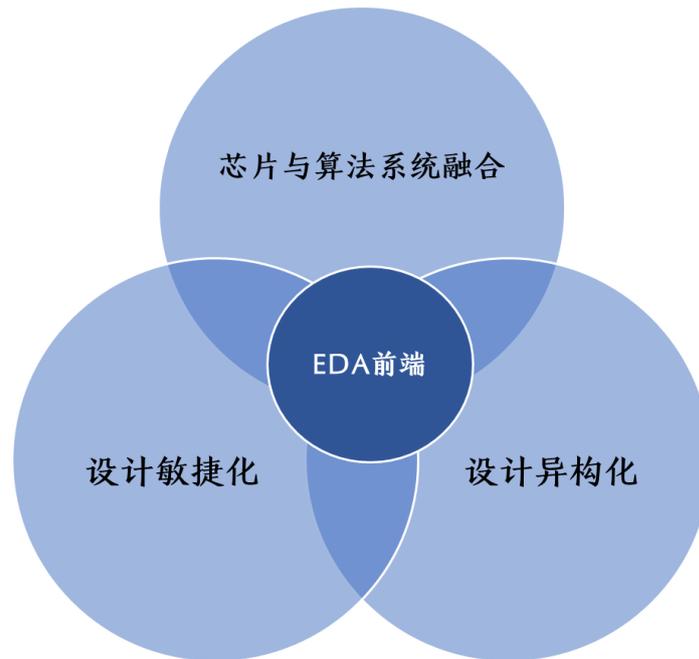
表 3：EDA 行业发展机遇

发展趋势	EDA 行业机遇
EDA 前端深刻变化	芯片要求前端设计异构化、设计敏捷化、芯片与算法融合
人工智能蓬勃发展	自动化 IP 生成技术，智能化芯片架构、设计生成与物理设计
云计算改变传统计算方式	算力向云端迁移，更够满足更复杂的设计与验证需求

资料来源：信达证券研发中心

EDA 前端相较于后端而言，前端更偏重逻辑，后端更偏重于行业经验与物理规律，所以前端的时效性要求比后端更强，近年来 EDA 前端也正在经历深刻的变化。从设计异构化角度来看，伴随着各个应用的专业化程度提升，传统的通用性平台不能充分发挥在专业应用性能，所以需要针对不同的应用设计相应电路，并通过异构的方式进行集成；从敏捷化设计角度来看，传统的设计方式不能满足快速变化的新应用场景，EDA 设计需要转向敏捷化设计，在较短时间内完成设计并进行不断迭代；从芯片与算法融合角度来看，人工智能推动了底层电路与上层算法之间的协同和联动，传统的将算法与芯片分离的方式难以应用于人工智能的垂直场景，EDA 前端设计需要在先前的基础上进一步考虑芯片设计与算法层的强耦合性，增强整体的协同效应。

图 18: EDA 前端的变化方向



资料来源：信达证券研发中心

人工智能推动了自动 IP 生成技术的进步，从 EDA 设计和验证平台两个方面促进了 EDA 软件的自动化和智能化发展。在常规的 IP 设计过程中，数字 IP 的设计需要首先定义 IP 的功能、接口和架构，然后细化到微架构设计（RTL 定义和模块划分等），最后映射到具体的电路设计；模拟 IP 设计则首先需要定义模块的性能指标，之后通过仔细调整电路/版图并进行多次仿真，最终得到模拟 IP 设计。人工智能推动了 HLS（high-level synthesis, 高阶综合技术）的发展，通常能够基于 C/C++ 等高级计算机语言的输入得到等价的 RTL/门级网表/GDS 等输出，从而推动数字 IP 的自动生成技术；而在模拟 IP 自动生成领域，设计师有望借助机器学习等手段，使软件能够调优晶体管参数和自动生成版图，提升芯片设计工作的效率。另一方面，人工智能推动了 EDA 的验证和仿真环节发生变化，传统的验证方法就是要测试规则、架构和规范等，而在当前面临更多垂直应用的，所以需要通过仿真出来一个虚拟 AI 引擎，把算法数据推送到硬件仿真系统中的 AI 引擎上执行代码的处理和用户最终的应用，以便获得整体的性能、功耗以及数据，这样可以在芯片未开发之时，就可以及早理解整个系统的性能表现。

图 19: EDA 的自动化与智能化趋势


资料来源: 《EDA2.0 白皮书》, 信达证券研发中心

强化学习已经在实验室中成功应用于芯片设计, 人工智能有望重塑 EDA 行业。强化学习作为人工智能的一种模型, 在围棋、电脑游戏等场景下已经获得了良好的成绩, 最近麻省理工学院电子工程和计算机科学助理教授 Song Han 表示强化学习在改进芯片设计方面具有巨大潜力, 并进行了基于强化学习的将一种芯片学到的知识转移到另一种芯片上的实验, 实验结果表明人工智能工具产生的电路设计的能效是人类工程师设计的电路设计的 2.3 倍, 同时产生的干扰是人类工程师设计的电路设计的五分之一。同时, 谷歌也进行了使用强化学习训练芯片设计的实验, 根据谷歌公布的结果, 经过预训练的模型在执行目标芯片的 floorplan 时, 可以在 6 小时内完成 floorplan, 而其 floorplan 结果在时序、面积、功耗等关键指标上都与专业物理设计工程师手工 floorplan 的结果接近或更好。人工智能的发展使得芯片设计有了大幅提升的可能性, 有望帮助企业在更短的时间内设计出更强大、更有效的芯片, 并有望帮助工程师共同设计人工智能软件, 通过对代码和不同的电路布局进行不同的调整, 以找到两者的最佳配置。

表 4: 谷歌强化学习模型进行芯片的 floorplan 训练结果

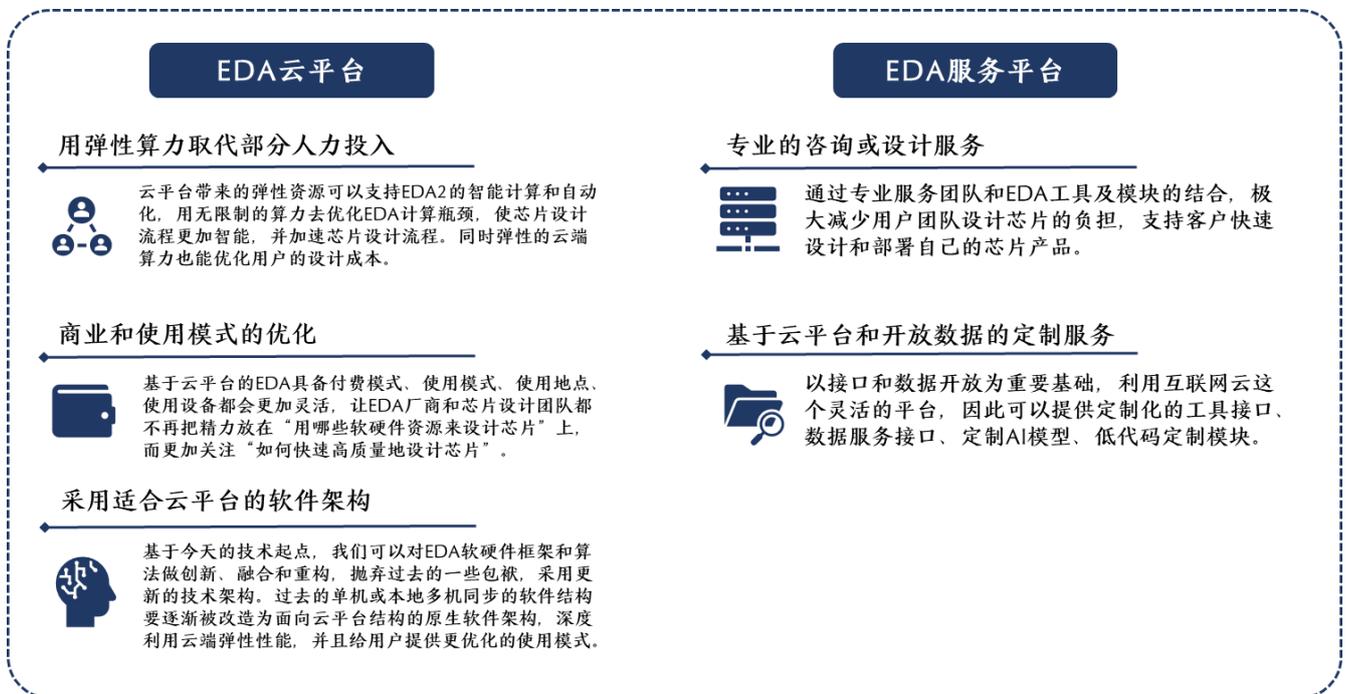
Name	Method	Timing		Area	Power	Wirelength	Congestion	
		WNS(ps)	TNS(ns)				Total(μm^2)	Total(W)
Block 1	RePlace	374	233.7	1693139	3.7	52.14	1.82	0.06
	Manual	136	47.6	1680790	3.74	51.12	0.13	0.03
	Ours	84	23.3	1681767	3.59	51.29	0.34	0.03
Block 2	RePlace	97	6.6	785655	3.52	61.07	1.58	0.06
	Manual	75	98.1	830470	3.56	62.92	0.23	0.04
	Ours	59	170	694757	3.13	59.11	0.45	0.03
Block 3	RePlace	193	3.9	867390	1.36	18.84	0.19	0.05
	Manual	18	0.2	869779	1.42	20.74	0.22	0.07

	Ours	11	2.2	868101	1.38	20.8	0.04	0.04
Block 4	RePIAce	58	11.2	944211	2.21	27.37	0.03	0.03
	Manual	58	17.9	947766	2.17	29.16	0	0.01
	Ours	52	0.7	942867	2.21	28.5	0.03	0.02
Block 5	RePIAce	156	254.6	1477283	3.24	31.83	0.04	0.03
	Manual	107	97.2	1480881	3.23	37.99	0	0.01
	Ours	68	141	1472302	3.28	36.59	0.01	0.03

资料来源：半导体行业观察，信达证券研发中心

从工具和 IP 集合包向 EDA 整体平台转变，从本地计算向云端计算迁移，是未来 EDA 发展的趋势。伴随芯片制程的减小与芯片性能的提升，EDA 设计变得更加复杂，对算力的需求进一步提高，在本地算力无法满足大规模、高精度的 EDA 设计的情况下，云计算平台为 EDA 提供了可行的解决方案；但同时云计算平台也要求 EDA 采用适合云平台的软件架构，倒逼 EDA 进行变革。另一方面，EDA 也需要由传统的工具和 IP 集合包向整体 EDA 平台迈进，提供整套的集成电路设计服务于方案，并能提供支持开放数据的灵活服务。

图 20: EDA 的云化趋势

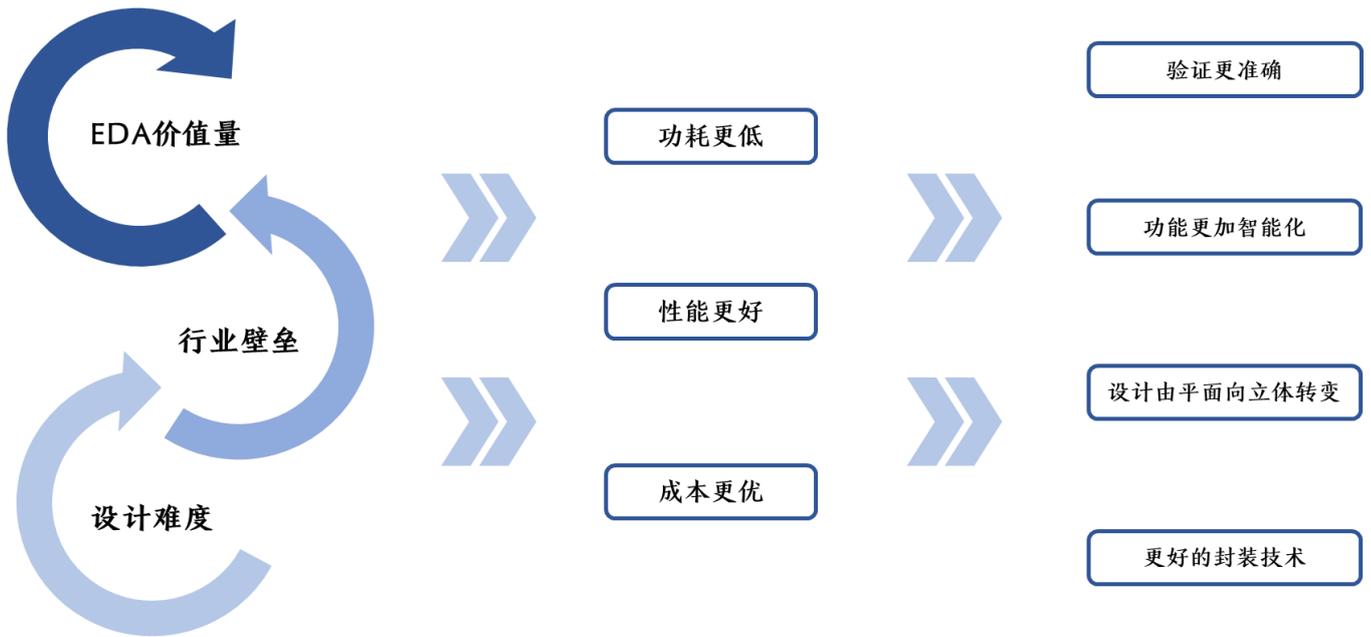


资料来源：《EDA2.0 白皮书》，信达证券研发中心

3、后摩尔时代将重塑 EDA 价值量

后摩尔时代的集成电路设计难度提升，EDA 行业壁垒进一步变高，EDA 工具价值量增厚。在摩尔定律的驱动之下，过去几十年间芯片制程工艺不断减小，目前已经能实现 7nm 芯片量产；伴随芯片制程工艺的不断突破，芯片制程工艺已经逐步逼近极限（通常认为 2-3nm 是芯片的极限），后摩尔时代即将到来。在无法以制程减小为驱动力的后摩尔时代中，集成电路设计的重要性进一步凸显，成为驱动集成电路工艺迭代的重要因素，与此同时 EDA 行业的壁垒也会伴随设计复杂度的提升而提升，间接增厚 EDA 工具的价值量。

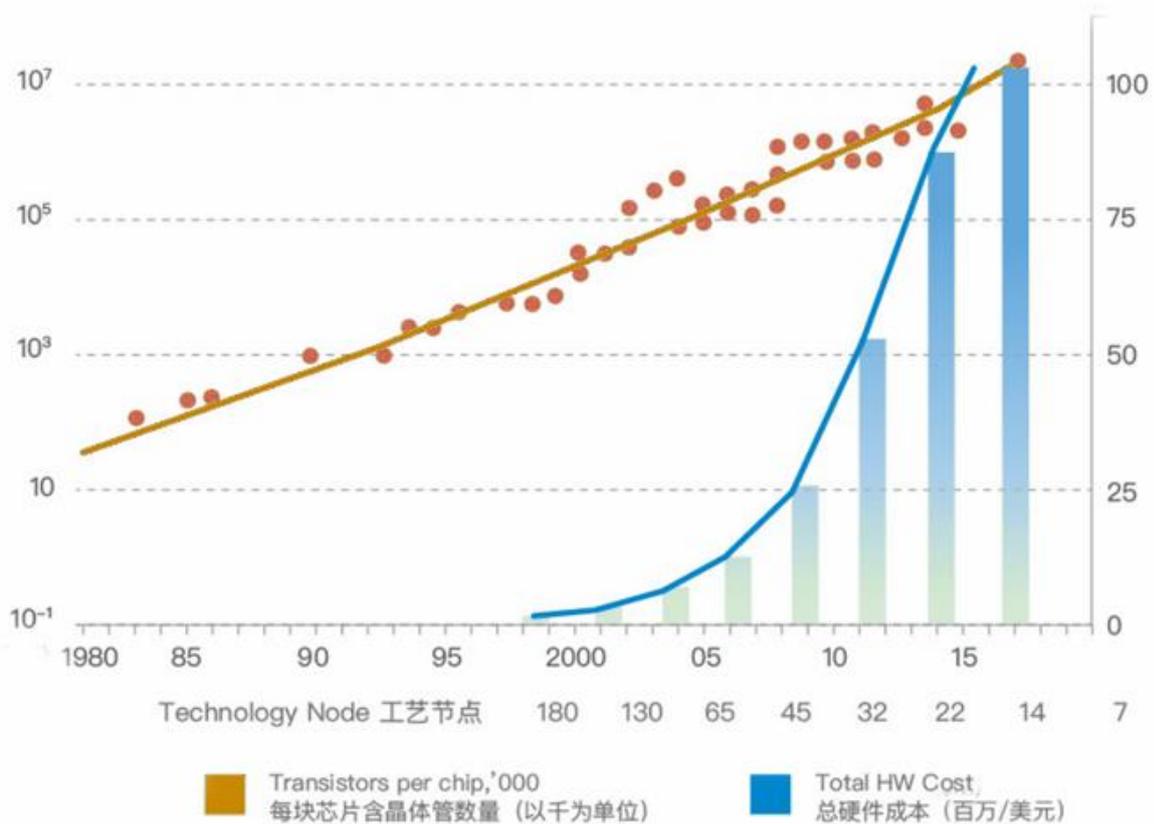
图 21: 集成电路设计在后摩尔时代的价值量进一步增厚



资料来源: 信达证券研发中心

伴随着芯片设计复杂程度的提升, 总硬件成本呈现指数级上升趋势。近年来随着制造工艺、面积功耗、接口引脚数量等限制条件逐渐逼向极限, 通用处理器的综合性能提高越来越缓慢, 而 AI、云服务器、智能汽车、5G、工业智能控制等不同应用领域对半导体芯片的性能要求越来越高, 功耗、成本的要求越来越分化, 芯片设计、验证的成本也随之急速上升, 设计制造周期也难以压缩。

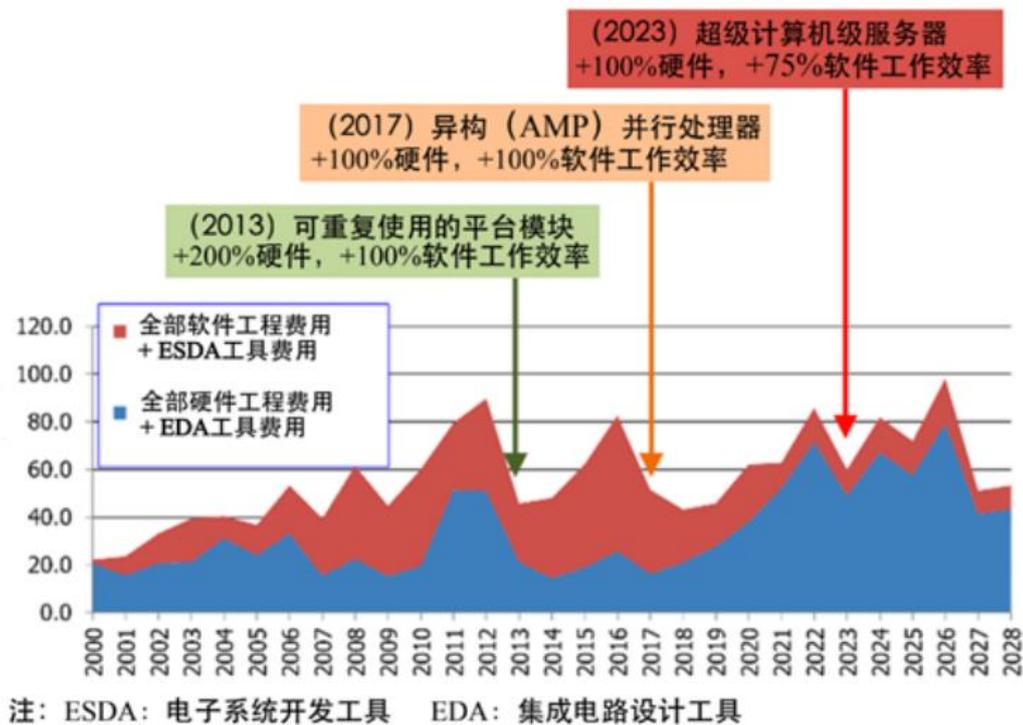
图 22: 芯片设计规模与设计成本的快速上升



资料来源: 《EDA2.0 白皮书》, 信达证券研发中心

集成电路设计技术的更新换代会显著降低下游厂商的设计成本，决定了 EDA 下游客户对 EDA 软件的付费能力比较强。根据加州大学圣迭戈分校 Andrew Kahng 教授在 2013 年的推测，2011 年设计一款消费级应用处理器芯片的成本约 4000 万美元，如果不考虑 1993 年至 2009 年的 EDA 技术进步，相关设计成本可能高达 77 亿美元，EDA 技术进步让设计效率提升近 200 倍。EDA 软件具备强劲议价权取决于本身的不可替代性与能为下游客户显著降本增效的能力，未来伴随着 EDA 的复杂程度和科技含量的进一步提升，EDA 软件有望价值量继续增加、毛利率继续提升、盈利能力和抗风险能力进一步加强。

图 23：设计方法学创新辅助平抑芯片设计成本



资料来源：赛迪智库，电子信息产业网，信达证券研发中心

三、多重利好助推行业崛起，国产化 EDA 爆发正当时

我们认为，国产化 EDA 正在迎来加速发展的行业拐点，景气度不断攀升，主要由以下多个利好因素共同推动：

1) 国产替代需求：2018 年至今，在国际贸易关系紧张和国家重拾科技兴国战略的推动下，EDA 重新被列入国家重点战略行业；2) 我国国家政策大力扶持以 EDA 为代表的半导体公司，本土 EDA 迎来发展良机；3) 国内半导体产业链蓬勃发展，本土企业的忧患意识逐步增强，国内 EDA 企业与国内 Foundry 日益深度绑定、共同成长，国内的集成电路生态迅速健全；4) 高校协同模式培养未来集成电路人才，国内集成电路行业的薪资待遇进一步具备吸引力，工程师红利推动行业快速增长；5) 国内的人工智能与云计算技术领先，本土 EDA 企业有望抓住行业机遇，实现核心技术的突破和赶超。

1、国产替代需求：我国迫切需要发展国产 EDA 工具

我国具备研发 EDA 的实力，曾在二十世纪末成功研发“熊猫”国产 EDA 软件，在沉寂了十余年之后，国产 EDA 软件再度迎来发展新时期。1986 年至 1994 年是我国早期 EDA 发展的黄金时期，1986 年我国为了发展芯片行业，从全国 17 个单位抽调了 120 多个顶级工程师来开发国产化芯片辅助设计软件，1988 年华裔专家连永君担任设计中心主任，1991 年开发出“熊猫”ICCAD 辅助设计系统，1993 年“熊猫系统”获得国家科技进步一等奖。“熊猫系统”是我国早期重要的具备自主知识产权的大型 EDA 软件，其中包含着 180 万条语言和 26 个工具，并成功借此推动我国的 ICCAD 系统开发跻身于国际四强（美、日、西欧、中国）之列。1995 年至 2017 年，在我国经济高速发展的大背景下，国家的战略重心向其他行业转移，对 EDA 行业的补贴红利退坡、支持力度减弱，同时海外 EDA 迅速进入我国市场，而国内本土化 EDA 厂商的盈利能力尚弱，所以国内市场迅速被海外 EDA 三巨头占领，国产化 EDA 经历了十余年的缓慢增长。2018 年至今，在国际贸易关系紧张和国家重拾科技兴国战略的推动下，EDA 重新被列入国家重点战略行业，另一方面国内的集成电路产业生态日益完善、本土 EDA 厂商技术不断突破，国内 EDA 行业有望重回高速发展新时期。

图 24：EDA 的云化趋势



资料来源：信达证券研发中心

我国发展 EDA 行业具备必要性和迫切性，EDA 国产化我国集成电路行业发展的必经之路。从必要性上来看：EDA 是集成电路产业中不可缺少的一环，间接撬动了万亿规模的国内数字经济，我国想要发展高精尖制造业与数字经济产业，EDA 是必须要发展的重要行业。从迫切性上来看，国产 EDA 已经到了需要快速发展的阶段：目前我国的集成电路设计高度依赖欧美系的 EDA 工具，在当前国际形势动荡的大背景下，一旦欧美系 EDA 工具断供，我国经济将蒙受难以估算的巨大损失，我国依赖高端芯片的相关制造业将举步维艰；另一方面，EDA 是现在制约我国集成电路产业发展的短板之一（另一个是光刻机），国产 EDA 工具现在只能勉强满足深亚微米（130nm/90nm）级别的芯片设计工作，伴随着制程的缩减国产 EDA 工具明显乏力，并比较难以进行 22nm 之下的集成电路设计。

表 5: 国内 EDA 公司与世界巨头的差距

	模拟	数字前端	数字后端	封装/电路板	FPGA	系统	工艺开发	其他
华大九天	✓	✓	✓				✓	✓
概伦电子	✓			✓			✓	
芯愿景								✓
广立微								✓
国微集团		✓			✓			✓
Synopsys	✓	✓	✓	✓	✓	✓	✓	✓
Cadence	✓	✓	✓	✓	✓	✓	✓	✓
Siemens EDA	✓	✓	✓	✓	✓	✓	✓	✓

资料来源：前瞻产业研究院，信达证券研发中心整理

2、政策端支持：国家政策大力支持，本土 EDA 迎发展黄金期

国产 EDA 行业相关政策频出，政府加大政策引导力度。近年来，政府频繁出台集成电路与基础软件方面的政策：2016 年，政府在十三五规划中指出要大力推动半导体行业的发展，并明确了我国需要在集成电路的核心技术上取得突破，支持高端工业软件的研发；2017 年集成电路的重要程度再度提升为战略性新兴产业重点产品；2018 年连续出台政策指导工业互联网健康发展，充分重视我国的高端工业软件短板；2020 年国家政策明确指出要大力发展集成电路设计软件，并将其纳入国家科技计划支持范围之内。未来，EDA 作为我国集成电路产业的薄弱环节，政策面有望出台更多强力的引导政策，在 EDA 自身未形成良好盈利能力的时候进行适当补贴，推动行业快速、健康发展。

表 6: EDA 行业引导政策

时间	政策	主要内容
2016.03	《国民经济和社会发展第十三个五年规划纲要》	大力推进先进半导体等新兴前沿领域创新和产业化，形成一批新增长点。
2016.05	《关于印发国家规划布局内重点软件和集成电路设计领域的通知》	为贯彻落实《国务院关于印发进一步鼓励软件产业和集成电路产业发展若干政策的通知》，明确重点集成电路设计领域的范围。
2016.07	《国家信息化发展战略纲要》	制定国家信息领域核心技术设备发展战略纲要，以体系化思维弥补单点弱势，打造国际先进、安全可控的核心技术体系，带动集成电路、基础软件、核心元器件等薄弱环节实现根本性突破。
2016.11	《“十三五”国家战略性新兴产业发展规划》	深化互联网在生产领域的融合应用，深化制造业与互联网融合发展，推动“中国制造+互联网”取得实质性突破，发展面向制造业的信息技术服务，构筑核心工业软硬件、工业云、智能服务平台等制造新基础，大力推广智能制造、网络化协同、个性化定制、服务化延伸等新业态、新模式。信息产业生态体系初步形成，重点领域核心技术取得突破。集成电路实现 28 纳米（nm）工艺规模量产，设计水平迈向 16/14nm。
2016.12	《软件和信息技术服务业发展规划（2016-2020 年）》	面向基础软件、高端工业软件、云计算、大数据、信息安全、人工智能等重点领域和重大要求，加强产学研用对接，布局国家级创新中心建设，建立以快速应用为导向的创新成果持续改进提高机制，加快核心技术成果的转化。围绕制造业关键环节，重点支持高端工业软件、新型工业 APP 等研发和应用，发展工业操作系统及工业大数据管理系统，提高工业软件产品的供给能力，强化软件支撑和定义制造的基础性作用。
2016.12	《信息产业发展指南》	增强体系化创新能力、构建协同优化的产业结构、促进信息技术深度融合应用、建设新一代信息基础设施、提升信息通信和无线电行业管理水平、强化信息产业安全保障能力、增强国际化发展能力 7 大任务，确定了集成电路、基础电子、基础软件和工业软件、关键应用软件和行业解决方案、智能硬件和应用电子、计算机与通信设备、大数据、云计算、物联网 9 个领域的发展重点。
2017.01	《战略性新兴产业重点产品	将集成电路设计及服务列入战略性新兴产业重点产品目录。

和服务指导目录》

2018.03	《2018 年政府工作报告》	加快制造强国建设，推动集成电路、第五代移动通信、飞机发动机、新能源汽车、新材料等产业发展，实施重大短板装备专项工程，发展工业互联网平台，创建“中国制造2025”示范区。
2018.09	《关于推动创新创业高质量发展打造“双创”升级版的意见》	深入推进工业互联网创新发展，推进工业互联网平台建设，形成多层次、系统性工业互联网平台体系，引导企业上云上平台，加快发展工业软件，培育工业互联网应用创新生态。
2019.08	《加强工业互联网安全工作的指导意见》	督促工业企业部署针对性防护措施，加强工业生产、主机、智能终端等设备安全接入和防护，强化控制网络协议、装置装备、工业软件等安全保障。
2020.01	《关于推动服务外包加快转型升级的指导意见》	提出将企业开展云计算、基础软件、集成电路设计、区块链等信息技术研发和应用纳入国家科技计划(专项、基金等)支持范围。
2020.01	《加强“从 0 到 1”基础研究工作方案》	《工作方案》中明确提出，将对关键核心技术中的重大科学问题给予长期支持，重点支持人工智能、网络协同制造、3D 打印和激光制造、集成电路和微波器件、光电子器件及集成等重大领域。集成电路既然名列其中，未来在基础研究方面必将获得更多帮助，有望为我国集成电路基础理论研究和核心技术突破带来巨大助力。
2020.07	《新时期促进集成电路产业和软件产业高质量发展若干政策的通知》	该政策在财税政策、投融资政策、研究开发政策、进出口政策、人才政策、知识产权政策、市场应用政策、国际合作政策八个方面给予国内集成电路产业和软件产业提供支撑。

资料来源：前瞻产业研究院，观研天下，信达证券研发中心整理

减税补贴与资本加持共同推动 EDA 行业快速发展。国家通过减税政策、补贴与引导资金注入三个手段推动 EDA 行业快速发展，政府在将 EDA 认定为高新技术行业给予税收优惠的基础上，通过“核高基”等计划与政府大力补贴，改善了本土 EDA 企业的现金流情况；另一方面，以国家集成电路产业投资基金为代表的基金引导社会资本进入 EDA 行业，能够让本土 EDA 企业的更多资金流向研发。

表 7：国家使用经济手段推动 EDA 行业发展

时间	政策	主要内容
2019.05	《关于集成电路设计和软件产业企业所得税政策的公告》	依法成立且符合条件的集成电路设计企业和软件企业，在 2018 年 12 月 31 日前自获利年度起计算优惠期，第一年至第二年免征企业所得税，第三年至第五年按照 25% 的法定税率减半征收企业所得税，并享受至期满为止。
2020.05	《关于软件和集成电路产业企业所得税优惠政策有关问题的通知》	依法成立且符合条件的集成电路设计企业和软件企业，在 2019 年 12 月 31 日前自获利年度起计算优惠期，第一年至第二年免征企业所得税，第三年至第五年按照 25% 的法定税率减半征收企业所得税，并享受至期满为止
2019.01	上海自由贸易试验区发布集成电路补贴政策	中国(上海)自由贸易试验区临港新片区发布了集聚发展集成电路产业若干措施，其中提出了 10 项支持条款。支持 EDA 软件购买和研发。对购买 EDA 设计工具软件(含软件升级费用)的企业并实际在临港新片区内开展办公研发的企业，按照实际发生费用的 50%，给予年度最高 200 万元的支持。对在新片区从事集成电路 EDA 设计工具研发的企业，给予 EDA 研发费用最高 50% 的年度研发资助，总额不超过 3000 万元。

资料来源：国税总局等，信达证券研发中心整理

3、国内 EDA 企业迅速追赶，核心技术持续突破

国内的集成电路生态迅速健全，本土集成电路企业忧患意识增强，国产 EDA 品牌渗透率进一步提升。在政策引导和美国断供等多因素影响下，国内集成电路产业近年来迅速发展，涌现出一批优秀的本土集成电路公司，能够覆盖集成电路产业的大部分环节，国内的集成电路生态环境逐步健全。同时，本土集成电路企业对大环境不确定性的忧患意识也在提升，更加注重与本土 EDA 进行合作，例如华大九天、概伦电子等本土 EDA 公司逐步建立和加深了与中芯国际、华虹科技等国内标杆性集成电路公司之间的合作，增进了本土 EDA\本土芯片设计厂\本土 Foundry 之间的生态绑定，有助于推动本土 EDA 企业的发展，未来本土 EDA 品牌在国内市场中的渗透率有望进一步提升。

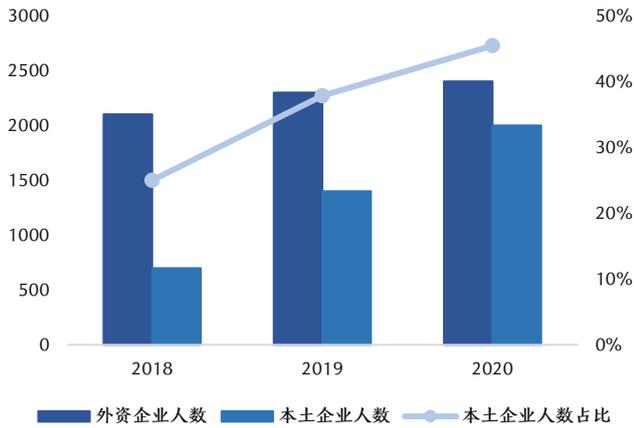
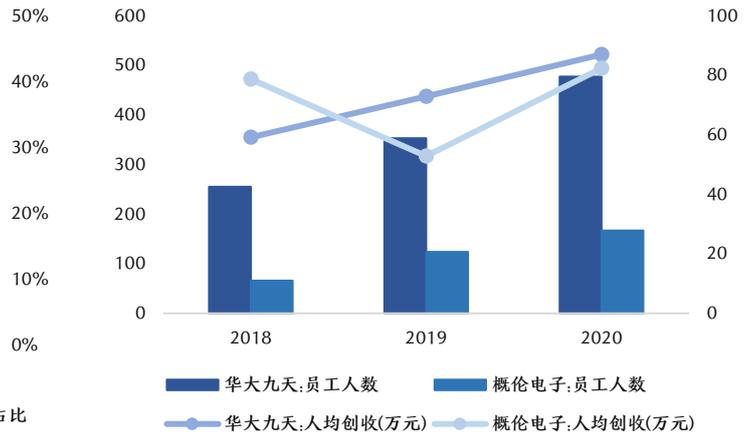
高校协同模式培养未来 EDA 工程师，国内人才红利持续推动集成电路行业快速发展。目前我国仍然是世界上劳动力数量最多和劳动力平均素质最高的国家之一，依旧能够充分享受人才为国家科技发展带来的红利。人才是推动 EDA 及集成电路行业发展的核心因素之一，过去我国由于在这一方面的重视程度不够高，造成了短期内国内集成电路人才的不足，但是近年来伴随着国家对集成电路产业重视程度提高与市场回报增厚的驱动，各高校已经越来越多地通过设立相关课程、校企联合等手段来培养未来的 EDA 工程师，国内 EDA 行业人才不足的困境未来有望逐步得到缓解，在人才的驱动下迎来高速发展阶段。

表 8：部分本土 EDA 公司与高校协同培养人才的例子

EDA 企业	学校	项目	内容
概伦电子	北京大学	专项奖学金	概伦电子年在北京大学设立专项研究奖学金，目的在于帮助、鼓励和支持有志于投身 EDA 及集成电路行业的优秀学生，为中国 EDA 及集成电路行业储备并培养专业人才，为中国 EDA 及集成电路行业的未来发展注入新鲜血液贡献力量。
概伦电子	山东大学	山东大学-概伦电子集成电路工程研究生 EDA 创新班	山东大学与概伦电子成立集成电路工程研究生 EDA 创新班，希望通过教学、科研与企业工程实践相结合，培养兼具跨学科、多方面经验和知识的复合型人才，探索国内 EDA 人才培养的新模式。
华大九天	福州大学	签署战略合作协议	福州大学离散数学及其应用教育部重点实验室与北京华大九天软件有限公司建立校企合作关系，为加强我国 EDA 基础理论的研究，促进产业的发展，以及集成电路设计人才的培养共同努力。此外，华大九天软件公司在实验室设立“华大九天”奖学金，鼓励研究生参与集成电路电子设计自动化的研究，出高水平的研究成果。
华大九天	华南理工大学	集成电路设计联合实验室	华南理工大学与华大九天、慧科集团共同创建集成电路设计联合实验室，开设模拟 IC 全流程设计训练营，构建高校服务地方经济的创新链，使学校的人才培养、科学研究更好地适应集成电路产业发展的需要。
华大九天	东南大学	东南大学-华大九天-NiiCEDA 联合实验室	联合实验室通过应用技术的基础研究、承担纵向科技计划项目、促进企业的发展，形成自主核心技术突破，并实现在低功耗电路设计关键技术方面的突破；建立并培养一支勇于进取、基础扎实的高水平研发团队，为企业开展专业技术和企业管理方面的培训。

资料来源：信达证券研发中心整理

国内集成电路行业薪酬更具吸引力，本土 EDA 企业人才数量快速增长，驱动企业营收正向增长。国内集成电路行业目前存在较大的人才缺口，据《中国集成电路产业人才白皮书（2019-2020 年版）》，按当前产业发展态势及对应人均产值推算，到 2022 年前后全行业人才需求将达到 74.45 万人左右，其中设计业为 27.04 万人，制造业为 26.43 万人，封装测试为 20.98 万人；国内集成电路行业人才的缺乏推动了从业人员薪酬的显著提升，据前程无忧 2021 年 Q1 对中国大陆地区集成电路/半导体各环节头部企业的问卷调查显示，2020 年封测企业半数以上涨薪 20%-25%，制造企业涨薪 10%-15% 的最多，设计企业涨薪 20%-25% 和 30% 以上的都超过了三分之一，显著高于同期 55 个行业的毕业生薪酬。行业薪酬上涨显著带动了本土 EDA 企业人才数量的上涨，据赛迪智库数据显示，本土 EDA 企业人才三年来上涨近三倍，2020 年国内本土 EDA 企业的人才数量在全市场 EDA 企业人才数量中的占比提升至 45%；同时，本土 EDA 企业在人才数量上的扩张反而拉动了员工人均创收，“人才-科研能力-盈利能力”三者呈现良性循环，正向推动本土 EDA 企业的健康发展

图 25: 本土 EDA 企业人才数量快速增长

图 26: 部分本土 EDA 员工人数与人均创收


资料来源: 赛迪智库, 华大九天招股书, 信达证券研发中心

资料来源: wind, 信达证券研发中心

国内 EDA 公司快速追赶, 在核心技术上不断取得突破。近年来国内 EDA 公司快速追赶全球 EDA 巨头, 目前已经基本具备了模拟芯片 EDA 设计工具的全覆盖, 并在数字芯片 EDA 工具上积极取得突破, 涌现了华大九天、概伦电子、芯华章、广立微、芯愿景等一大批优秀的本土 EDA 企业, 在部分领域上已经具备了性能良好的先进产品, 并掌握了一批相应的核心技术。

表 9: 部分国内 EDA 公司技术

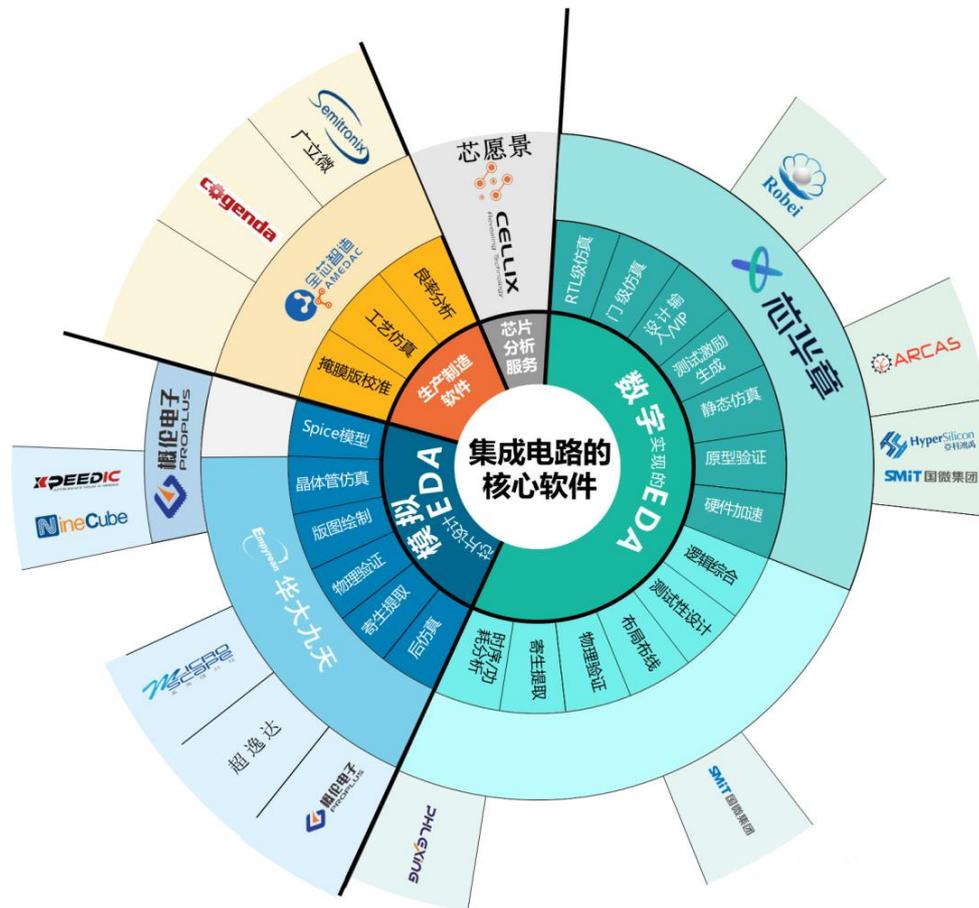
企业名称	先进产品	部分核心技术
华大九天	国内唯一模拟 IC 设计全流程 EDA 系统, 是全球四大模拟设计全流程平台之一, 仿真技术全球领先, 支持 7nm 先进工艺	大规模矩阵智能求解技术; 基于 CPU-GPU 异构系统的电路仿真加速技术
	全球领先的数字 SoC 设计优化 EDA 系统, 支持 7nm 先进工艺, 定义世界级 IC 公司设计标准	基于规则的单元库/IP 质量检查技术; 基于特征值的单元库性能评估技术; 基于时序路径的网表与激励自动生成技术; 基于时序路径的可靠性分析技术; 层次设计数据并行处理技术; 动态时序建图技术; 增量布局技术; 基于索引的版图数据并行读取技术; 版图数据内存镜像技术; 图形索引技术
	全球唯一拥有平板显示设计全流程 EDA 系统, 多项技术全球首创	旋转单元编辑技术; 异形填充技术; 平板显示电路设计自动布局布线技术; 设计规则违例识别和聚类技术; 全面板热电分析技术
	国内领先的晶圆制造专用工具与服务, 版图及掩膜版数据处理软件性能全球第一	器件模型参数拟合技术; 存储器编译器电路和版图拼接技术
概伦电子	制造类产品 BSIMProPlus、MeQLab 功能丰富度优于是德科技同类型产品	高效全面建模及验证平台技术; 一站式基带及射频模型提取及验证技术
	设计类产品 NanoSpice、NanoSpice Pro 相较于国际品牌同类型产品实现性能优化 半导体器件特性测试技术产品 9812DX、FS-Pro 精度及测量范围强于国际品牌	高精度快速并行仿真技术; 分块并行仿真技术; 自适应双解算器仿真技术 低频噪声滤波放大技术; 直流 IV 测试精度和速度提升技术
广立微	电路设计方案的测试准确度和面积利用率等重要指标处于国际领先水平。	可寻址系列电路 IP

资料来源: 招股说明书, 信达证券研发中心整理

四、国内 EDA 企业：加速追赶，初具核心竞争力

国内的 EDA 企业基本能覆盖集成电路核心软件的主流工具，但是尚未出现能够实现 EDA 全流程覆盖的企业。从大类划分来看，EDA 软件主要分为数字 EDA 和模拟 EDA 两种，另外还有生产制造软件、芯片分析服务软件等辅助性软件；进一步地，EDA 软件又能细分为前仿真、后仿真、物理验证、布局布线等多个细分功能和良率分析、工艺仿真、芯片分析等辅助功能。目前，我国本土 EDA 企业已经基本在工具层面上实现了对 EDA 工具的全覆盖，其中华大九天、概伦电子等企业在模拟 EDA 工具方面具备较强且较全面的优势，芯华章等企业在多个数字 EDA 工具上实现了国产化突破，全芯制造、广立微等企业具备芯片生产制造软件，芯愿景等公司则主攻芯片分析服务等领域。

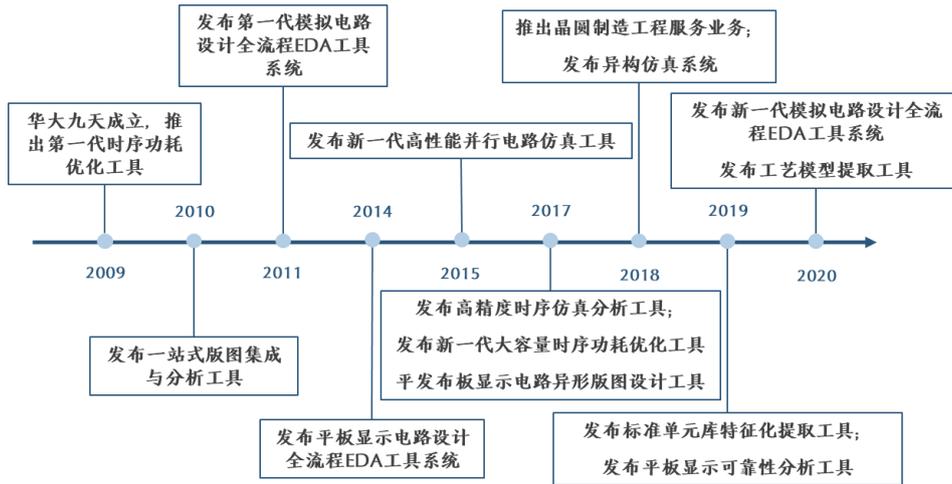
图 27：国产 EDA 在设计流程上的分布



资料来源：半导体行业观察，信达证券研发中心

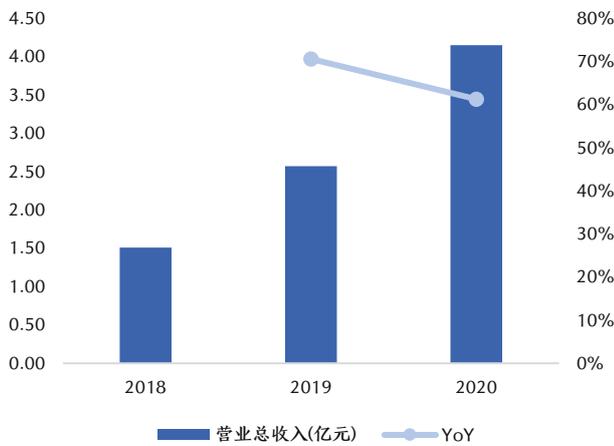
1、华大九天：具备模拟电路设计全流程 EDA 工具

华大九天成立于 2009 年，公司是国内最早从事 EDA 研发的企业之一，多年来始终专注于 EDA 工具软件的开发、销售及相关服务，已经成为国内规模最大、产品线最完整、综合技术实力最强的 EDA 企业之一。公司初始团队部分成员曾参与我国第一款具有自主知识产权的全流程 EDA 系统——“熊猫 ICCAD 系统”的研发工作，具有丰富的研发经验。自成立后，华大九天承担了“十一五”“十二五”核高基 EDA 重大专项，引领国产 EDA 的发展。2011 年，公司研发出第一代模拟电路设计全流程 EDA 工具；2014 年，发布平板显示电路设计全流程 EDA 系统；2018 年，推出晶圆制造工程服务业务，同年获国家集成电路产业投资基金的融资支持，国家级资本助力企业发展，国中创投、中国电子、深创投等机构跟投；2020 年，发布新一代模拟电路设计全流程 EDA 工具系统。

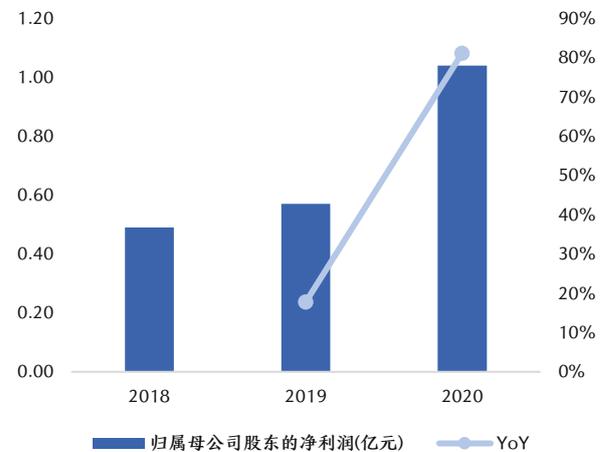
图 28: 华大九天发展历程


资料来源: 公司官网, 信达证券研发中心

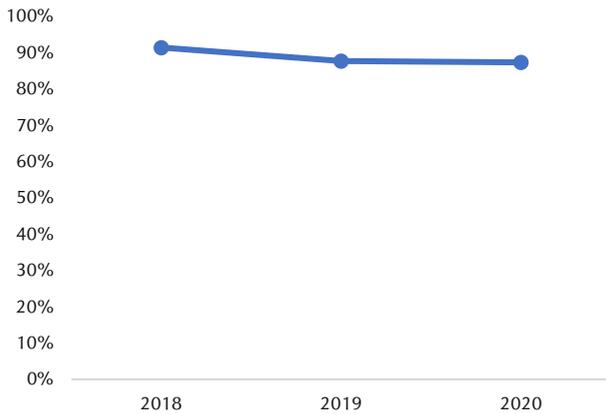
华大九天营收与净利润逐年增长, 毛利率与费用率水平稳定。2018-2020 年间, 华大九天的归母净利润水平伴随营业收入同比增长, 并在 2020 年达到 1.04 亿元/4.15 亿元, 净利润率约为 25%。公司的毛利率与费用率三年间保持稳定, 其中毛利率稳定在 90%左右, 销售费用率与管理费用率小幅波动, 整体来看销售管理费用率向好, 由 2018 年的 41.06%下滑至 2020 年的 31.57%; 另外公司注重研发投入, 积极突破核心技术, 近三年研发费用率为 49.67%/52.53%/44.10%, 为公司长期稳定发展奠定良好的技术基础。

图 29: 华大九天营收及增速


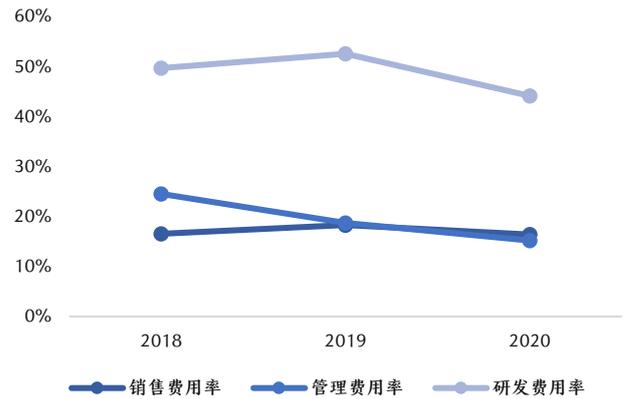
资料来源: wind, 信达证券研发中心

图 30: 华大九天归母净利润及增速


资料来源: wind, 信达证券研发中心

图 31: 华大九天毛利率


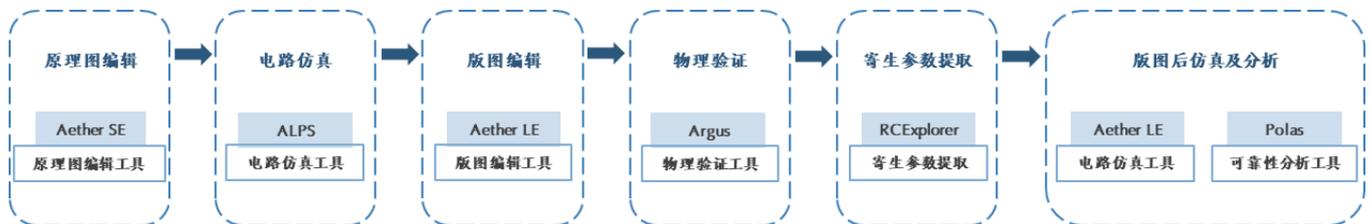
资料来源: wind, 信达证券研发中心

图 32: 华大九天费用率


资料来源: wind, 信达证券研发中心

华大九天的主营业务包含 EDA 软件销售和技术开发服务两个部分, EDA 软件销售即通过授权模式向客户销售自主研发的 EDA 软件, 以合同约定的授权期限向用户收取授权费, 该部分为公司主要收入来源, 2018 年至 2020 年 EDA 软件销售收入均占主营业务收入 84% 以上; 公司技术开发服务是公司围绕相关领域为集成电路设计和制造客户提供技术开发服务。公司的产品覆盖模拟电路设计全流程 EDA 工具系统、数字电路设计 EDA 工具、平板显示电路设计全流程 EDA 工具系统和晶圆制造 EDA 工具等 EDA 工具软件。

1) EDA 模拟电路工具是华大九天的优势业务, 华大九天是我国唯一能够提供模拟电路设计全流程 EDA 工具系统的本土 EDA 企业。该系统包括原理图编辑工具、版图编辑工具、电路仿真工具、物理验证工具、寄生参数提取工具和可靠性分析工具等全套模拟流程, 为用户提供了从电路到版图、从设计到验证的一站式完整解决方案。

图 33: 模拟电路设计全流程 EDA 工具系统


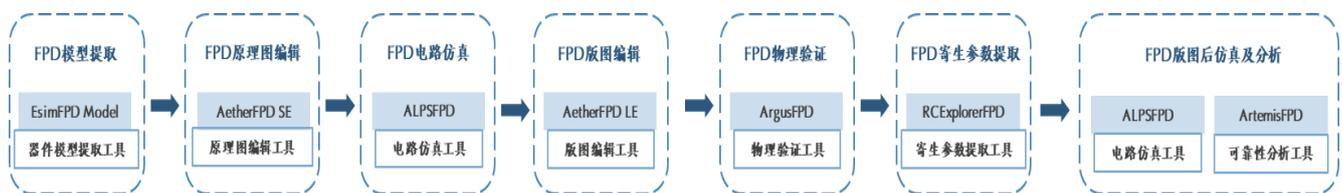
资料来源: 华大九天招股书, 信达证券研发中心整理

2) 在数字电路领域, 华大九天充分考虑用户实际使用场景, 创新研发出多个技术, 在效率提升、数据处理准确性以及应用便利程度上都实现了良好的突破。以时序功耗优化工具 XTop 为例, 该软件采用了公司开发的层次设计数据并行处理技术, 显著提升了超大规模设计时序功耗优化的性能和容量; 采用动态时序建图技术满足时序图更新的效率特殊性要求, 显著缩短了时序优化周期, 提高了数字电路设计的效率; 应用增量布局技术时序应对物理变化的敏感性, 满足了先进工艺复杂设计规则, 保持了时序一致性。

图 34: 华大九天数字 EDA 工具

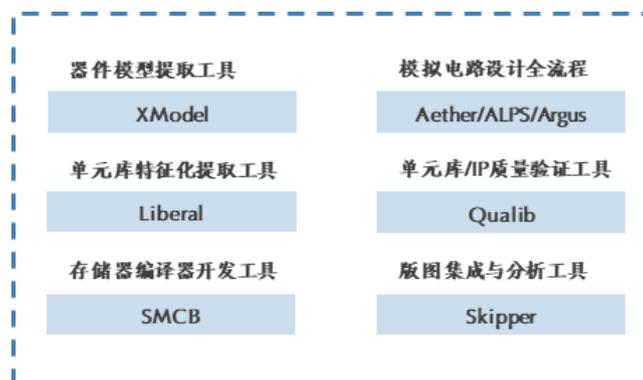

资料来源：华大九天招股书，信达证券研发中心整理

3) 华大九天提供了全球领先的全流程的平板显示电路设计系统。该系统包含平板显示电路设计器件模型提取工具、平板显示电路设计原理图编辑工具、平板显示电路设计版图编辑工具、平板显示电路设计电路仿真工具、平板显示电路设计物理验证工具、平板显示电路设计寄生参数提取工具和平板显示电路设计可靠性分析工具等。以上工具被集成在统一的设计平台中，为设计师提供了一套从原理图到版图，从设计到验证的一站式解决方案，为提高平板显示电路设计效率，保证设计质量提供了有力的工具支撑。

图 35: 华大九天平板显示电路设计全流程 EDA 工具


资料来源：华大九天招股书，信达证券研发中心整理

4) 目前公司晶圆制造 EDA 工具已得到用户的广泛认可。公司针对晶圆制造厂的工艺开发和 IP 设计需求，提供了相关的晶圆制造 EDA 工具，包括器件模型提取工具、存储器编译器开发工具、单元库特征化提取工具、单元库/IP 质量验证工具、版图集成与分析工具以及模拟电路设计全流程 EDA 工具等，为晶圆制造厂提供了重要的技术支持。

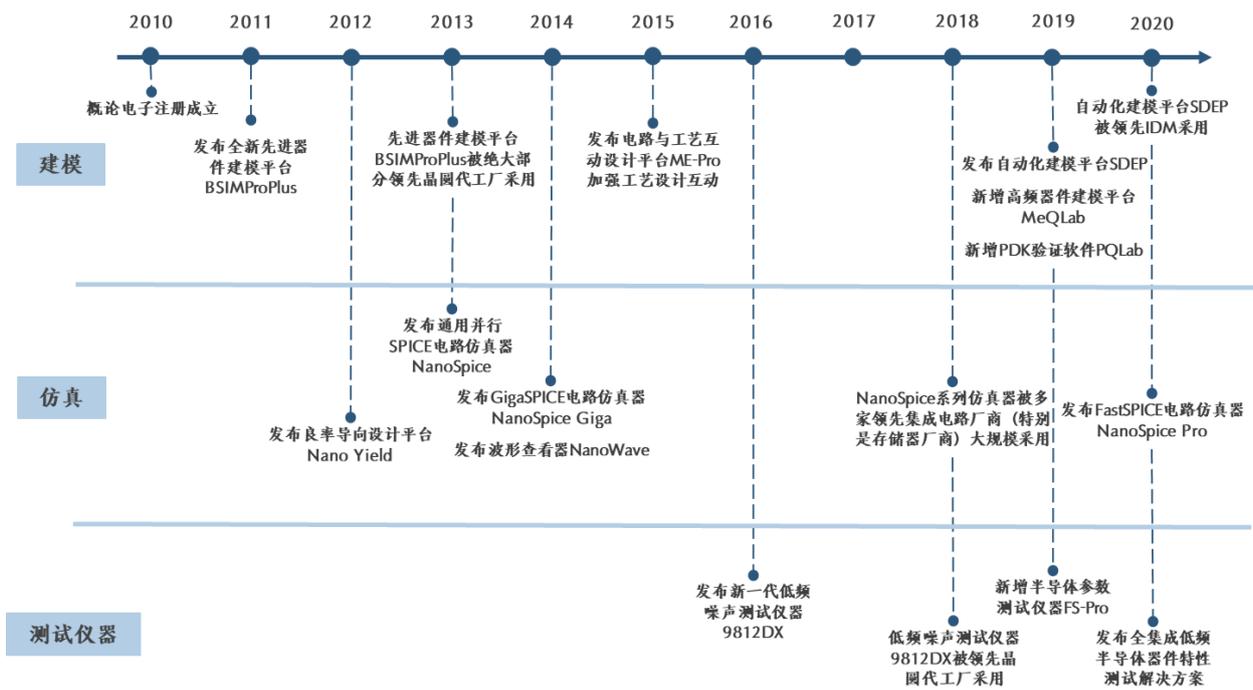
图 36: 华大九天晶圆制造 EDA 工具


资料来源：华大九天招股书，信达证券研发中心整理

2、概伦电子：存储芯片 EDA 设计方面优势显著

2010年，概伦电子注册成立，自成立以来专注于器件建模和电路仿真领域的研发创新，目前已经在该两大方向的 IC 制造和设计环节具备国际市场竞争能力，公司支持 7nm/5nm/3nm 等先进工艺节点和 FinFET、FD-SOI 等各类半导体工艺路线。2012年，概伦电子推出业界首个全集成良率导向设计 EDA 工具 NanoYield。2013年，发布新一代并行电路仿真器产品 NanoSpice，被首个商业客户豪威科技（OVT）采用。2015年，推出业界首个器件和电路互动分析平台 ME-Pro，加强工艺和设计的互动。2016年，推出 9812DX，一骑绝尘地树立新一代低频噪声测试黄金标准。2019年，NanoSpice 系列仿真器被多家国内领先的 IDM 和设计企业全面采用，获得百万美元级订单，同年，收购博达微，打造业界领先的从数据到仿真的完整 EDA 解决方案，并实现连续三年销售历史新高。2020年，完成数亿元的 A 轮融资，英特尔资本与兴橙资本共同领投。2021年，申请科创板上市。

图 37：概伦电子发展历程



资料来源：概伦电子招股书，信达证券研发中心整理

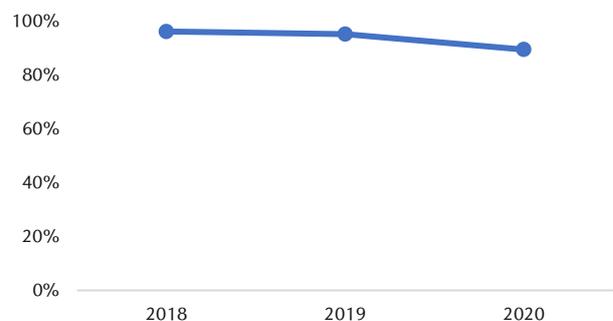
概伦电子营收规模快速增长，毛利率水平稳健。概伦电子的收入规模由 2018 年的 0.52 亿元增长至 2020 年的 1.37 亿元，年复合增速达 62.31%，其中 2019 年受管理费用与研发费用拖累，公司归母净利润下落明显，2020 年恢复正常。总体来看，概伦电子依旧具备较强的盈利能力，公司产品毛利率目前稳定在 90% 左右的健康水平，也是公司核心产品具备较高科技壁垒的证明。

图 38：概伦电子营收及归母净利润



资料来源：wind，信达证券研发中心

图 39：概伦电子毛利率

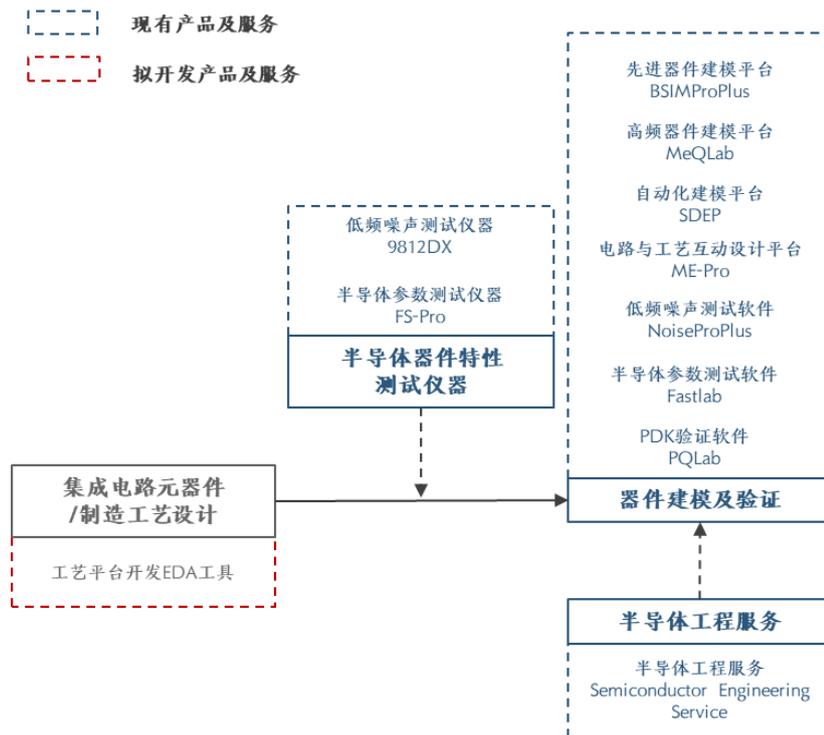


资料来源：wind，信达证券研发中心

概伦电子的主要产品包含制造类 EDA 工具、设计类 EDA 工具、半导体器件测试仪器以及半导体工程服务四个部分。各项产品及服务共同为客户提供覆盖数据测试、建模建库、电路仿真及验证、可靠性和良率分析、电路优化等流程的 EDA 解决方案：

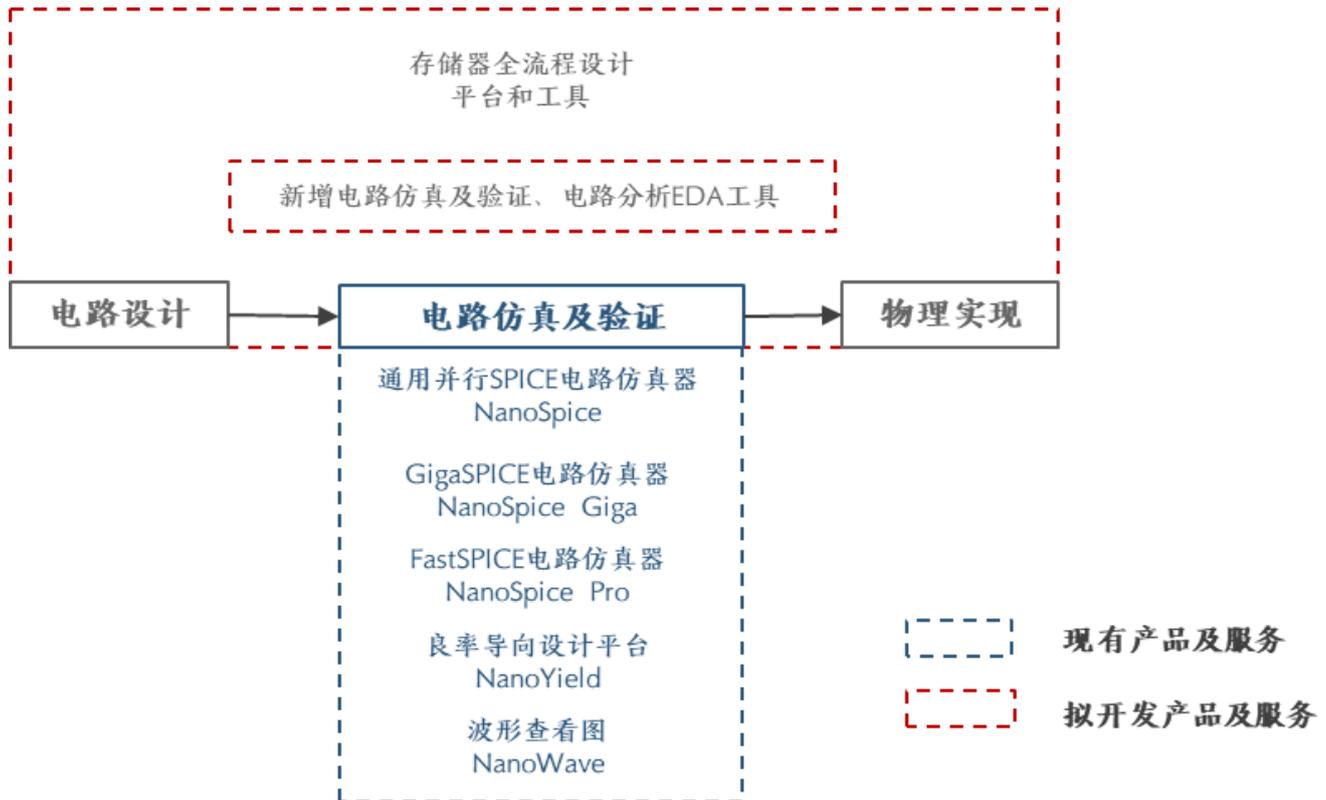
1) 制造类 EDA 工具主要用于晶圆厂工艺平台的器件模型建模, 为集成电路设计阶段提供工艺平台的关键信息, 目前该部分已经在全球范围内取得稳固的市场地位。作为该阶段电路仿真及验证的基础作为国际知名的 EDA 工具, 概伦电子的制造类 EDA 得到全球领先晶圆厂的广泛使用, 包括台积电、三星电子、联电、格芯、中芯国际等全球前十大晶圆代工厂中的九家。

图 40: 概伦电子制造类 EDA 主要产品及服务



资料来源: 概伦电子招股书, 信达证券研发中心整理

2) 设计类 EDA 工具主要用于设计阶段的电路仿真与验证, 是整个集成电路设计流程从前端设计到后端验证的核心 EDA 工具, 已在全球存储器芯片领域取得较强的竞争优势。目前公司部分实现了对全球领先企业的替代, 得到全球领先存储器芯片厂商的广泛使用, 包括三星电子、SK 海力士、美光科技等全球规模前三的存储器厂商。

图 41: 概伦电子设计类 EDA 主要产品及服务


资料来源: 概伦电子招股书, 信达证券研发中心整理

3) 公司的半导体器件特性测试仪器是测量半导体器件各类特性的工具, 为制造类 EDA 工具提供高效精准的数据支撑。公司的半导体器件特性测试仪器已获得全球领先集成电路制造与设计厂商、知名大学及专业研究机构等广泛采用, 能够满足晶圆厂和集成电路设计企业对测试数据多维度和高精度的要求。公司的半导体工程服务为客户提供专业的建模和测试等服务, 帮助客户更加快速、有效地使用公司产品, 增加客户粘性, 是公司与国际领先集成电路企业互动的重要窗口。公司半导体工程服务所提供的模型在质量、精度、可靠性、交付周期等方面具备较强的市场认可度, 客户包括台积电、三星电子、联电、中芯国际等全球前五大晶圆厂中的四家, 并覆盖了多家国内外知名的集成电路企业。

公司管理层团队优秀, 多数创始核心团队人员有在 EDA 国际龙头品牌铿腾电子工作的经验。公司的创始人兼董事长刘志宏是香港大学电子电气工程博士, 拥有近 30 年的行业经验, 曾担任铿腾电子的全球副总裁一职。其他核心管理团队均为硕博学历, 并且拥有在 EDA 行业多拥有超 20 年的研发、管理及市场经验。核心技术人员马玉涛曾任铿腾电子高级工程师、高级经理; 方君曾任铿腾电子北京研发中心软件工程师; 石凯曾任北京普拉普斯电子技术有限公司高级器件工程师、高级研发经理、软件架构师。

表 10: 概伦电子管理层专业素质过硬

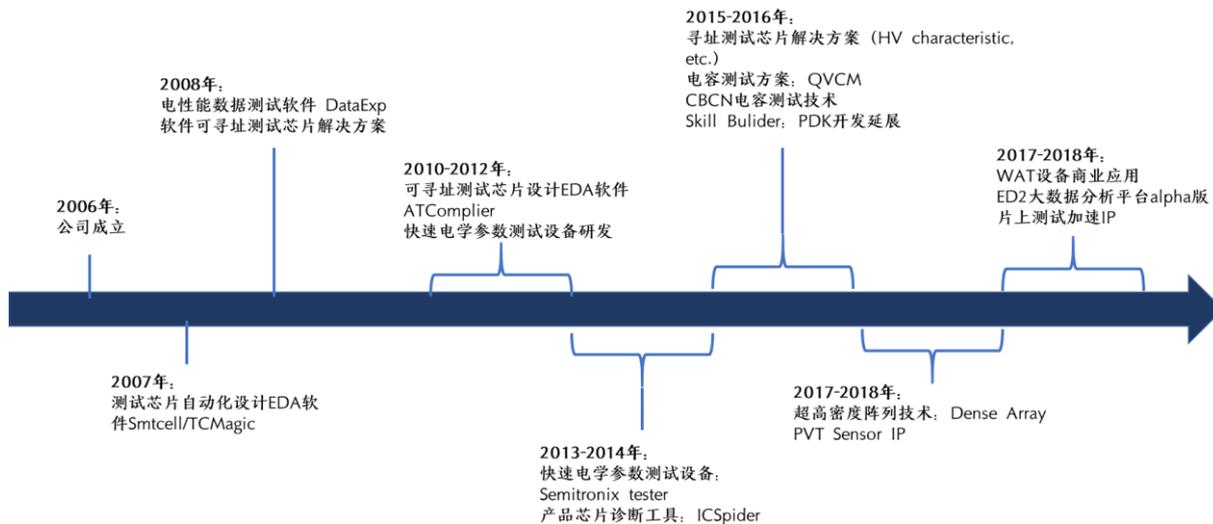
姓名	职务	学历	出生年份
刘志宏	董事长, 董事	博士	1956
陈晓飞	董事	硕士	1976
杨廉峰	总裁, 首席运营官, 董事	博士	1977
梅晓东	副总裁	硕士	1970
唐伟	副总裁, 首席财务官, 董事会秘书	硕士	1975
李严峰	执行副总裁	硕士	1974
徐懿	执行副总裁, 董事	硕士	1965

资料来源: Wind, 信达证券研发中心

3、广立微：拥有领先的集成电路 EDA 软件与晶圆级电性测试设备

杭州广立微电子股份有限公司成立于 2003 年 8 月，是国内领先的集成电路 EDA 软件与晶圆级电性测试设备供应商。公司专注于芯片成品率提升和电性测试快速监控技术，是国内外多家大型集成电路制造与设计企业的重要合作伙伴。公司利用高效测试芯片自动设计、高速电学测试和智能数据分析的全流程平台与技术方法，为集成电路制造与设计企业实现芯片性能、成品率、稳定性的提升并加快产品上市速度。

图 42：广立微公司发展历程



资料来源：广立微公司公告，信达证券研发中心整理

广立微营收规模逐年扩张，净利润增长显著，公司费用率在经历初创期之后趋稳。广立微近三年营业总收入分别为 0.31 亿元/0.66 亿元/1.24 亿元，年复合增长率高达 122.71%；公司的归母净利润也从 2019 年开始由负转正，并于 2020 年达到 0.50 亿元的规模。伴随着广立微从初创公司的一路成长，毛利率水平趋稳，公司的管理、销售和研发费用率小幅下滑并稳定在正常水平，伴随着后续公司经营情况转好与规模不断发展壮大，公司财务质量将持续提升。

图 43：广立微营收及增速

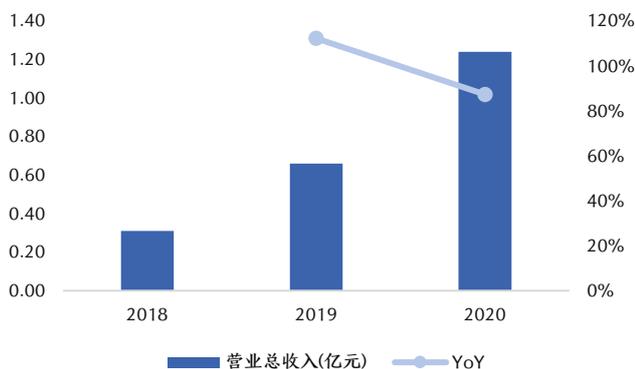
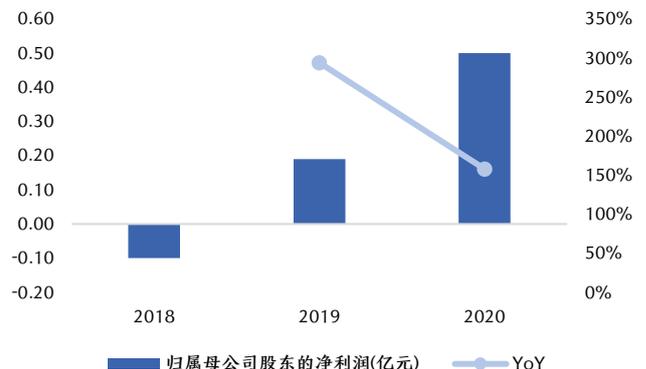


图 44：广立微归母净利润及增速

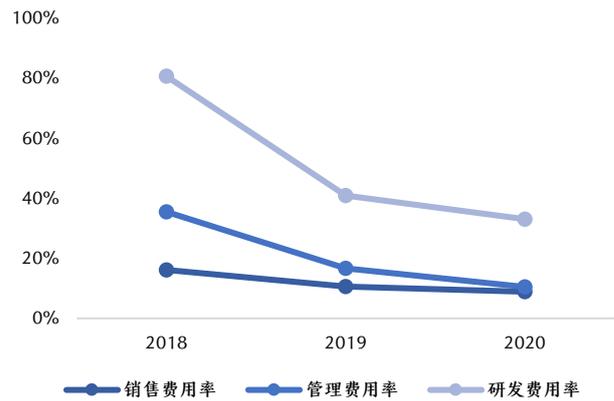


资料来源：wind，信达证券研发中心

资料来源：wind，信达证券研发中心

图 45: 广立微毛利率


资料来源: wind, 信达证券研发中心

图 46: 广立微费用率


资料来源: wind, 信达证券研发中心

公司围绕半导体性能分析与良率提升, 主要提供基于测试芯片和数据分析的制造类 EDA 软件、晶圆级电性测试设备以及与半导体成品率提升相关技术服务。EDA 软件与 IP 方面, 广立微的主要产品包括 SmtCell、TCMagic、ATCompiler、DataExp 与可寻址 IP。晶圆级电性测试设备方面, 广立微推出了快速 WAT 测试设备, 为客户提供持续准确和高速的解决方案。技术服务方面, 广立微根据客户的工艺节点与工艺类型, 采用公司的 EDA 软件、晶圆级电性测试设备硬件, 为客户提供定制化的成品率提升服务。

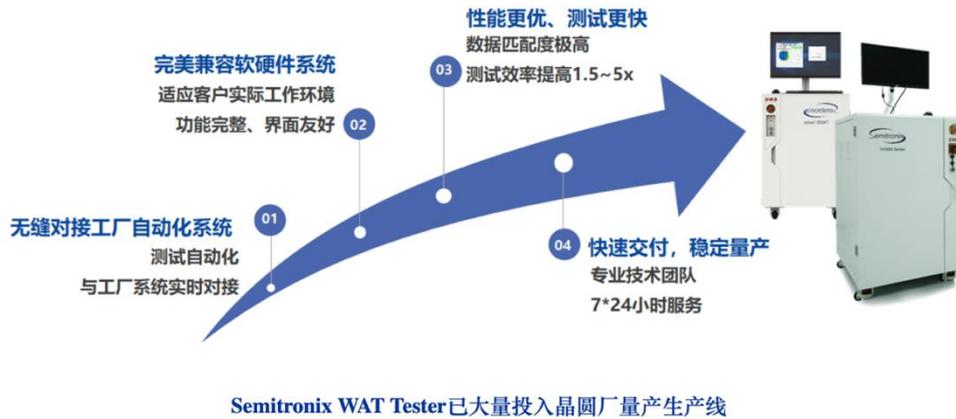
SmtCell 是公司主要 EDA 软件, 作为一款功能强大的参数化单元创建工具, 与非参数化单元相比, 可以根据不同的实例具体设定单元内多边形的参数值, 且不需要通过编写代码生成 PCell, 因其方便、快捷、灵活的特性在电路设计中被广泛使用。SmtCell 可以为芯片制造公司、设计公司及 IDMs 创建多种类型的参数化单元, 用户可以在创建 SPICE/reliability/RF/process/yield 相关的测试结构时获得至少 10 倍的效率增益。

表 11: Smtcell 主要特点和优点

主要特点	主要优点
友好的图形用户界面	无需第三方软件
灵活的参数化单元创建功能: 属性、约束条件、运算、TCL 脚本	极大降低创建版图所需劳动力
支持至少 20 种运算	轻松实现无误差设计
TCL 编程能力	方便快捷地从一个技术节点转换到另一个节点
层次式、小数据量的参数化单元和实例	
内嵌错误检查功能	
支持 Linux 和 Windows OS 环境	

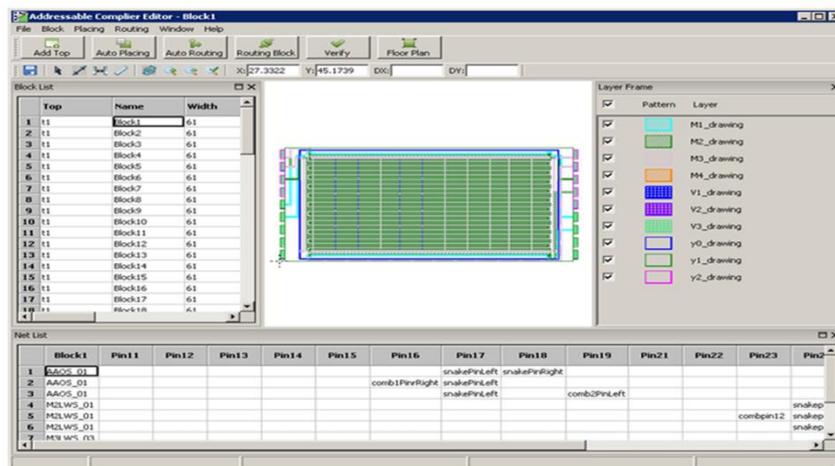
资料来源: 广立微招股说明书, 信达证券研发中心

针对各种器件/结构的电学参数测试, 广立微自主研发了晶圆允收测试机 (WAT Tester), 以提供先进的电学测量解决方案。WAT Tester 有能力为用户提供持续准确和高速的测试解决方案, 用于快速工艺监控; 特别在与广立微可寻址测试芯片解决方案结合使用时, 能够显著减少先进集成电路设计和晶圆制造过程中的电学测量测试时间。WAT Tester 包括标准型号测试机 (T4000) 和并行测试机 (T4100S) 两种型号以满足客户对精度和速度的要求。广立微与客户深度合作, 在自动化应用、软硬件配置、机台能力等方面持续提升产品竞争力。

图 47: WAT Tester 用途展示


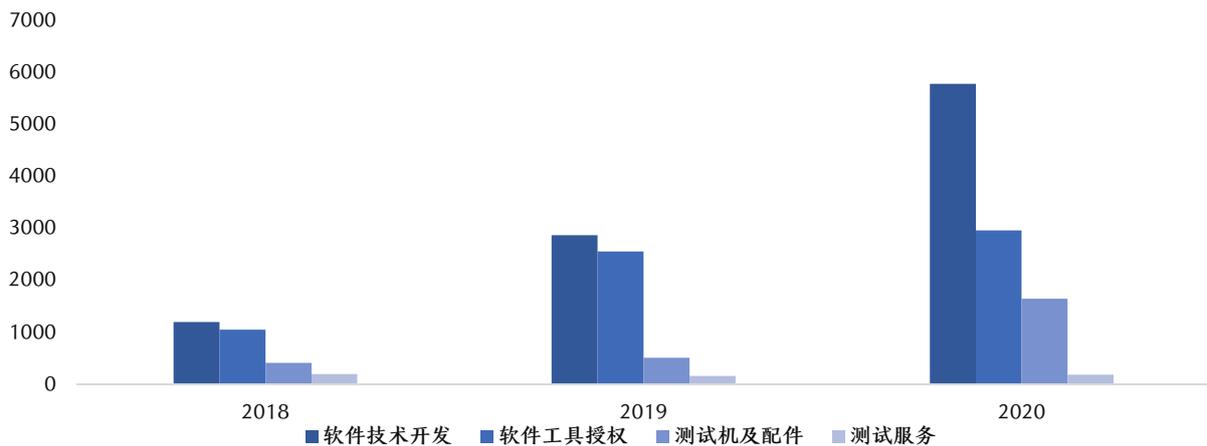
资料来源：广立微公司招股说明书，信达证券研发中心整理

在技术与服务方面，**ATCompiler** 为可寻址测试芯片设计平台。该平台提供了一个完整的大型可寻址及划片槽内可寻址测试芯片的设计解决方案，功能包括版图自动化生成、全芯片仿真和验证、同一平台下的设计文档和测试程序的自动生成等。可寻址测试芯片包括了可寻址 IP 和测试结构。除此之外，**Dense Array** 是广立微自主创新的超高密度测试芯片设计与芯片快速测试技术，并已经在世界领先的集成电路企业客户中得到了成功流片验证。该技术单个测试芯片上可容纳上百万个 DUTs，每秒可测试数万个 DUTs，能够为先进半导体工艺提供工艺研发和良率提升提供整套的测试芯片解决方案。特别适用于先进半导体技术（如 HKMG 和 FinFET 元件）的研发和生产。

图 48: ATComplier 的 GUI


资料来源：广立微公司招股说明书，信达证券研发中心整理

作为行业细分龙头，广立微研发优势显著。根据使用 EDA 应用环节的不同，可将 EDA 软件大致分为设计类 EDA 与制造类 EDA。前者主要用于芯片设计阶段，包括功能设计、布局布线、物理验证及仿真模拟等功能，而后者则主要用于芯片制造阶段。全球三大 EDA 厂商 Synopsys、Cadence、Mentor Graphics 均属于设计类 EDA，占我国 EDA 市场约 6% 份额的华大九天也属于此。与之不同的是广立微的 EDA 软件相关业务，其软件产品属于制造类 EDA，主要聚焦于芯片成产率提升，当产品芯片设计版图完成后，根据对产品芯片的分析，完成测试芯片的测试结构、外围电路设计，生成测试芯片设计版图。目前广立微的测试机及配件业务提供的测试机主要用于 WAT 测试阶段，是国内少数具备 WAT 电性测试机供应能力的企业。经过多年的研发积累，2020 年广立微的 WAT 高速电性测试设备实现了量产，并且获得了华虹集团、粤芯半导体等国内晶圆厂商的认可，打破了国外企业的垄断局面，达成了在 WAT 测试设备领域的国产替代。

图 49: 2018-2020 年公司分产品毛利率


资料来源: 广立微招股说明书, 信达证券研发中心整理

4、思尔芯: 聚焦数字芯片前端验证环节

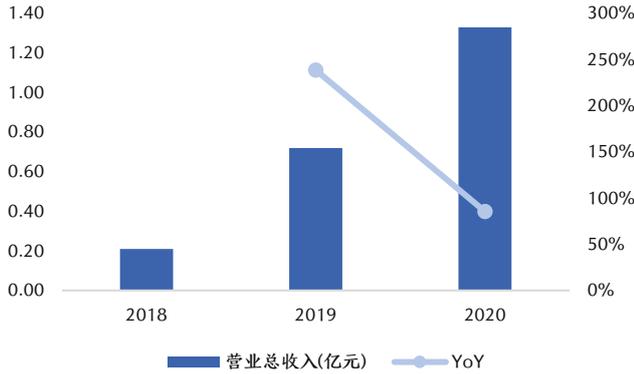
国微思尔芯成立于 2004 年, 是由国微集团控股、关注数字芯片前端验证的国内知名 EDA 解决方案提供商。公司聚焦数字芯片前端验证, 同时为国内外客户提供原型验证系统和验证云服务解决方案, 服务于人工智能、超级计算、图像处理、数据存储、信号处理等数字电路设计功能的实现。国微思尔芯是国内少数具备数字集成电路 EDA 工具能力的企业之一, 填补了我国数字芯片设计环节缺少自主可控原型验证工具的空白。根据 CSIA 统计, 2020 年公司在我国原型验证市场中销售额排名第一, 在世界原型验证市场中销售额排名第二。

表 12: 国微思尔芯发展历程

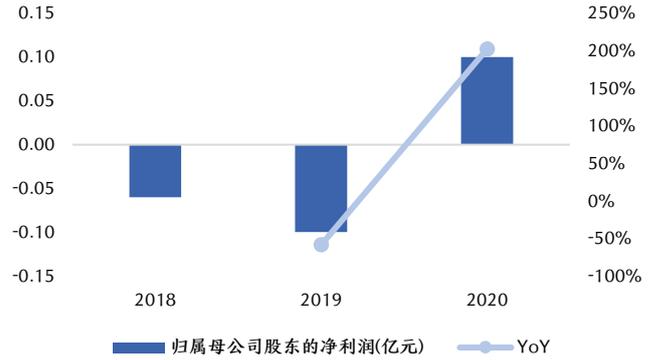
序号	年份	事件
1	2004	在上海创立, 是国内最早研发、生产和销售原型验证产品的企业之一。
2	2005	完成第一款原型验证产品 Virtex-2 Pro IP Porter 的研发并推向市场。
3	2006	推出第二代产品 Virtex-4 LX200 逻辑模块, 可实现约 400 万门 ASIC 逻辑规模的设计。
4	2008	推出第三代产品 Virtex-5 LX330 逻辑模块, 支持 600 万门的逻辑设计。
5	2010	推出第四代产品 Stratix-4 & Virtex-6 逻辑模块。
6	2012	推出第五代产品 Virtex-7 2000T 原型验证平台, 单系统设计规模能大幅提升; 强化 EDA 软件能力, 如复杂设计的自动分割能力和系统远程实时控制能力, 便利客户的持续使用。
7	2015	发布 Virtex UltraScale 440 和 Kintex UltraScale 115 原型验证产品。
8	2017	实现产品自主创新升级, 在逻辑模块产品线的基础上开发了高度模块化的逻辑系统。
9	2019	全球首发业内领先逻辑规模的 10M 逻辑系统, 单系统支持 8,000 万门左右的设计, 极大地满足了国内外客户的功能验证需求。
10	2020 初	推出验证云系统, 因具备高可扩展性、快速部署、远程访问、易于维护等优势, 获得业内领先客户认可。
11	2020 末	成功研发逻辑矩阵产品, 单机柜支持部署 64 颗 FPGA, 支持多层次组网, 逻辑验证能力拓展至数十亿门。

资料来源: 思尔芯招股说明书, 信达证券研发中心

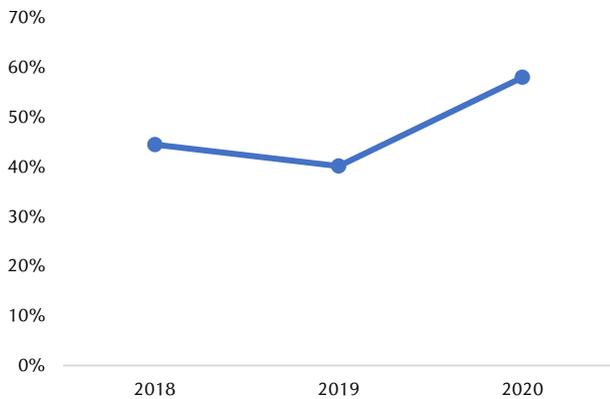
思尔芯归母净利润由负转正, 公司毛利率小幅提升。思尔芯的收入规模由 2018 年的 0.21 亿元提升至 2020 年的 1.33 亿元, 年复合增长高达 190.23%, 同时归母净利润也在 2020 年由负转正, 实现了 0.10 亿元的归母净利润。思尔芯的产品与其他 EDA 厂商存在一定差别, 公司部分产品采用了软硬一体的方式, 所以毛利率水平较纯软公司而言略低; 思尔芯的毛利率伴随着公司规模扩大而小幅提升, 2020 年毛利率约 58% 左右, 同时公司近三年研发费用率小幅下降, 销售与管理费用率基本不变。

图 50: 思尔芯营收及增速


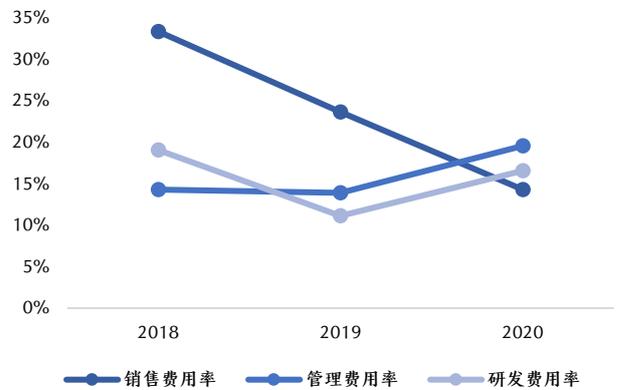
资料来源: wind, 信达证券研发中心

图 51: 思尔芯归母净利润及增速


资料来源: wind, 信达证券研发中心

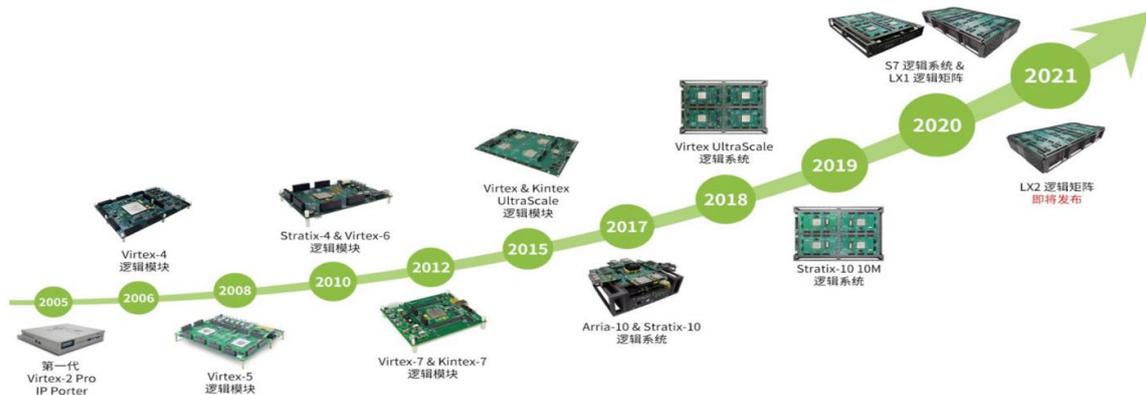
图 52: 思尔芯毛利率


资料来源: wind, 信达证券研发中心

图 53: 思尔芯费用率


资料来源: wind, 信达证券研发中心

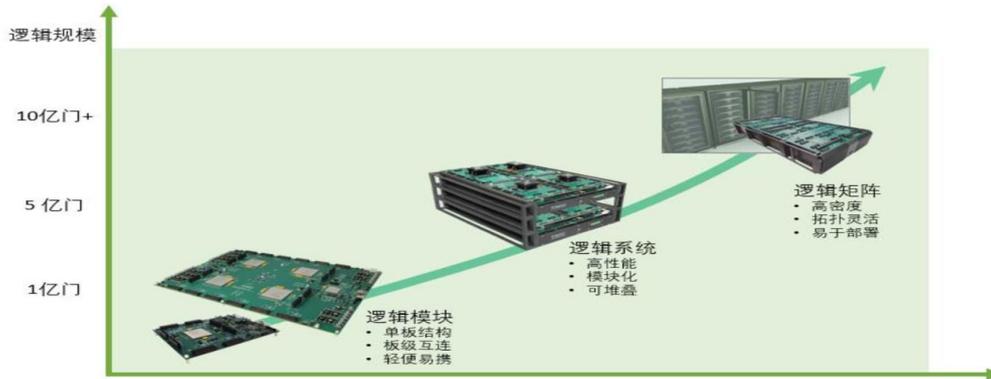
目前公司主营业务可分为原型验证系统和验证云服务两大业务板块。验证系统产品线主要可分为：面向中小规模设计的逻辑模块、面向中大规模设计的逻辑系统以及面向超大规模设计的逻辑矩阵三大系列。公司提供多种形态的原型验证系统组合，满足客户不同芯片设计场景的多样化需求，并自主研发一系列原型验证软件，协助用户更智能和自动化地运行整个编译流程。验证云服务主要用于超大规模数字集成电路前端功能验证，包括架构探索、算法验证、IP/模块级验证、芯片级验证、固件验证、软件验证以及兼容性测试等。通过将原型验证算力资源的云端虚拟化，公司的验证云服务可实现算力管理、集群管理、多用户管理、虚拟机/容器资源管理等一系列功能。

图 54: 国微思尔芯原型验证产品矩阵


资料来源: 思尔芯招股说明书, 信达证券研发中心整理

在原型验证领域，公司具备市场和技术双领先优势。公司的可扩展重构硬件架构、自动设计分割、深度调试、自动原型编译、协同仿真等多项核心技术达到国际先进水平，在 EDA 领域的技术实力受到了业界的广泛认可，并参与了多项国家与地方重大科研项目及我国 EDA 团体标准的制定。公司通过业内领先的系统性能与全球化的服务网络为客户提供优质的原型验证解决方案，与索尼、英特尔、三星、瑞昱、紫光、豪威、君正、寒武纪等超过 500 家国内外企业建立了良好的合作关系。公司原型验证解决方案已被 2020 年世界前十五大半导体企业中的六家、我国前十大集成电路设计企业中的七家公司所使用。

图 55: 国微思尔芯原型验证产品矩阵



资料来源：思尔芯招股说明书，信达证券研发中心整理

从公司原型验证产品矩阵来看，**逻辑模块**是公司最早推出的原型验证产品，采用轻便型的单板结构和外设接口，通过支持高速 I/O 连接器互连的设计理念实现工具的高可扩展性和高可重用性，同时配备专属处理器和自主研发的控制算法实现高效的运行管理。**逻辑系统**是在逻辑模块基础上的技术创新与架构升级，采用高度模块化及一体化的设计，在传输性能等方面实现了提升。**逻辑矩阵**是公司结合多年原型验证产品经验和超大规模芯片设计与验证的发展趋势，于 2020 年末成功研发的高密原型验证产品，能够提供更高的单系统逻辑密度、更高的通信带宽、更灵活的组网拓扑能力，进一步缩短客户芯片设计软硬件验证所需要的周期，并可加速 IP 开发、SoC 全系统验证开发和软件开发等。

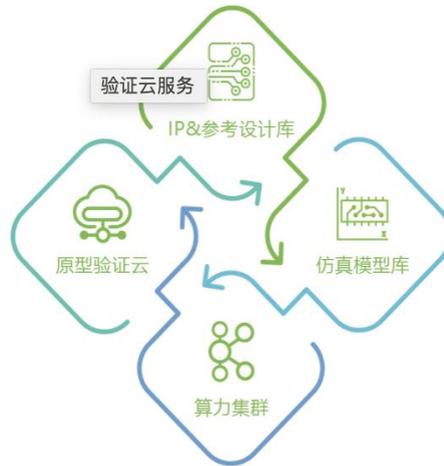
表 13: 国微思尔芯逻辑模块、逻辑系统与逻辑矩阵产品线

产品类别	产品系列	产品名称	产品说明
逻辑模块	VU 系列	芯神瞳	芯神瞳 VU440 逻辑模块配置一颗/两颗/四颗 FPGA，单系统可提供 3,000 万至 1.2 亿门的逻辑验证能力。
		VU440 逻辑模块	
	KU 系列	芯神瞳 KU115 逻辑模块	芯神瞳 KU115 逻辑模块配置一颗/四颗 FPGA，单系统可提供 760 万至 3,000 万门的逻辑验证能力。
	K7 系列	芯神瞳 K7 逻辑模块	芯神瞳 K7 逻辑模块配置一颗 FPGA，单系统可提供 200 万至 300 万门的逻辑验证能力。
逻辑系统	VU 系列	芯神瞳 VU440 逻辑系统	芯神瞳 VU440 逻辑系统配置一颗/两颗/四颗 FPGA，单系统可提供 3,000 万至 1.2 亿门的逻辑验证能力。
	S7 系列	芯神瞳 VU19P 逻辑系统	芯神瞳 VU19P 逻辑系统配置一颗/两颗/四颗 FPGA，单系统可提供约 5,000 万至 2 亿门的逻辑验证能力。
	10M 系列	芯神瞳 10M 逻辑系统	芯神瞳 10M 逻辑系统配置一颗/四颗 FPGA，单系统可提供约 8,000 万至 3.2 亿门的逻辑验证能力。
	I10 系列	芯神瞳 I10 逻辑系统	芯神瞳 I10 逻辑系统配置一颗 FPGA，单系统可提供约 980 万门至 4,380 万门的逻辑验证能力。
逻辑矩阵	LX 系列	芯神瞳 逻辑矩阵 LX1	芯神瞳逻辑矩阵 LX1 拥有业内领先的系统容量，单机柜可提供约 20 亿门的逻辑验证能力。

资料来源：国微思尔芯招股书，信达证券研发中心

国微思尔芯是行业内首批实现原型验证解决方案云端虚拟化的企业之一，并率先向业内领先的芯片设计公司提供服务。公司提供的验证云服务主要用于超大规模数字集成电路前端功能验证，包括架构探索、算法验证、IP/模块级验证、芯片级验证、固件验证、软件验证以及兼容性测试等。通过将原型验证算力资源的云端虚拟化，验证云服务可实现算力管理、集群管理、多用户管理、虚拟机/容器资源管理等一系列功能。当前超大规模数字集成电路在开发验证周期中的不同阶段，对验证算力需求分布不均衡。验证云服务极大地满足了验证流程中弹性的算力需求。

图 56：国微思尔芯验证云服务模式

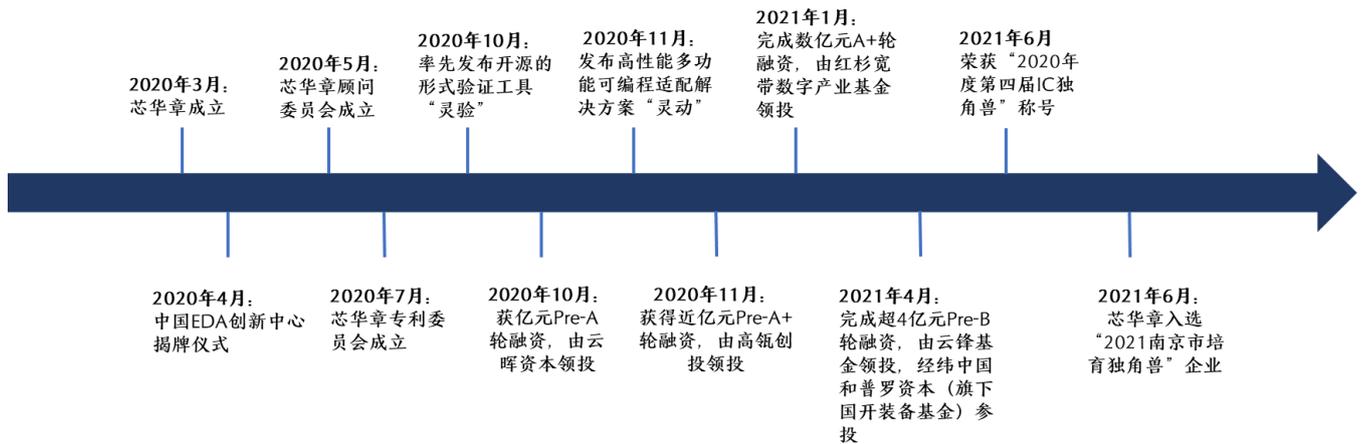


资料来源：公司公告，信达证券研发中心整理

目前公司原型验证系统的生产模式为先通过委外加工进行 PCB 贴片，后由公司完成组装、烧录与测试。公司验证云服务实现了原型验证解决方案云端虚拟化，可通过云服务的方式满足业内领先芯片设计企业的原型验证需求。公司制定了包括立项申请、项目评审、设计实现与测试、新产品导入(NPI)、项目结项和量产六个阶段的研发流程控制文件《项目管理制度》，具备完善的研发模式。公司搭建了完整的采购模式，建立了标准化的采购制度，实行了规范的采购控制程序。公司主要根据生产计划制定相应采购计划，该计划经内部审批后下达给供应商订货进行采购。在销售模式方面，公司采取直销与经销相结合的模式，制定了《营销业务管理规定》和《经销商通用规则》等制度。公司产品的终端客户数量众多，部分销售(主要为海外销售)需要通过经销商提供销售渠道以及日常的客户维护工作。公司主要经销商多为行业内知名经销商，具有较强的营销管理能力。同时公司会凭借自身的技术水平和团队为终端客户提供一定的技术支持服务，有效地满足终端客户的需求。

5、芯华章：积极突破数字电路设计 EDA 工具

芯华章是一家 EDA 智能工业软件级系统研发商，致力于集成电路电子自动化领域，可为半导体行业用户提供芯片设计、EDA 智能软件和系统等产品。公司由一支 EDA（电子设计自动化）创始团队于 2020 年 3 月创立，助力集成电路、5G、人工智能、云服务和超级计算等多领域的发展，为合作提供自主研发、安全可靠解决方案与服务。2020 年 8 月至 2021 年 1 月，芯华章已完成 5 轮融资，公司累计融资金额超 12 亿元。

图 57: 芯华章发展历程


资料来源: 芯华章公司官网, 信达证券研发中心整理

芯华章以智能调试、智能编译、智能验证座舱为三大基座, 提供全面覆盖数字芯片验证需求的五大产品线, 包括: 硬件仿真系统、FPGA 原型验证系统、智能验证、形式验证以及逻辑仿真, 为合作伙伴提供开创性地芯片验证解决方案与专家级顾问服务。目前, 芯华章提供高性能多功能可编程适配解决方案和全新仿真技术产品。同时, 芯华章致力于面向未来的 EDA2.0 软件和智能化电子设计平台的研究与开发, 以技术革新加速芯片创新效率, 让芯片设计更简单、更普惠。公司提供验证技术专家级顾问服务, 为芯片设计提供全面的验证解决方案。同时提供验证云服务和汽车服务, 助力汽车芯片功能安全设计、验证和实现。以汽车芯片功能安全设计、验证和实现为切入点, 为汽车芯片客户提供芯片建模、验证、功能安全设计、车规芯片可测试性设计 (DFT) 方案等咨询和服务。

表 14: 芯华章产品与解决方案

主要产品	解决方案
高性能多功能可编程适配解决方案	验证技术专家级顾问服务
全新仿真技术	验证云服务
	汽车服务

资料来源: 芯华章公司官网, 信达证券研发中心

芯华章主攻 EDA 数字验证技术。芯片设计的各阶段, 需要不同的验证方法和多种验证工具相互配合, 解决不同的问题。芯华章首先打造决定芯片设计成败的验证软件和系统, 从底层架构创新出发, 结合云计算等最新技术, 研发出自主研发、安全可靠的验证软件和系统, 解决现今验证技术在验证效率、工具扩展性、设计可适配性、低功耗、功能安全等多项挑战。芯华章的核心团队来自国际一流的 EDA 公司, 深度参与了国内几乎所有里程碑芯片的设计工作, 更有多位在行业专注验证 EDA 研发的顶尖人才加入, 公司有信心在技术密集度最高的数字芯片 EDA 验证领域完成技术突破, 弥补国内该项技术的空白。随着 5G、人工智能和高性价比计算等应用场景的增加, 软硬件协同开发需求的激增, 验证硬件解决方案的需求在提高, 芯华章科技采用领先的验证解决方案与原型设计, 提供基于云的优质服务, 能够帮助客户在设计复杂的系统级芯片时提高验证效率并降低芯片验证成本。

目前公司主要产品和解决方案架构如下:

1) EDA 验证产品与系统。在 EDA 验证产品布局方面, 芯华章将推出的 EDA 验证产品包括硬件仿真器(Hardware Emulation System)、FPGA 原型验证(FPGA-based Prototyping)、智能验证(Intelligent Verification)、形式验证(Formal Verification)和逻辑仿真(Logic Simulation)。

表 15: 传统仿真技术和芯华章全新仿真技术对比

传统仿真技术	全新仿真技术
基于传统架构：不具备拓展性，仅支持单一处理器架构	全新的架构体系：灵活的可移植性、友好的软硬件生态支持
积重沉积的数据结构，低效的算法	有助于支持不同的处理器计算架构，如 x86, ARM, RISC-V, MIPS, GPGPU 等
传统瀑布式开发模式，开发周期长	全新的数据结构和优化的算法：通过算法，优化验证算力分配，进一步提高芯片设计验证效率
	符合 IEEE1800 标准
	事件驱动型，精度与目前商用数字仿真器一致
	基于 LLVM 的原生编译后端

资料来源：芯华章公司官网，信达证券研发中心

2) 验证规划与策略。芯华章采用结构完备的验证流程，根据多个项目与应用领域获得的经验，运用行业内的最佳设计实践和设计方法，基于客户公司所具备的验证技术，定义一个全面的验证策略，包含：

表 16: 芯华章验证策略内容

序号	验证策略
1	设计规范审查：确定待验证的关键特征/模块，以及验证每一个关键特征/模块的最合适方法
2	如混合信号设计、低功率（UPF、CPF）、车规（如 ISO26262）等特殊要求
3	基于资源、时间表和费用制定验证计划
4	可能使用内部或第三方验证 IP（VIP）
5	内部既有验证技术/知识的可用性
6	EDA 工具选择和流程设计的建议
7	模块、子系统和芯片级验证
8	硬件/软件协同验证技术
9	基于 UVM 的规划

资料来源：公司公告，信达证券研发中心

3) EDA 云验证平台。EDA 工具上云的尝试过去二十年不断有厂商在推动，但是到今天为止实际应用范围还不够广泛。随着更加开放和智能的 EDA2.0 时代的到来，EDA 的行业生态也必然从“工具和 IP 集合包”进化到 EDA2.0 整体平台。芯华章推出的验证云平台能够给设计公司提供扩展性与灵活性、让各地的工程师团队可以更紧密的合作，云平台配置优化成本，释放创新活力。

表 17: 芯华章基于云平台的 EDA2.0 设计

序号	验证策略
用弹性算力取代部分人力投入	云平台带来的弹性资源可以支持 EDA2.0 的智能计算和自动化，用无限制的算力去优化 EDA 计算瓶颈，使芯片设计流程更加智能，并加速芯片设计流程。同时弹性的云端算力也能优化用户的设计成本。
商业和使用模式的优化	基于云平台的 EDA2.0，其付费模式、使用模式、使用地点、使用设备都会更加灵活，让 EDA 厂商和芯片设计团队都不再把精力放在“用哪些软硬件资源来设计芯片”上，而更加关注“如何快速高质量地设计芯片”。
采用适合云平台的软件架构	基于今天的技术起点，我们可以对 EDA 软硬件框架和算法做创新、融合和重构，抛弃过去的一些包袱，采用更新的技术架构。过去的单机或本地多机同步的软件结构要逐渐被改造为面向云平台结构的云原生软件架构，深度利用云端弹性性能，并且给用户提供更优化的使用模式。

资料来源：《芯华章 EDA2.0 白皮书》，信达证券研发中心

投资建议

EDA 行业是典型的技术密集型高精尖产业，是集成电路产业中不可或缺的核心环节，有很高进入门槛。EDA 是一种应用于电子设计领域的具备设计/测试等核心功能的专业软件，是集成电路产业链中不可替代的第一环，能以百倍于自身的价值量撬动集成电路产业。EDA 行业是技术密集型轻资本行业，具备强劲的议价能力与抗风险能力，高素质人才与持续性研发投入是建立 EDA 企业护城河的重要因素，同时良好的集成电路生态也有助于推动 EDA 企业发展。

全球 EDA 行业格局出现松动迹象，工艺迭代速度放缓、科技进步等因素缩短了 EDA 第一梯队企业与二三梯队企业间的差距，为非头部 EDA 企业的崛起带来机遇。过去全球 EDA 行业竞争格局比较固化，Synopsys/Cadence/SiemensEDA 三巨头垄断了近八成市场份额。但是伴随着后摩尔时代的到来，工艺迭代速度逐步放缓，未来 EDA 巨头很难像以往一样享受工艺快速迭代所带来的巨大红利，另一方面，传统 EDA 架构难以适应新的应用场景，EDA 需要向云化平台、异构/敏捷化设计、智能化等多个新方向发展。传统 EDA 市场格局在多因素下或将松动，为非头部 EDA 企业的迅速赶超提供良机。

EDA 行业议价能力强，未来的价值量将会进一步提升，市场可扩展空间大。EDA 行业作为不可替代的高科技行业，能够显著地为下游企业节省可观的成本，拥有强议价能力与强抗风险能力。在后摩尔定律时代，集成电路的发展将会更依赖于设计与测试，EDA 工具的可靠性、技术难度与准入门槛将会进一步提高，EDA 工具的价值量也势必随之显著增厚，受益于自身价值量增厚与集成电路产业发展，EDA 行业或将迎来“戴维斯双击”。

国产 EDA 的发展具有必要性和迫切性，多因素共推行业发展，国产 EDA 产业爆发在即。EDA 是当前制约我国集成电路行业发展的短板，在国际形势动荡的大背景下，我国想要发展高端制造业与数字经济产业，就必须发展自主可控的 EDA 工具。目前，国家政策加大了对 EDA 行业的扶持力度，国内集成电路生态日益完善，EDA 人才培养模式逐步健全，国内领先的人工智能与云计算领域为未来 EDA 的发展打下良好基础。在多利好因素的共同推动之下，国内集成电路产业已经形成良性循环，国内 EDA 有望迎来爆发式增长。

建议关注 EDA 拟上市公司：华大九天（深耕 EDA 行业多年，模拟 EDA 设计国内龙头企业）、概伦电子（存储芯片 EDA 设计龙头企业，拥有多款核心的模拟 EDA 点工具）、广立微（拥有领先的集成电路 EDA 软件与晶圆级电性测试设备）、思尔芯（聚焦数字芯片前端验证环节）等。

风险因素

1、技术创新不及预期

EDA 行业产品迭代较快，如果国内 EDA 行业的技术与产品未能跟上竞争对手新技术、新工艺的持续升级换代的节奏或者未能及时满足下游客户的需求，可能导致产品被赶超或替代，导致研发资源浪费并错失市场发展机会，对国内 EDA 行业产生不利影响。

2、核心人才流失

如果 EDA 行业不能提供更好的发展平台、更好的人才激励机制及良好的研发条件，EDA 行业的研发人才存在一定的流失风险；此外，随着 EDA 行业的快速发展，行业对于技术人才的需求随之提升，或存在技术人才不足的风险。

3、中美贸易摩擦加剧

若中美贸易摩擦加剧，美国对 EDA 核心技术进一步封锁，会影响到国内 EDA 行业的研究和发展速度。

4、产业政策变化

目前国家多项政策对 EDA 行业的扶持为 EDA 行业的快速发展提供了良好的政策环境，若未来国家相关产业政策支持力度减弱，将可能对 EDA 行业发展产生一定影响。

研究团队简介

蒋颖，通信行业首席分析师。中国人民大学经济学硕士、理学学士，商务英语双学位。2017年到2020年，先后就职于华创证券、招商证券，2021年1月加入信达证券研究开发中心，深度覆盖 IDC&云计算产业链、物联网产业链、5G 产业链等。曾获 2020 年 wind “金牌分析师” 通信第 1 名；2020 年 21 世纪 “金牌分析师” 通信第 3 名；2020 年新浪金麒麟 “新锐分析师” 通信第 1 名；2019 年新浪金麒麟 “最佳分析师” 通信第 5 名。

石瑜捷，北京外国语大学金融学硕士，英语专业八级。曾就职于上海钢联 MRI 研究中心，负责汽车板块研究。2020 年 12 月加入信达证券研究开发中心，从事通信&互联网行业研究工作，主要覆盖车联网、物联网、运营商、互联网等领域。

齐向阳，北京大学工程硕士，软件工程专业。2021 年 7 月加入信达证券研究开发中心，从事通信&互联网行业研究工作，主要覆盖工业互联网/工业软件、智能网联汽车、云计算产业链、互联网等领域。

机构销售联系人

区域	姓名	手机	邮箱
全国销售总监	韩秋月	13911026534	hanqiyue@cindasc.com
华北区销售副总监（主持工作）	陈明真	15601850398	chenmingzhen@cindasc.com
华北区销售	卞双	13520816991	bianshuang@cindasc.com
华北区销售	阙嘉程	18506960410	quejiacheng@cindasc.com
华北区销售	刘晨旭	13816799047	liuchenxu@cindasc.com
华北区销售	祁丽媛	13051504933	qiliyuan@cindasc.com
华北区销售	陆禹舟	17687659919	luyuzhou@cindasc.com
华东区销售副总监（主持工作）	杨兴	13718803208	yangxing@cindasc.com
华东区销售	吴国	15800476582	wuguo@cindasc.com
华东区销售	国鹏程	15618358383	guopengcheng@cindasc.com
华东区销售	李若琳	13122616887	liruolin@cindasc.com
华东区销售	张琼玉	13023188237	zhangqiongyu@cindasc.com
华东区销售	戴剑箫	13524484975	daijianxiao@cindasc.com
华南区销售总监	王留阳	13530830620	wangliuyang@cindasc.com
华南区销售	陈晨	15986679987	chenchen3@cindasc.com
华南区销售	王雨霏	17727821880	wangyufei@cindasc.com
华南区销售	王之明	15999555916	wangzhiming@cindasc.com
华南区销售	闫娜	13229465369	yanna@cindasc.com

分析师声明

负责本报告全部或部分内容的每一位分析师在此申明，本人具有证券投资咨询执业资格，并在我国证券业协会注册登记为证券分析师，以勤勉的职业态度，独立、客观地出具本报告；本报告所表述的所有观点准确反映了分析师本人的研究观点；本人薪酬的任何组成部分不曾与，不与，也将不会与本报告中的具体分析意见或观点直接或间接相关。

免责声明

信达证券股份有限公司（以下简称“信达证券”）具有我国证监会批复的证券投资咨询业务资格。本报告由信达证券制作并发布。

本报告是针对与信达证券签署服务协议的签约客户的专属研究产品，为该类客户进行投资决策时提供辅助和参考，双方对权利与义务均有严格约定。本报告仅提供给上述特定客户，并不面向公众发布。信达证券不会因接收人收到本报告而视其为本公司的当然客户。客户应当认识到有关本报告的电话、短信、邮件提示仅为研究观点的简要沟通，对本报告的参考使用须以本报告的完整版本为准。

本报告是基于信达证券认为可靠的已公开信息编制，但信达证券不保证所载信息的准确性和完整性。本报告所载的意见、评估及预测仅为本报告最初出具日的观点和判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会出现不同程度的波动，涉及证券或投资标的的历史表现不应作为日后表现的保证。在不同时期，或因使用不同假设和标准，采用不同观点和分析方法，致使信达证券发出与本报告所载意见、评估及预测不一致的研究报告，对此信达证券可不发出特别通知。

在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，也没有考虑到客户特殊的投资目标、财务状况或需求。客户应考虑本报告中的任何意见或建议是否符合其特定状况，若有必要应寻求专家意见。本报告所载的资料、工具、意见及推测仅供参考，并非作为或被视为出售或购买证券或其他投资标的的邀请或向人做出邀请。

在法律允许的情况下，信达证券或其关联机构可能会持有报告中涉及的公司所发行的证券并进行交易，并可能会为这些公司正在提供或争取提供投资银行业务服务。

本报告版权仅为信达证券所有。未经信达证券书面同意，任何机构和个人不得以任何形式翻版、复制、发布、转发或引用本报告的任何部分。若信达证券以外的机构向其客户发放本报告，则由该机构独自为此发送行为负责，信达证券对此等行为不承担任何责任。本报告同时不构成信达证券向发送本报告的机构之客户提供的投资建议。

如未经信达证券授权，私自转载或者转发本报告，所引起的一切后果及法律责任由私自转载或转发者承担。信达证券将保留随时追究其法律责任的权利。

评级说明

投资建议的比较标准	股票投资评级	行业投资评级
本报告采用的基准指数：沪深 300 指数（以下简称基准）； 时间段：报告发布之日起 6 个月内。	买入 ：股价相对强于基准 20% 以上；	看好 ：行业指数超越基准；
	增持 ：股价相对强于基准 5%~20%；	中性 ：行业指数与基准基本持平；
	持有 ：股价相对基准波动在±5% 之间；	看淡 ：行业指数弱于基准。
	卖出 ：股价相对弱于基准 5% 以下。	

风险提示

证券市场是一个风险无时不在的市场。投资者在进行证券交易时存在赢利的可能，也存在亏损的风险。建议投资者应当充分深入地了解证券市场蕴含的各项风险并谨慎行事。

本报告中所述证券不一定能在所有的国家和地区向所有类型的投资者销售，投资者应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专业顾问的意见。在任何情况下，信达证券不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任，投资者需自行承担风险。