

CHIPLET：延续摩尔定律—先进制程替代之路！

——行业深度报告

✍️：蒋高振 执业证书编号：S1230520050002
☎️：021-80106844
✉️：jianggaozhen@stocke.com.cn

行业评级

半导体行业 看好

报告导读

Chiplet(芯粒)模式是在摩尔定律趋缓下的半导体工艺发展方向之一。该方案通过将多个裸芯片进行先进封装实现对先进制程迭代的弯道超车。与传统的 SoC 方案相比，Chiplet 模式具有设计灵活性、成本低、上市周期短三方面优势。近年国际厂商积极推出相关产品，如华为鲲鹏 920，AMD 的 Milan-X 及苹果 M1 Ultra 等。预计 Chiplet 也有望为封测/IP 厂商提出更高要求，带来发展新机遇。

相关报告

1《电子周观点 | 底层国产化(3): 28nm → 14nm, 国内半导体设备企业布局如何?》2022.05.24

投资要点

□ Chiplet：延续摩尔定律—先进制程替代之路！

随着先进制程迭代到 7nm、5nm、3nm，摩尔定律逐渐趋缓，先进制程的开发成本及难度提升。后摩尔时代的 SoC 架构存在灵活性低、成本高、上市周期长等缺陷，Chiplet 方案明显改善 SoC 存在的问题。Chiplet 方案是目前先进制程的重要替代解决方案，通过 Chiplet 方案中国大陆或将可以弥补目前芯片制造方面先进制程技术落后的缺陷，为国内半导体产业链带来新机遇。

□ 巨头布局：华为/AMD/Apple—产品案例视角！

国际巨头华为、AMD、英特尔积极布局 Chiplet 并推出相关产品。华为于 2019 年推出了基于 Chiplet 技术的 7nm 鲲鹏 920 处理器，典型主频下 SPECint Benchmark 评分超过 930，超出业界标杆 25%。AMD 今年 3 月推出了基于台积电 3D Chiplet 封装技术的第三代服务器处理芯片。苹果推出采用台积电 CoWoS-S 桥接工艺的 M1 Ultra 芯片，两枚 M1 Max 晶粒的内部互连，实现性能飞跃。

□ 产业革新：先进封装+IP 复用—供应链之关键！

国际厂商 Intel、TSMC、Samsung 等多家公司均创建了自己的 Chiplet 生态系统，积极抢占 Chiplet 先进封装市场。长电科技于 6 月加入 UCIE 产业联盟，去年推出了 XDFOI™ 全系列极高密度扇外型封装解决方案。通富微电与 AMD 密切合作，现已具备 Chiplet 先进封装技术大规模生产能力。Chiplet 模式下 IP 重复利用有助于 IP 供应商实现向 Chiplet 供应商转变，向硬件进军。

□ 潜在受益公司

先进封测：通富微电、长电科技等；

设计 IP 公司：芯原股份等；

封测设备：华峰测控、长川科技、新益昌、和林微纳等；

封装载板：兴森科技等。

□ 风险提示

先进封装进展不及预期；科技领域制裁加剧。

报告撰写人：蒋高振

联系人：赵洪

正文目录

1. Chiplet：延续摩尔定律—先进制程替代之路！	3
1.1. Chiplet 助力先进制程弯道超车	3
1.2. 灵活性+低成本催生 Chiplet 需求	4
2. 巨头布局：华为/AMD/Apple—产品案例视角！	4
2.1. 华为：首推 7nm Chiplet 云服务器方案	4
2.2. AMD：联手台积电推出 3D Chiplet 方案	5
2.3. 苹果：双 M1 Max 互连缔造高性能方案	5
3. 产业革新：先进封装+IP 复用—供应链之关键！	6
3.1. 先进封装提升设计弹性	6
3.2. IP 复用提高设计经济性	8
4. 受益标的：聚焦封装/设备/IP 环节与供应链变革！	9

图表目录

图 1: Chiplet 架构芯片示意图	3
图 2: 将 SoC 芯片部分拆分	3
图 3: 鲲鹏 920 产品示意图	5
图 4: 鲲鹏 920 参数	5
图 5: AMD EPYC 7003 技术示意图	5
图 6: AMD Milan-X 系列	5
图 7: 苹果 M1 Ultra 性能	6
图 8: 苹果 M1 Ultra 架构	6
图 9: 2.5D 及 3D 封装技术	6
图 10: 先进封装技术演进助力 Chiplet 发展	6
图 11: Intel 的 EMIB 技术	7
图 12: Intel 的 3D Foveros 技术	7
图 13: 台积电 CoWoS 技术	7
图 14: 台积电 InFO 技术	7
图 15: 芯原股份经营模式	8

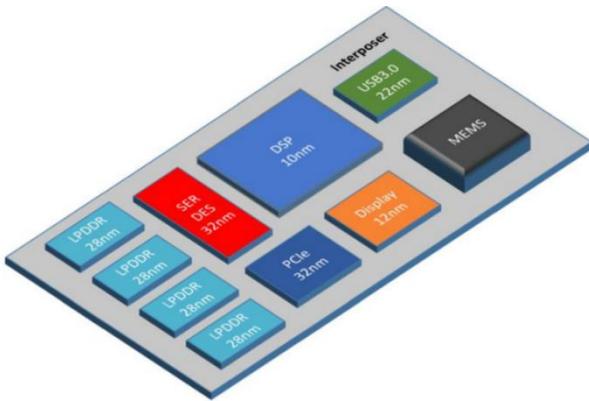
1. Chiplet：延续摩尔定律—先进制程替代之路！

1.1. Chiplet 助力先进制程弯道超车

Chiplet (芯粒) 模式是在摩尔定律趋缓下的半导体工艺发展方向之一。近几十年来，芯片制造工艺基本按摩尔定律发展，单位面积芯片可容纳晶体管数目大约每 18 个月增加一倍，芯片性能与成本均得到改善。但随着工艺迭代至 7nm、5nm、3nm 及以下，先进制程的研发成本及难度提升，开发先进制程的经济效益逐渐受到质疑。后摩尔定律时代的主流晶片架构 SoC (系统单晶片) 推动摩尔定律继续向前发展，将多个负责不同运算任务的元件集成于单一晶片上，用单个晶片实现完整功能，各功能区采用相同制程工艺。Chiplet 模式或存在弯道超车机会，该模式将芯片的不同功能分区制作成裸芯片，再通过先进封装的形式以类似搭积木的方式实现组合，通过使用基于异构集成的高级封装技术，使得芯片可以绕过先进制程工艺，通过算力拓展来提高性能同时减少成本、缩短生产周期。总的来说，Chiplet 是一种将多种芯片 (如 I/O、存储器和 IP 核) 在一个封装内组装起来的高性能、成本低、产品上市快的解决方案。

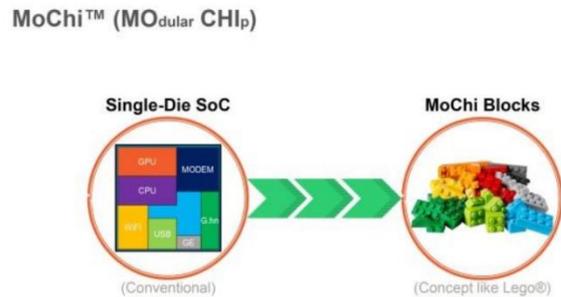
Chiplet 方案对封装工艺提出了更高的要求。Chiplet 与 SiP 相似，都是进行不同元件间的整合与封装，而 Chiplet 的各裸芯片之间是彼此独立的，整合层次更高，不集成于单一晶圆片上，Chiplet 目前封装方案主要包括 2.5D 封装、3D 封装、MCM 封装等类型。Chiplet 的封装方案要实现各裸芯片之间的互联，同时也要保障各部分之间的信号传输质量。

图 1：Chiplet 架构芯片示意图



资料来源：Cadence，浙商证券研究所

图 2：将 SoC 芯片部分拆分



资料来源：电子工程专辑，浙商证券研究所

国际巨头成立 UCIE 产业联盟促进互联协议标准。Chiplet 模式需要实现各家芯片的互联，如何界定互联标准是重要问题。2020 年英特尔在加入美国 CHIPS 联盟后，曾免费提供 AIB 互连总线接口许可以支持 Chiplet 生态系统建设，但其他厂商由于顾虑该接口许可需要使用英特尔自家的先进封装技术 EMIB，所以最后该标准没有普及使用。英特尔、AMD、Arm、高通、三星、台积电、日月光、Google Cloud、Meta、微软等大厂于 2022 年 3 月 UCIE 产业联盟，旨在建立统一的 die-to-die 互联标准，这促进了 Chiplet 模式的应用发展。经梳理我们认为，国际巨头成立的 UCIE 联盟将对 Chiplet 互联标准统一到重要推动作用，Chiplet 方案发展将加快。

1.2. 灵活性+低成本催生 Chiplet 需求

与传统的 SoC 方案相比，Chiplet 模式具有设计灵活性、成本低、上市周期短三方面优势，使得该方案成为半导体工艺重要发展方向。

Chiplet 模式可以自由选择不同分区的工艺节点。传统的 SoC 芯片在制造上必须选择相同的工艺节点，然而不同的芯片的工艺需求不同。如逻辑芯片、模拟芯片、射频芯片、存储器等往往成熟制程节点是不同的，模拟芯片如果采用高级制程可能会导致漏电、噪声等问题，SoC 芯片统一采用相同的制程则会造成一定的麻烦。而 Chiplet 模式则可以自由选择不同裸芯片的工艺，然后通过先进封装来进行组装，相比 SoC 则更具灵活性，优势明显。

Chiplet 模式有利于提高良率，降低制造降低成本。传统 SoC 架构会增大单芯片面积，这会增大芯片制造过程中的难度，由缺陷密度带来的良率损失会增加，从而导致 SoC 芯片的制造成本提升。而 Chiplet 方案将大芯片分为多个裸芯片，单位面积较小，相对而言良率会有所提升，从而降低其制造成本。

Chiplet 模式可以实现产品重复使用，缩短产品上市周期。由于 SoC 方案采用统一的工艺制程，导致 SoC 芯片上的各部分要同步进行迭代，这使得 SoC 芯片的迭代进程放缓。Chiplet 模式可以对芯片的不同单元进行选择性的迭代，迭代部分裸芯片后便可制作出下一代产品，大幅缩短产品上市周期。

Chiplet 模式目前还暂时存在对先进封装技术要求高、散热能力差等问题。实现各裸芯片之间的开孔、电镀需要精密的操作；要保证各裸芯片之间的数据实现高速、高质量传输；相对先进制程 Chiplet 模式散热能力较差，这些增加都给制造芯片提出了新的技术难题。

2. 巨头布局：华为/AMD/Apple—产品案例视角！

2.1. 华为：首推 7nm Chiplet 云服务器方案

华为推出基于 Chiplet 技术的 7nm 鲲鹏 920 处理器。华为推出的鲲鹏 920 是业界领先的 ARM-based 处理器，根据公司官网消息该处理器采用 7nm 制造工艺，基于 ARM 架构授权，由华为公司自主设计完成，通过优化分支预测算法、提升运算单元数量、改进内存子系统架构等一系列微架构设计，大幅提高处理器性能。典型主频下，SPECint Benchmark 评分超过 930，超出业界标杆 25%。同时，能效比优于业界标杆 30%。鲲鹏 920 以更低功耗为数据中心提供更强性能。该处理器创建了相干缓存子系统以将多核集成到单个小芯片中，同时开发了专用并行小型 IO 块，以实现二维封装解决方案的高带宽芯片间连接。

图 3：鲲鹏 920 产品示意图



资料来源：华为海思，浙商证券研究所

图 4：鲲鹏 920 参数

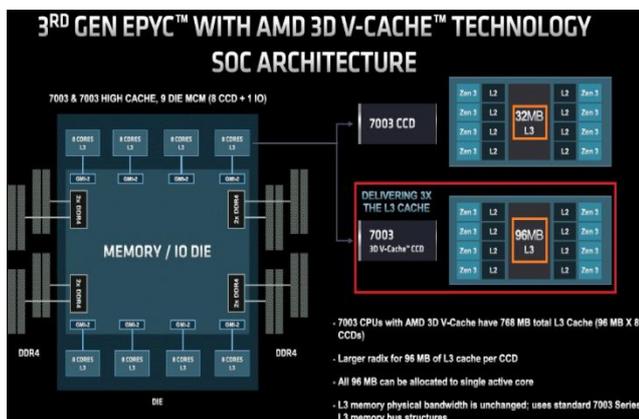
Architecture	• ARM v8.2
Core	• up to 64
Typical Frequency	• 2.6 GHz / 3.0 GHz
Memory	• 8 DDR4 Channels
Coherent Interconnect	• 2S&4S
I/O	• PCIe 4.0, CCIX, 100G, SAS/SATA 3.0
Max Power	• 180W
Process	• 7nm

资料来源：华为海思，浙商证券研究所

2.2. AMD：联手台积电推出 3D Chiplet 方案

AMD 联手台积电推出 3D Chiplet 产品。AMD 于 2021 年 6 月发布了基于 3D Chiplet 技术的 3D V-Cache，该技术使用的是台积电的 3D Fabric 先进封装技术，将包含 64MB L3 Cache 的 Chiplet 以 3D 堆叠的形式与处理器进行了封装。2022 年 3 月 AMD 推出了 Milan-X 霄龙处理器，该处理器是基于 Milan 的第三代处理器 EPYC 7003 的升级版本，通过使用 AMD 的 3D V-Cache 堆叠技术实现了 768 MB 的 L3 缓存。Milan-X 是一个包含 9 个小芯片的 MCM，其中包括 8 个 CCD 裸片和 1 个大型 I/O 裸片。

图 5：AMD EPYC 7003 技术示意图



资料来源：AMD，浙商证券研究所

图 6：AMD Milan-X 系列

3RD GEN AMD EPYC™ WITH AMD 3D V-CACHE™										
CORES	MODEL	# CCD	TDP (W)	CTDP RANGE (W)	BASE FREQ (GHZ)	MAX BOOST FREQ (UP TO GHZ)	L3 CACHE (MB)	DDR CHANNELS	PCIe 4	PRICE (K) USD
64	7773X	8	280	225-280	2.20	3.50	768	8	x128	\$8,800
32	7573X	8	280	225-280	2.80	3.60	768	8	x128	\$5,500
24	7473X	8	240	225-280	2.80	3.70	768	8	x128	\$3,900
16	7373X	8	240	225-280	3.05	3.80	768	8	x128	\$4,185

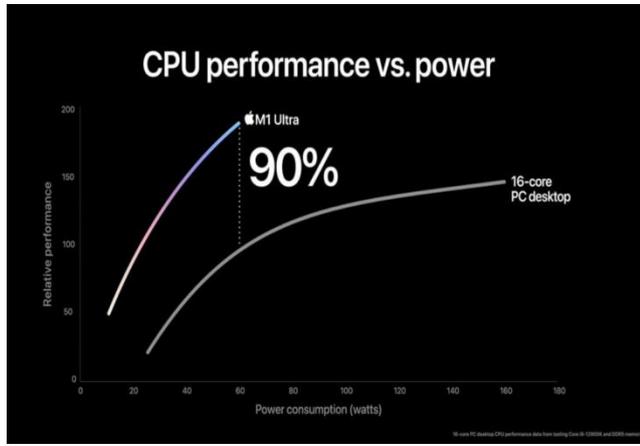
资料来源：AMD，浙商证券研究所

2.3. 苹果：双 M1 Max 互连缔造高性能方案

苹果推出采用台积电 CoWoS-S 桥接工艺的 M1 Ultra 芯片，实现性能飞跃。苹果 2022 年 3 月发布的 M1 Ultra 芯片采用了独特的 UltraFusion 芯片架构，借助台积电的 CoWoS-S 技术，通过两枚 M1 Max 晶粒的内部互连，实现了性能的飞跃。M1 Ultra 在新架构下，晶体管数量达到了 M1 的 7 倍多，同时两颗 Max 之间的互连带宽可达 2.5TB/s。M1 Ultra 内部集成内存 128GB，包含 8 个 16 层堆叠的 HBM（高带宽内存）堆栈的内存部件，核心

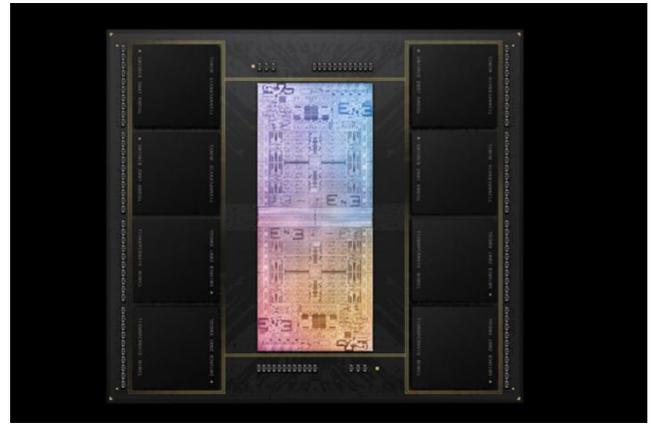
传输速率达 3200M，实际传输带宽超过 800GB/s。这款产品实现了 Apple 芯片与 Mac 系列电脑的又一次重大飞跃，具有里程碑意义。

图 7：苹果 M1 Ultra 性能



资料来源：苹果官网，浙商证券研究所

图 8：苹果 M1 Ultra 架构



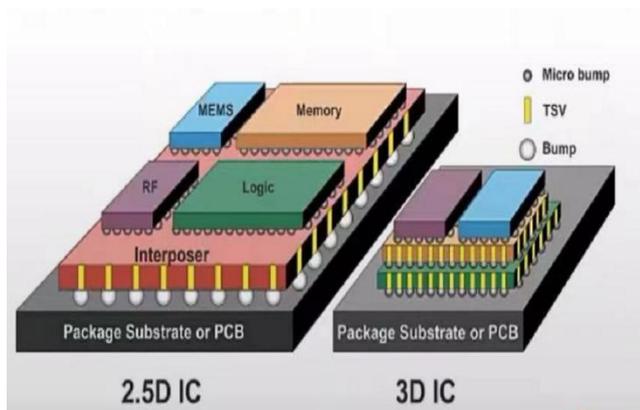
资料来源：苹果官网，浙商证券研究所

3. 产业革新：先进封装+IP 复用—供应链之关键！

3.1. 先进封装提升设计弹性

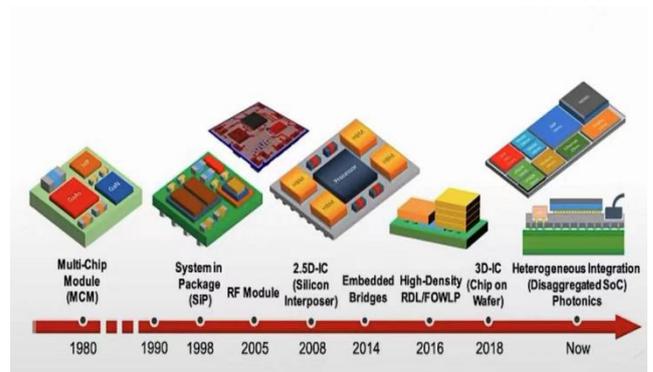
Chiplet 目前封装方案主要包括 2.5D 封装、3D 封装、MCM 封装等类型。2.5D 封装将多个芯片并列排在中介层（Interposer）上，经由微凸块（Micro Bump）连结，让内部金属线连接芯片间的电子讯号，再通过矽穿孔（TSV）来连结下方的金属凸块（Solder Bump），再通过导线载板连结外部金属球，实现各部件之间紧密的连接。3D 封装则直接将各芯片进行堆叠，在芯片制作电晶体（CMOS）结构，并直接使用矽穿孔来连结芯片间的电子讯号。MCM 技术是将多个 LSI/VLSI/ASIC 裸芯片和其它元器件组装在同一块多层互连基板上，然后进行封装。

图 9：2.5D 及 3D 封装技术



资料来源：Verisilicon，浙商证券研究所

图 10：先进封装技术演进助力 Chiplet 发展

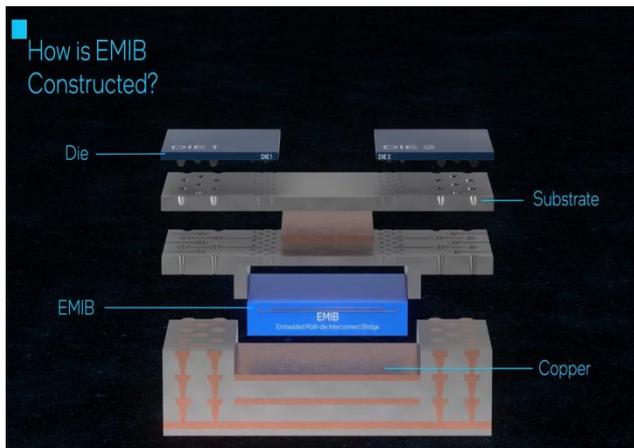


资料来源：Verisilicon，浙商证券研究所

国际厂商积极布局 Chiplet 封装。目前 Intel、TSMC、Samsung 等多家公司均创建了自己的 Chiplet 生态系统，积极抢占 Chiplet 先进封装市场。

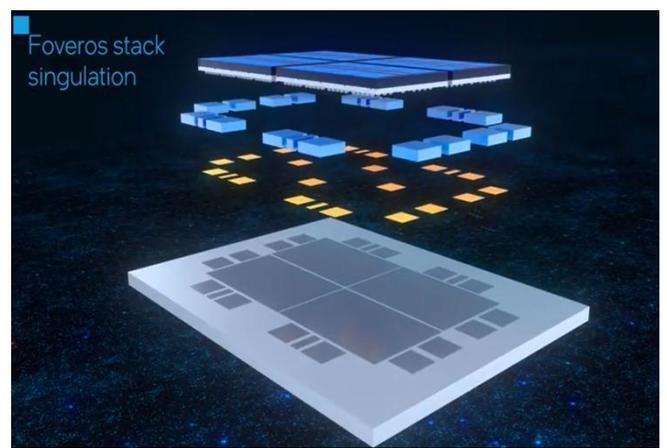
Intel 推出 3D 堆叠异构系统集成技术 Foveros 与嵌入式多芯片互联桥接技术 EMIB。该封装技术采用 3D 堆栈来实现逻辑对逻辑的集成，为设计人员提供了极大的灵活性，从而在新设备外形要素中混搭使用技术 IP 块与各种内存和输入/输出元素。产品可以分成更小的小芯片 (Chiplet) 或块 (tile)，其中 I/O、SRAM 和电源传输电路在基础芯片中制造，高性能逻辑小芯片或块堆叠在顶部。EMIB 技术将有机基板和硅基板相结合，在有机基板上埋嵌硅基板实现高密度互连，通过这样的架构保持互连密度和性能，此外还可以减少制造成本。

图 11: Intel 的 EMIB 技术



资料来源: Intel, 浙商证券研究所

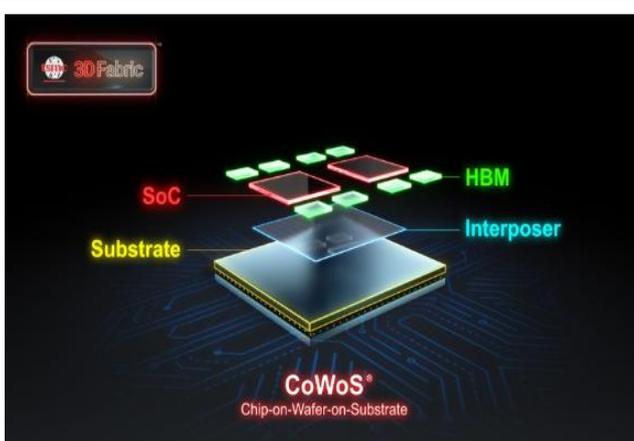
图 12: Intel 的 3D Foveros 技术



资料来源: Intel, 浙商证券研究所

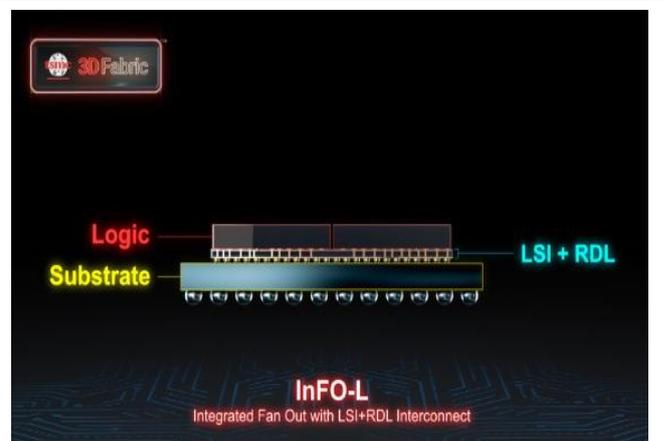
TSMC 推出的 3D Fabric，搭载了 3D Silicon Stacking 和 CoWoS、InFO 等先进封装技术。台积电的 3DFabric 系列技术包括 2D 和 3D 前端和后端互连技术，前端技术 TSMC-SoIC 使用 3D 硅堆叠所需的尖端晶圆厂的精度和方法，包括晶圆芯片 (CoW) 和晶圆对晶圆 (WoW) 芯片堆栈技术，允许相似和不同芯片的 3D 堆栈提供多种功能，包括通过增加运算核心数量来提高运算能力、堆栈式内存可提供更多内存和更高的带宽、通过深沟式电容改善功率传输。台积电还拥有多个专属的后端晶圆厂，这些晶圆厂可以组装和测试包括 3D 堆栈芯片在内的硅芯片，并将其加工成封装后的装置。台积电 3D Fabric 的后端工艺包括 CoWoS 和 InFO 系列的封装技术。

图 13: 台积电 CoWoS 技术



资料来源: TSMC, 浙商证券研究所

图 14: 台积电 InFO 技术



资料来源: TSMC, 浙商证券研究所

国内企业通富微电、长电科技积极布局 Chiplet 封装技术。长电科技于 6 月加入 UCIE 产业联盟参与推动 Chiplet 接口规范标准化，根据投资者问答，公司去年推出了 XDF01™ 全系列极高密度扇外型封装解决方案，该技术是一种面向 Chiplet 的极高密度，多扇外型封装高密度异构集成解决方案，包括 2D/2.5D/3D Chiplet，能够为客户提供从常规密度到极高密度，从极小尺寸到极大尺寸的一站式服务。通富微电与 AMD 密切合作，是 AMD 的重要封测代工厂，在 Chiplet、WLP、SiP、Fanout、2.5D、3D 堆叠等方面均有布局和储备，现已具备 Chiplet 先进封装技术大规模生产能力。

Chiplet 封装推动对芯片测试机的需求增长。相比 SoC 封装，Chiplet 架构芯片的制作需要多个裸芯片，单个裸芯片的失效则会导致整个芯片的失效，这要求封测公司进行更多数量的测试以减少失效芯片带来的损失。目前华峰测控、长川科技均在测试机方面有所布局，有望受益 Chiplet 封装带来的测试机需求增长。

3.2. IP 复用提高设计经济性

Chiplet 的发展有利于实现“IP 芯片化”。Chiplet 由不同功能的裸芯片所构成，与此同时 Chiplet 的裸芯片实际上是半导体 IP 经过设计和制程优化后生产出的硬件化产品，一定意义上 Chiplet 芯片也可以看作是由不同的 IP 所构成。IP 厂商有可能实现从 IP 供应商到 Chiplet 产品供应商的转变，从而提升公司在产业链中的附加价值。在 Chiplet 模式下，设计公司可以买不同公司的硬件然后通过先进封装进行组合，在此模式下 IP 公司有望实现向硬件提供商的转变。

图 15：芯原股份经营模式



资料来源：芯原股份招股说明书，浙商证券研究所

芯原股份作为国内最大的半导体 IP 供应商有望受益 Chiplet 发展。公司是大陆排名第一、全球排名前七的半导体 IP 供应商，是大陆首批加入 UCIE 联盟的企业之一，拥有丰富的处理器 IP 核，以及领先的芯片设计能力。目前公司致力于通过“IP 芯片化”和“芯片平台化”来实现 Chiplet 产业化，与全球主流封测厂、芯片制造厂商都建立了合作关

系，在推出 Chiplet 业务方面具有优势。公司计划于 2022 至 2023 年，继续推进高端应用处理器平台 Chiplet 方案的迭代研发工作，推进 Chiplet 在平板电脑、自动驾驶、数据中心等领域的产业化落地进程，芯原有可能是全球第一批面向客户推出 Chiplet 商用产品的企业。

4. 受益标的：聚焦封装/设备/IP 环节与供应链变革！

先进封装：国内目前在先进制程技术上与国际厂商存在明显差距，Chiplet 方案为国内芯片制造业提供了弯道超车机会。国内芯片厂商可以通过采用 Chiplet 方案来弥补国内先进制程产业链落后的劣势，通过先进封装来提升芯片性能。国内先进封装领域公司有望受益 Chiplet 方案的发展，受益公司包括通富微电、长电科技等。

IP 公司：Chiplet 方案降低了芯片设计的成本与门槛，IP 复用提高了设计的灵活性。后续 IP 公司有望实现从 IP 供应商向 Chiplet 供应商的身份转变，增加在产业链中提供的价值，受益公司包括芯原股份等。

封测设备：Chiplet 方案的落地的关键便在于先进封装技术的实现，这对封装设备提高了要求及需求。如 Chiplet 方案设计大量裸芯片，封测过程需要对大量芯片进行测试以保证最后芯片成品良率。国内封测设备公司有望受益，受益公司包括华峰测控、长川科技、新益昌、和林微纳等。

封装载板：Chiplet 方案会采用 2.5D 封装、3D 封装、MCM 封装等形式对芯片进行先进封装，这种封装方式会增加 ABF、PCB 载板层数，具体层数与技术指标要求取决于芯片的设计方案。国内 ABF、PCB 载板厂商有望受益 Chiplet 方案的发展，受益公司包括兴森科技等。

股票投资评级说明

以报告日后的 6 个月内，证券相对于沪深 300 指数的涨跌幅为标准，定义如下：

- 1、买入：相对于沪深 300 指数表现 + 20% 以上；
- 2、增持：相对于沪深 300 指数表现 + 10% ~ + 20%；
- 3、中性：相对于沪深 300 指数表现 - 10% ~ + 10% 之间波动；
- 4、减持：相对于沪深 300 指数表现 - 10% 以下。

行业的投资评级：

以报告日后的 6 个月内，行业指数相对于沪深 300 指数的涨跌幅为标准，定义如下：

- 1、看好：行业指数相对于沪深 300 指数表现 + 10% 以上；
- 2、中性：行业指数相对于沪深 300 指数表现 - 10% ~ + 10% 以上；
- 3、看淡：行业指数相对于沪深 300 指数表现 - 10% 以下。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重。

建议：投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者不应仅仅依靠投资评级来推断结论

法律声明及风险提示

本报告由浙商证券股份有限公司（已具备中国证监会批复的证券投资咨询业务资格，经营许可证编号为：Z39833000）制作。本报告中的信息均来源于我们认为可靠的已公开资料，但浙商证券股份有限公司及其关联机构（以下统称“本公司”）对这些信息的真实性、准确性及完整性不作任何保证，也不保证所包含的信息和建议不发生任何变更。本公司没有将变更的信息和建议向报告所有接收者进行更新的义务。

本报告仅供本公司的客户作参考之用。本公司不会因接收人收到本报告而视其为本公司的当然客户。

本报告仅反映报告作者的出具日的观点和判断，在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议，投资者应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求。对依据或者使用本报告所造成的一切后果，本公司及/或其关联人员均不承担任何法律责任。

本公司的交易人员以及其他专业人士可能会依据不同假设和标准、采用不同的分析方法而口头或书面发表与本报告意见及建议不一致的市场评论和/或交易观点。本公司没有将此意见及建议向报告所有接收者进行更新的义务。本公司的资产管理公司、自营部门以及其他投资业务部门可能独立做出与本报告中的意见或建议不一致的投资决策。

本报告版权均归本公司所有，未经本公司事先书面授权，任何机构或个人不得以任何形式复制、发布、传播本报告的全部或部分内容。经授权刊载、转发本报告或者摘要的，应当注明本报告发布人和发布日期，并提示使用本报告的风险。未经授权或未按要求刊载、转发本报告的，应当承担相应的法律责任。本公司将保留向其追究法律责任的权利。

浙商证券研究所

上海总部地址：杨高南路 729 号陆家嘴世纪金融广场 1 号楼 25 层

北京地址：北京市东城区朝阳门北大街 8 号富华大厦 E 座 4 层

深圳地址：广东省深圳市福田区广电金融中心 33 层

上海总部邮政编码：200127

上海总部电话：(8621) 80108518

上海总部传真：(8621) 80106010

浙商证券研究所：<https://www.stocke.com.cn>