



信达证券
CINDA SECURITIES

Research and
Development Center

Chiplet：破局后摩尔时代，重塑半导体产业链价值

半导体

2022 年 10 月 30 日

证券研究报告

行业研究

行业专题研究

半导体

投资评级 看好

上次评级 看好

电子行业首席分析师 莫文宇

执业编号: S1500522090001

联系电话: 13437172818

邮箱: mowenyu@cindasc.com

信达证券股份有限公司

CINDA SECURITIES CO., LTD

北京市西城区闹市口大街9号院1号楼

邮编: 100031

Chiplet: 破局后摩尔时代, 重塑半导体产业链价值

2022 年 10 月 30 日

本期内容提要:

- **半导体工艺节点持续推进, 传统异构多核 SoC 难以为继。**先进工艺节点下晶体管单位成本不断下降, 但 IC 设计复杂度及设计成本不断提升, 设计复杂度的提升也将对芯片良率产生影响, 间接提高了整体制造成本; 此外, 制程升级对芯片性能提升的边际收益缩窄, 通常在 15% 左右, 传统异构多核 SoC 方案下, 摩尔定律走向瓶颈。
- **Chiplet 技术改道芯片业, 实现超越摩尔定律。**Chiplet 将满足特定功能的裸片通过 die-to-die 内部互联技术, 实现多个模块芯片与底层基础芯片的系统封装, 实现一种新形式的 IP 复用。基于裸片的 Chiplet 方案将传统 SoC 划分为多个单功能或多功能组合的芯粒, 在一个封装内通过基板互连成为一个完整的复杂功能芯片, 是一种以裸片形式提供的硬核 IP。在当前技术进展下, Chiplet 方案能够实现芯片设计复杂度及设计成本降低, 且有利于后续产品迭代, 加速产品上市周期。
- **中美半导体产业博弈升级下国内先进制程发展受限, Chiplet 为实现弯道超车的逆境突破口之一。**继《瓦森纳协议》限制国内晶圆厂对 EUV 光刻设备的采购后, 2022 年 8 月美国签署《芯片与科学法案》继续限制中国芯片制造业发展, 国内晶圆厂在先进制程升级上受阻。此外, 中国大陆部分 IC 设计企业被美国列入“实体清单”, 无法在台积电、三星等晶圆代工厂进行先进制程代工。国内半导体产业在先进制程发展受限的情况下, 可将 Chiplet 视为另一条实现性能升级的路径和产业突破口之一。
- **随着 Chiplet 技术生态逐渐成熟, 国内厂商通过自重用及自迭代利用技术的多项优势, 推动各环节价值重塑。**产业链优质标的将在激增需求下获得崭新业绩增长空间, 我们看好 IP/EDA/先进封装/第三方测试/封测设备/IC 载板优质标的受益于 Chiplet 浪潮实现价值重估。
- **投资评级:** 看好。
- **风险因素:** Chiplet 研发进展不及预期; 下游需求不及预期。

目录

后摩尔时代下 Chiplet 技术改道芯片业，架构设计&先进封装双重驱动	4
Chiplet 重塑传统半导体产业链，细分赛道龙头迎来破局点	7
IC 封测：测试需求快速提升，OSAT 加速布局先进封装技术高地	9
IC 载板：先进封装应用对载板需求拉动显著	11
EDA/IP：3D IC 封装技术发展开辟国内 EDA/IP 新机遇	12
风险因素	13

表目录

表 1：主流 Chiplet 设计方案	6
表 2：主流 Chiplet 底层封装技术	7
表 3：Chiplet 产业链关注标的（数据截止 2022 年 10 月 27 日，wind 一致预期）	9
表 4：全球部分先进封装解决方案（2D/2.5D/3D）	11
表 5：全球主要提供 Chiplet 封装厂商解决方案汇总	11

图目录

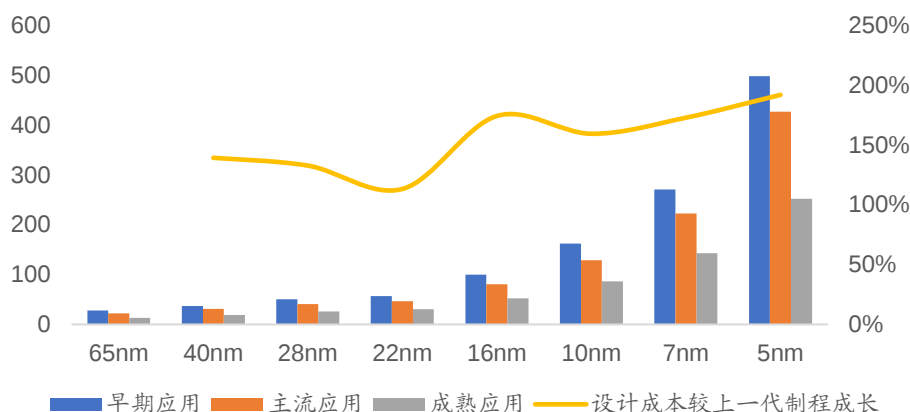
图 1：不同工艺节点处于各应用时期的芯片设计成本（百万美元）	4
图 2：先进制程及先进封装发展情况	4
图 3：Chiplet 通过 die-to-die 内部互联实现新形式 IP 复用	5
图 4：Chiplet 在显著提高芯片良率的同时降低制造成本	5
图 5：Chiplet 的实现为架构设计与先进封装两侧的共同作用	6
图 6：2020-2024E 基于 Chiplet 技术半导体器件销售收入及增速（百万美元，%）	8
图 7：2024E 前五大 Chiplet 应用终端营收结构（%）	8
图 8：台积电分技术节点销售结构（%）	8
图 9：台积电分地区销售结构（%）	8
图 10：Chiplet 技术重塑传统半导体产业链	9
图 11：基于 Chiplet 技术的方案显著提升封测需求	10
图 12：大陆及全球芯片测试服务市场空间预测（亿元）	10
图 13：伟测科技主要客户情况	10
图 14：2021 年伟测科技前五大客户营收占比（%）	10
图 15：先进封装市场空间及增速预测（百万美元，%）	10
图 16：2021-2026E IC 封装基板全球市场空间（百万美元）	12
图 17：2017-2022E 国内 EDA/IP 市场空间及增速（亿元，%）	13

后摩尔时代下 Chiplet 技术改道芯片业，架构设计&先进封装双重驱动

异构多核 SoC 成传统大规模集成电路主流趋势。随着先进工艺节点不断推进，芯片线宽缩小下单颗芯片可容纳的晶体管数量不断提升，7nm 工艺节点下 80mm²裸片晶体管数量增长至近 70 亿个。传统大规模集成电路主流趋势为异构多核 SoC，微处理器、模拟 IP、数字 IP、存储器等以同一种工艺制造方式被集成在单一芯片上，实现芯片体积缩小及性能、可靠性的提高。

先进工艺节点下晶体管单位成本不断下降，但 IC 设计复杂度及设计成本不断提升。以先进工艺节点处于主流应用时期设计成本为例，工艺节点为 28nm 时，单颗芯片设计成本约为 0.41 亿美元，而工艺节点为 7nm 时，设计成本快速提升至 2.22 亿美元。即使工艺节点达到成熟应用时期，设计成本大幅度下降的前提下，相较同一应用时期的上一代先进工艺节点，仍存在显著提升；此外，设计复杂度的提升也将对芯片良率产生影响，间接提高了整体制造成本。

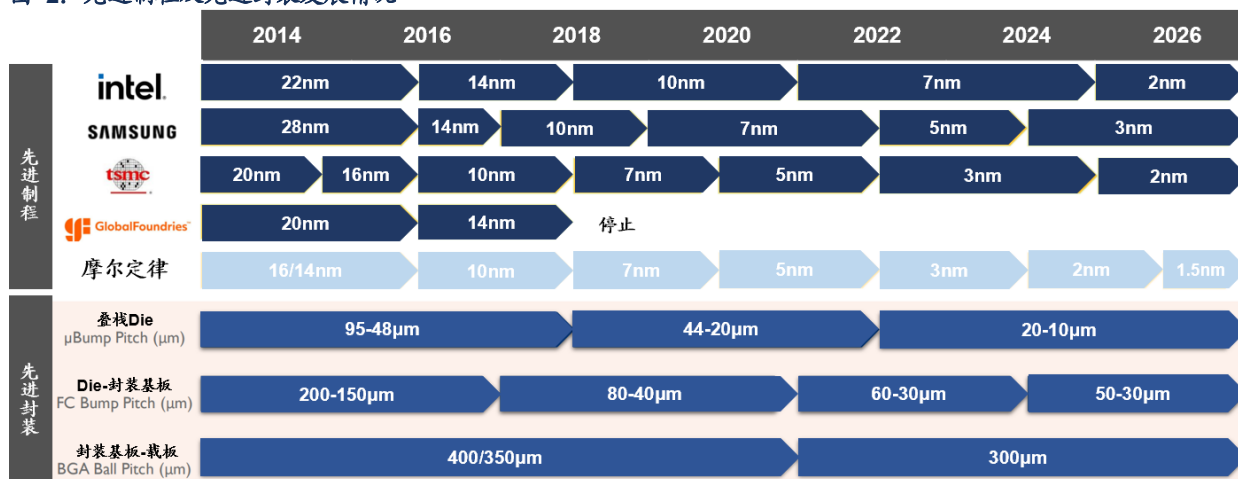
图 1：不同工艺节点处于各应用时期的芯片设计成本（百万美元）



资料来源：IBS，芯原股份招股说明书，信达证券研发中心

此外，在工艺节点不断推进下，制程升级对芯片性能提升的边际收益缩窄，通常在 15%左右，而先进封装技术迭代速度快于制造端。

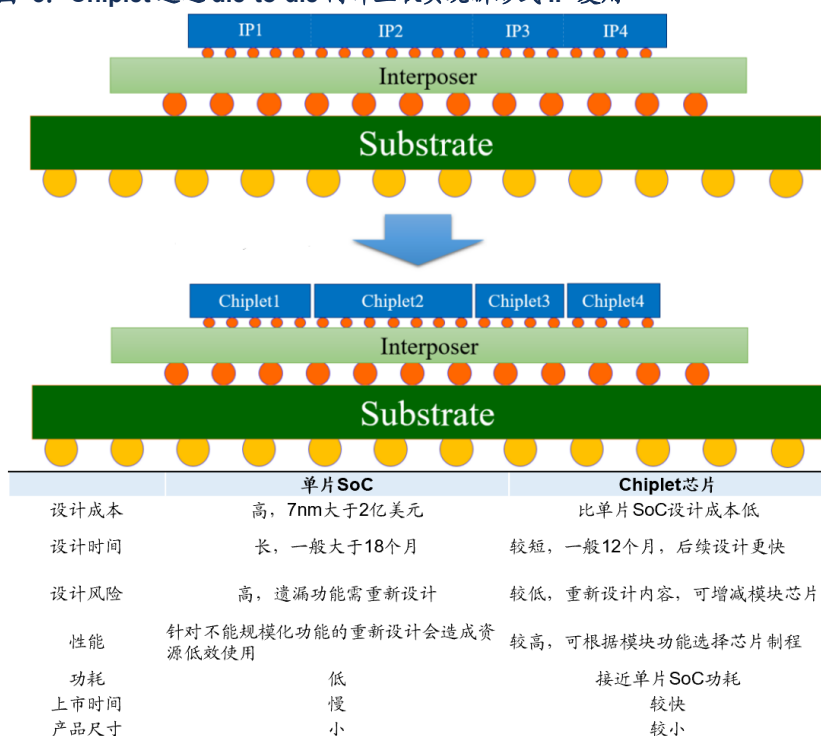
图 2：先进制程及先进封装发展情况



资料来源：Yole，信达证券研发中心

Chiplet 将满足特定功能的裸片通过 die-to-die 内部互联技术，实现多个模块芯片与底层基础芯片的系统封装，实现一种新形式的 IP 复用。基于裸片的 Chiplet 方案将传统 SoC 划分为多个单功能或多功能组合的芯粒，在一个封装内通过基板互连成为一个完整的复杂功能芯片，是一种以裸片形式提供的硬核 IP。

图 3: Chiplet 通过 die-to-die 内部互联实现新形式 IP 复用



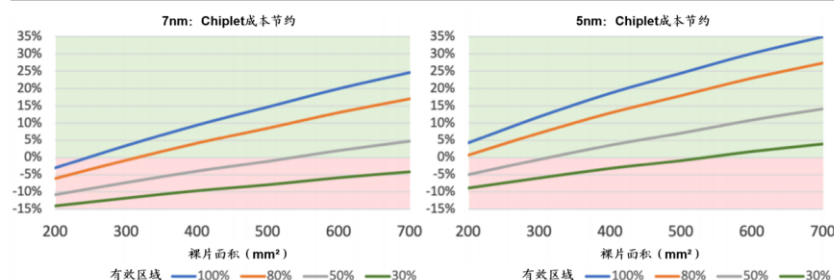
资料来源: 集成电路材料研究, SIP 与先进封装技术, 《后摩尔时代 Chiplet 技术的演进与挑战》, 信达证券研发中心

在当前技术进展下, Chiplet 方案能够实现芯片设计复杂度及设计成本降低。IC 设计阶段将 SoC 按照不同功能模块分解为多个芯粒, 部分芯粒实现模块化设计并在不同芯片中重复使用, 能够实现设计难度降低, 且有利于后续产品迭代, 加速产品上市周期。

Chiplet 的运用也将大幅提高大型芯片良率的同时降低芯片制造成本。高性能计算等领域巨大运算需求推动逻辑芯片运算核心数量上升, 配套 SRAM 容量、I/O 数量随之提升。Chiplet 设计分割不同功能模块进行独立制造, 提升良率的同时降低不良率造成的额外制造成本。根据 Linley 测算, 7nm 方案下 Chiplet 良率改善 0.8x, 制造成本降低至传统方案的 0.87 倍。

图 4: Chiplet 在显著提高芯片良率的同时降低制造成本

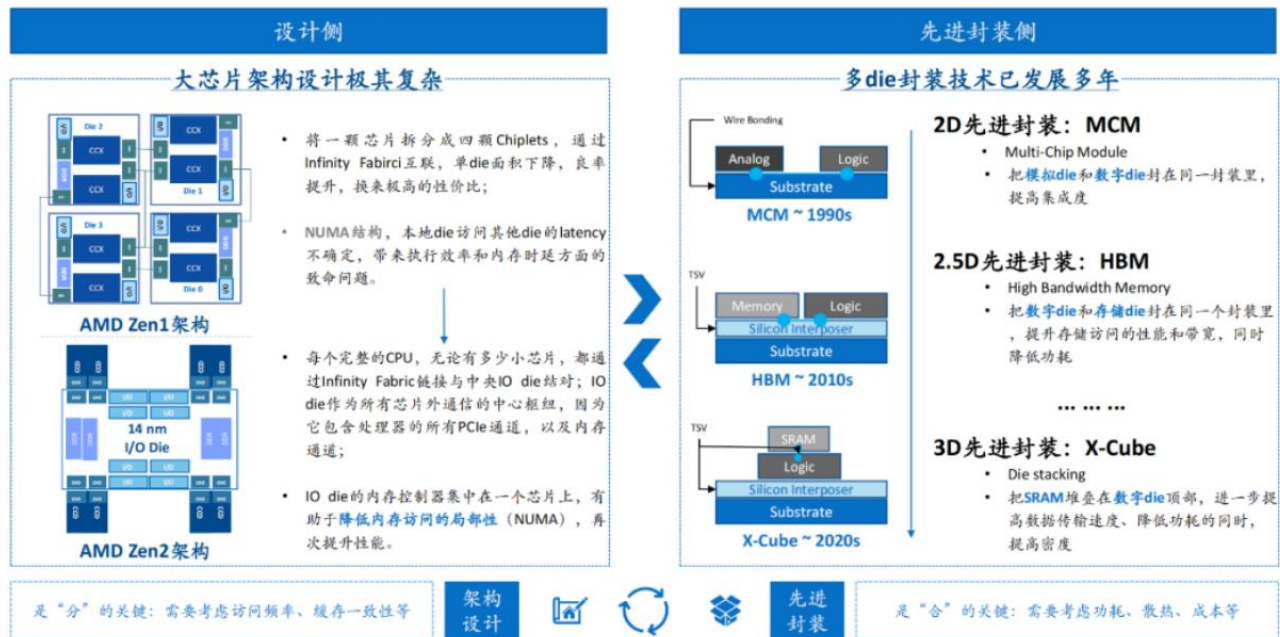
项目	传统整体方案	Chiplet	差异
晶圆成本 (7nm)	\$9,350	\$9,350	1x
裸片尺寸 (mm ²)	600	660	1.1x
单一裸片尺寸	600	165	
每片晶圆裸片数量	96	387	
缺陷率 (每平方厘米)	20%	20%	1x
有效区域	80%	80%	1x
预计良率	43%	78%	1.81x
每片晶圆净裸片数量	42	300	
裸片成本	\$224	\$31	
合计裸片成本	\$224	\$124	
合计测试费用	\$10	\$12	1.2x
封装费用	\$160	\$200	1.25x
封装损失	1%	4%	4x
合计制造成本	\$398	\$347	0.87x



资料来源: Linley Group, 信达证券研发中心

我们认为，Chiplet 的实现需要架构设计与先进封装两侧的共同作用。架构侧为实现“分”的关键，需要考虑访问频率、缓存一致性等；先进封装侧为“合”的关键，功耗、散热、整体成本为主要影响因素。

图 5: Chiplet 的实现为架构设计与先进封装两侧的共同作用



资料来源：云岫资本，AMD，TSMC，Samsung，CSDN，半导体行业观察，信达证券研发中心

目前主流架构设计方案可分为两类：（1）基于功能划分多个 Chiplet，通过不同 Chiplet 组合封装，实现不同类型产品，典型代表为 Lego、AMD Zen2/3；（2）单一 Chiplet 包含独立完整功能集合，通过多个 Chiplet 组合实现性能线性增长，典型代表为 Apple M1 Ultra 及 Intel Sapphire Rapids。苹果方案通过自研封装技术堆叠两颗 M1 Max 芯片，两颗芯片间具备超过 2.5TB/s 带宽且极低延时互联能力，使 M1 Ultra 获得两倍算力，同时在软件层面将 M1 Ultra 作为完整芯片，从而不增加额外软件修改和调试负担。

表 1: 主流 Chiplet 设计方案

类型	典型代表	方案概述	图示
基于功能划分到多个 Chiplets，单个 Chiplet 不包含完整功能集合，通过不同 Chiplets 组合封装实现不同类型的产品	Lego	采用 compute die 和 I/O die 组合的形式进行不同 Chiplets 功能拆解。在 compute die (CPU/AI) 设计时采用先进工艺，获得顶级的算力和能效，在 I/O die 设计时采用成熟工艺，在面积与先进工艺差别不大的情况下获得成本收益。并且不同的 Chiplets 的数量和组合形式都可以灵活搭配，从而组合出多种不同规格的云端高性能处理器产品。	
	AMD Zen 2/3	采用 CCD 和 CIOD 组合的形式进行不同 Chiplets 功能拆解。在 CCD 设计时采用最先进工艺，获得顶级的算力和能效，在 CIOD 设计时采用成熟工艺，在面积与先进工艺差别不大的情况下获得成本收益。并且 CCD 本身按照两个 4C8T cluster 组合的形式设计，可以适应 AMD 从 Desktop 到 Server 的架构需求，根据场景选择 CCD 数量和设计对应的 CIOD 即可，灵活度非常高。	
单个 Chiplet 包含较为独立完整的功能集合，通过多个 Chiplets 级联获得性能的线性增长	Apple M1 Ultra	通过 Apple 自研封装技术堆叠两颗 M1 Max 芯片，使两颗芯片间拥有超过 2.5TB/s 带宽且极低延时的互联能力，使 M1 Ultra 直接获得两倍 M1 Max 算力，同时在软件层面依然可以将 M1 Ultra 当做一个完整芯片对待，而不会增加额外的软件修改和调试的负担。	

Intel Sapphire Rapids

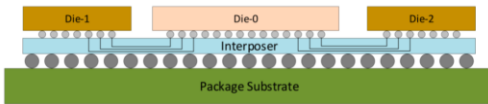
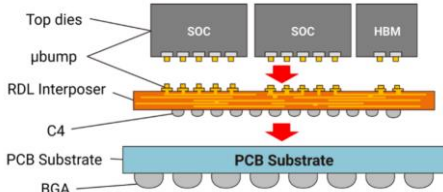
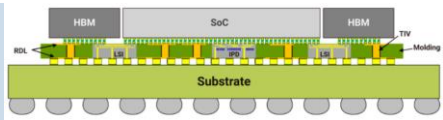
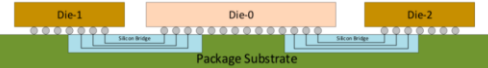
通过两组镜像对称的相同架构的 building blocks 组合 4 个 Chiplets, 获得 4 倍性能和互联带宽。每个基本模块包含计算部分、memory interface 部分、I/O 部分。通过将上述高性能组件组成基本的 building block, 再通过 EMIB 技术进行 Chiplet 互联, 可以获得线性性能提升和成本收益。



资料来源: 中微创芯科技, 半导体芯闻, 复睿微, 信达证券研发中心

支持 Chiplet 技术的主流底层封装技术目前主要由台积电、ASE、Intel 主导。目前三种方案中, Intel 主导的 EMIB 技术实现的集成度和制造良率更高, 但 EMIB 需要封装工艺配合桥接芯片, 技术门槛和复杂度较高。

表 2: 主流 Chiplet 底层封装技术

底层技术类型	方案概述	图示
MCM (Multi-Chip Module)	通过封装基板走线将多个芯片互联。走线距离和范围在 10mm~25mm, 线距线宽大约 10mm 量级, 单条走线带宽大约 10Gbit/s 量级。由于 MCM 可以通过基板直接连接各个芯片, 通常封装的成本会相对较低, 但是由于走线的线距线宽比较大, 封装密度相对较低, 接口速率相对较低, 延时相对较大。	
CoWoS-S	基础 CoWoS 技术, 可支持超高集成密度, 提供不超过两倍掩膜版尺寸的硅中介层, 通常用于集成 HBM 等高速高带宽内存芯片。	
CoWoS (Chip-on-Wafer-on-Substrate)	基于 CoWoS-S 技术引入 InFO 技术中的 RDL, RDL 中介层具有相对机械柔韧性, 增强了封装连接的可靠性, 并允许新封装可以扩大其尺寸以满足更复杂的功能需求, 从而有效支持多个 Chiplets 之间进行高速可靠互联。	
CoWoS-L	在 CoWoS-S 和 InFO 技术的基础上, 引入 LSI 技术, LSI 芯片在每个产品中可以有多种连接架构, 也可以重复用于多个产品, 提供更灵活和可复用的多芯片互联架构。	
EMIB (Embedded Multi-die Interconnect Bridge)	使用多个嵌入式包含多个路由层的桥接芯片, 同时内嵌至封装基板, 达到高效和高密度的封装。由于不再使用 interposer 作为中间介质, 可以去掉原有连接至 interposer 所需要的 TSVs, 以及由于 interposer 尺寸所带来的封装尺寸的限制, 可以获得更好的灵活性和更高的集成度。	

资料来源: 中微创芯科技, 半导体芯闻, 复睿微, 信达证券研发中心

Chiplet 重塑传统半导体产业链, 细分赛道龙头迎来破局点

高性能计算需求推动 Chiplet 市场空间激增, 呈现异军突起之势。根据 Gartner 预测, 基于 Chiplet 方案的半导体器件收入将在 2024 年达到 505 亿美元左右, 2020-2024 年间 CAGR 达 98%, 而用于服务器的器件销售收入为占比最大的应用终端, 在 2024 年达到约为 33%。

图 6: 2020-2024E 基于 Chiplet 技术半导体器件销售收入及增速(百万美元, %)

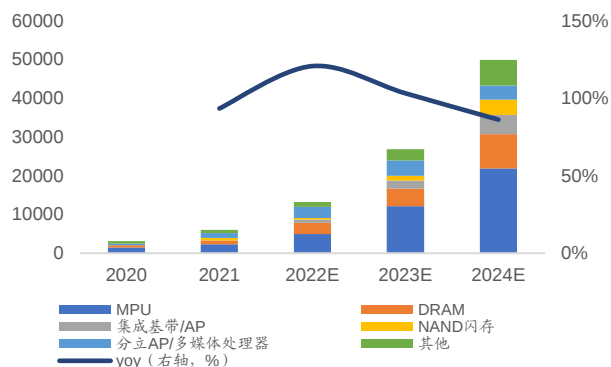
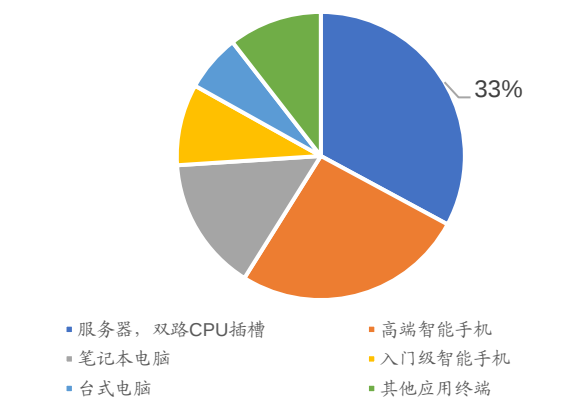


图 7: 2024E 前五大 Chiplet 应用终端营收结构 (%)



中美半导体产业博弈升级下国内先进制程发展受限，Chiplet 为实现弯道超车的逆境突破口之一。继《瓦森纳协议》限制国内晶圆厂对 EUV 光刻设备的采购后，2022 年 8 月美国签署《芯片与科学法案》继续限制中国芯片制造业发展，国内晶圆厂在先进制程升级上受阻。此外，中国大陆部分 IC 设计企业被美国列入“实体清单”，无法在台积电、三星等晶圆代工厂进行先进制程代工，19Q3-22Q2，台积电对中国大陆销售比例从 20% 降低至 12%，但当前中国大陆 28nm 以下制造比例仍处于较低位置。国内半导体产业在先进制程发展受限的情况下，可将 Chiplet 视为另一条实现性能升级的路径和产业突破口。

图 8: 台积电分技术节点销售结构 (%)

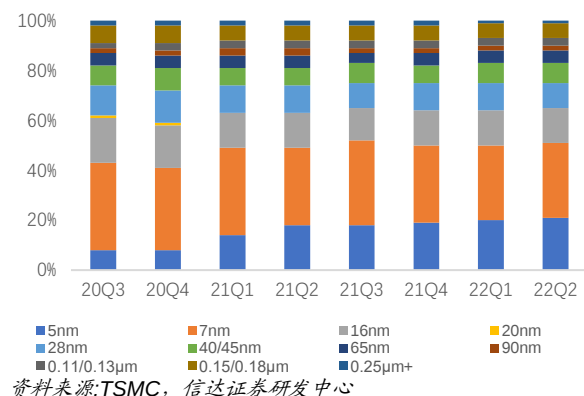
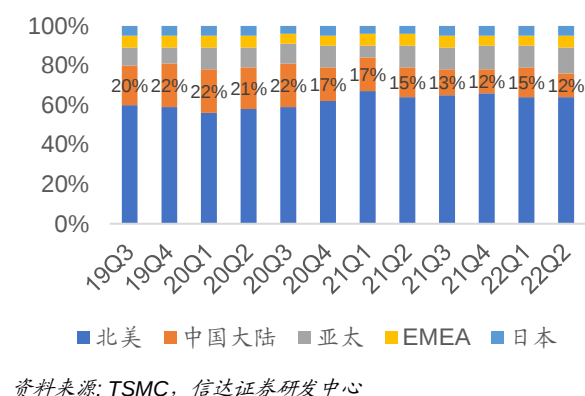
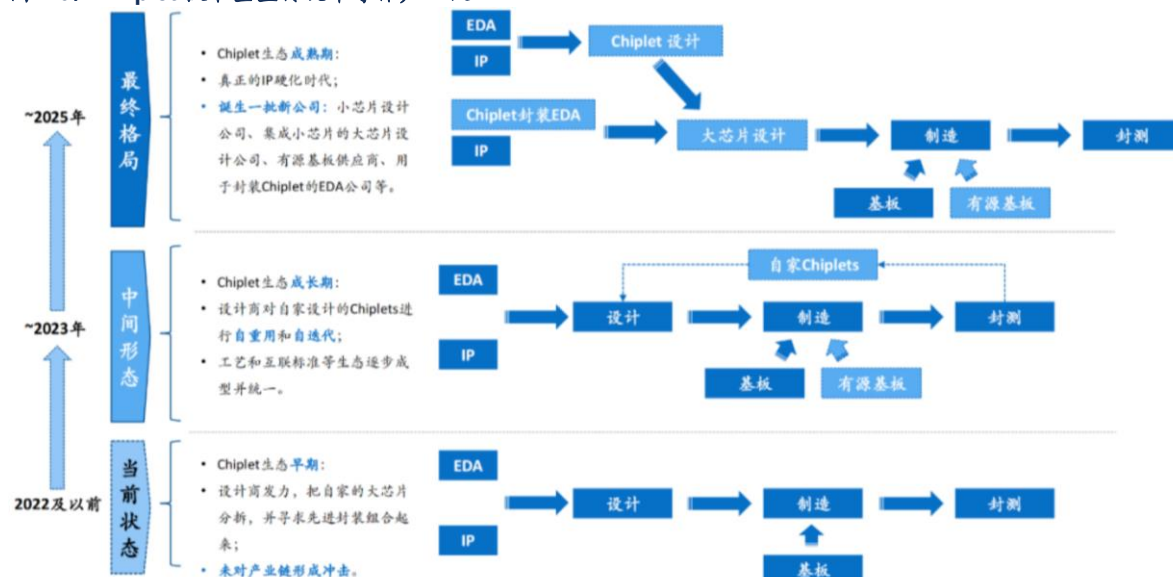


图 9: 台积电分地区销售结构 (%)



随着 Chiplet 技术生态逐渐成熟，国内厂商通过自重用及自迭代利用技术的多项优势，推动各环节价值重塑。产业链优质标的将在激增需求下获得崭新业绩增长空间，我们看好 IP/EDA/先进封装/第三方测试/封测设备/IC 载板优质标的受益于 Chiplet 浪潮实现价值重估。

图 10: Chiplet 技术重塑传统半导体产业链



资料来源：云岫资本，信达证券研发中心

表 3: Chiplet 产业链关注标的（数据截止 2022 年 10 月 27 日，wind 一致预期）

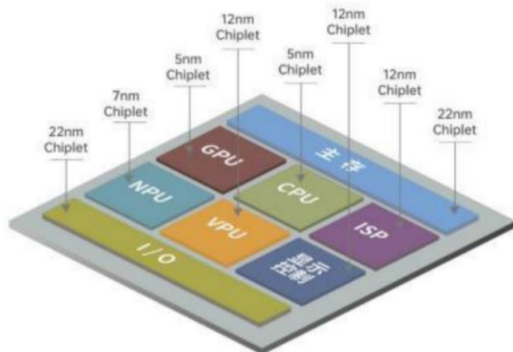
分类	公司	收盘价 (元)	净利润 (亿元)			PE			PS		
			2022E	2023E	2024E	2022E	2023E	2024E	2022E	2023E	2024E
IP	芯原股份-U	52.51	0.95	1.80	2.88	274.63	145.38	90.72	9.42	7.27	5.70
EDA	概伦电子	35.06	0.49	0.67	0.93	309.99	227.22	162.77	53.21	37.10	26.48
	华大九天	106.62	1.90	2.58	3.51	305.24	224.70	165.15	72.11	53.34	39.91
先进封装	长电科技	23.36	32.44	36.75	42.78	12.82	11.31	9.72	1.20	1.07	0.95
	通富微电	18.56	11.30	14.34	17.60	21.83	17.21	14.01	1.24	1.02	0.86
第三方测试	C 伟测	108.30									
	利扬芯片	33.50	1.61	2.09	2.52	28.57	22.04	18.23	8.71	6.96	5.62
封测设备	长川科技	60.13	5.65	8.51	11.59	64.28	42.69	31.35	12.69	8.89	6.78
	华峰测控	251.19	5.96	8.14	10.80	38.38	28.09	21.18	18.75	13.66	10.37
IC 载板	兴森科技	11.98	6.98	8.84	11.21	29.01	22.89	18.05	3.39	2.71	2.20

资料来源：wind，信达证券研发中心

IC 封测：测试需求快速提升，OSAT 加速布局先进封装技术高地

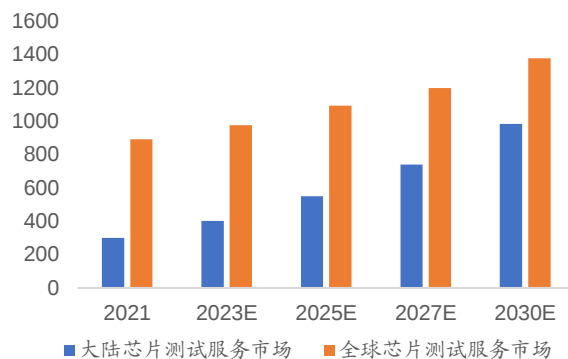
由于 Chiplet 将传统 SoC 划分为多个单功能或多功能组合的芯粒，相较于传统方案，芯片测试、测试机需求将快速提升。根据台湾地区工研院的统计，集成电路测试成本约占设计营收的 6%-8%。2021 年中国大陆测试服务市场规模在 300 亿元左右，全球的市场规模为 892 亿元，Gartner 预计 2025 年全球测试服务市场将达到 1094 亿元，其中，中国市场将达到 550 亿元，占比 50.3%，5 年内存在超过 250 亿元的巨量增长空间。

图 11: 基于 Chiplet 技术的方案显著提升封测需求



资料来源: 芯原股份, 大象研究院, 信达证券研发中心

图 12: 大陆及全球芯片测试服务市场空间预测 (亿元)



资料来源: 伟测科技招股说明书, Gartner, 信达证券研发中心

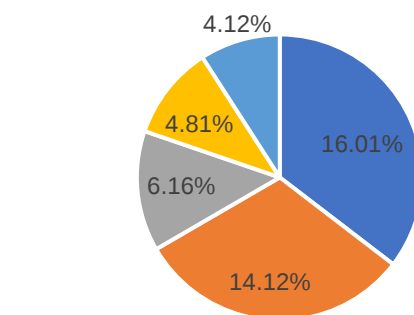
我们关注第三方测试行业优势供应商伟测科技, 公司重点突破 6nm-14nm 先进制程芯片、5G 射频芯片、高性能 CPU、高性能计算芯片、FPGA、复杂 SoC 芯片等各类高端芯片的测试工艺难点, 成为中国大陆各大芯片设计公司高端芯片测试的国产化替代的重要供应商之一。

图 13: 伟测科技主要客户情况

客户类型	典型客户
Fabless	紫光展锐、中兴微电子、晶晨半导体、比特大陆、普冉半导体、昂胜微、兆易创新、安路科技、恒玄科技、复旦微电子、中颖电子、东软载波、唯捷创芯、华大半导体、艾为电子、晶丰明源、富瀚微电子、北京君正、芯海科技、思瑞浦
OSAT	长电科技、甬矽电子、通富微电、华天科技、日月光
Foundry	中芯国际、武汉新芯
IDM	华润微电子、吉林华微

资料来源: 伟测科技招股说明书, 信达证券研发中心

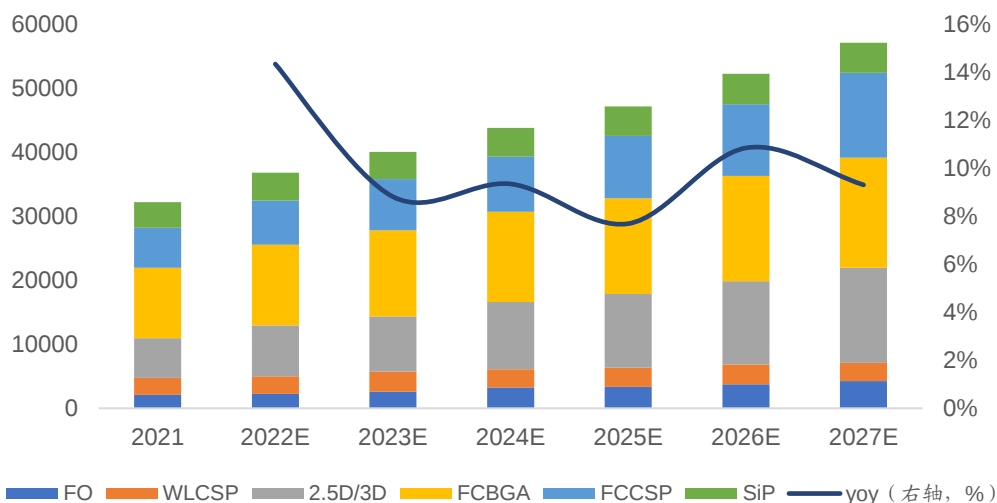
图 14: 2021 年伟测科技前五大客户营收占比 (%)



资料来源: 伟测科技招股说明书, 信达证券研发中心

先进封装方面, 根据 Yole, 2021 年先进封装市场收入达 321 亿美元, 预计 2027 年将实现 572 亿美元, 复合年增长率为 10%, 其中国内龙头 OSAT 占据重要地位, 且有望伴随 Chiplet 浪潮迎来强势增长。

图 15: 先进封装市场空间及增速预测 (百万美元, %)



资料来源: Yole, 半导体行业观察, 信达证券研发中心

为了抢占先进封装技术高地, 全球主要封测厂、晶圆厂和 IDM 厂商都加紧布局先进封装, 包含 OSAT、晶圆厂及 IDM。其中, Foundry 由于其先具有的工艺技术, 在先进封装领域具备先发优势。

请阅读最后一页免责声明及信息披露 <http://www.cindasc.com> 10

表 4: 全球部分先进封装解决方案 (2D/2.5D/3D)

先进封装方案	年份	2D/2.5D/3D	功能密度	应用	主要生产商
FOWLP	2009	2D	低	智能手机、5G、AI	Infineon/NXP
INFO	2016	2D	中	iphone、5G、AI	TSMC
FOPLP	2017	2D	中	移动设备、5G、AI	SAMSUNG
EMIB	2018	2D	中	Graphics、HPC	Intel
CoWoS	2012	2.5D	中	高端服务器、HPC	TSMC
HBM	2015	3D+2.5D	高	Graphics、HPC	AMD/NVIDIA/Hynix/Intel/SAMSUNG
HMC	2012	3D	高	高端服务器、HPC	Micron/SAMSUNG/IBM/ARM/MicroSoft
Wide-IO	2012	3D	中	高端智能手机	SAMSUNG
Foveros	2018	3D	中	高端服务器、HPC	Intel
Co-EMIB	2019	3D+2D	高	高端服务器、HPC	Intel
TSMC-SolC	2020	3D	非常高	5G、AI、可穿戴或移动设备	TSMC
X-Cube	2020	3D	高	5G、AI、可穿戴或移动设备	SAMSUNG

资料来源: CEIA 电子智造, 李杨《先进封装与异构集成》, 信达证券研发中心

我们总结全球主要提供 Chiplet 封装厂商晶圆级解决方案如下, 国内龙头 OSAT 积极布局 Chiplet 相关技术, 长电科技 XDFOI 平台以 2.5D 无 TSV 为基本技术平台, 采用 RDL First 技术, 具备成本优势, 可实现 2D/2.5D/3D 集成; 而通富微电利用次微米级硅中介层以 TSV 将多芯片整合于单一封装, 已顺利实现 7nm 节点量产。

表 5: 全球主要提供 Chiplet 封装厂商解决方案汇总

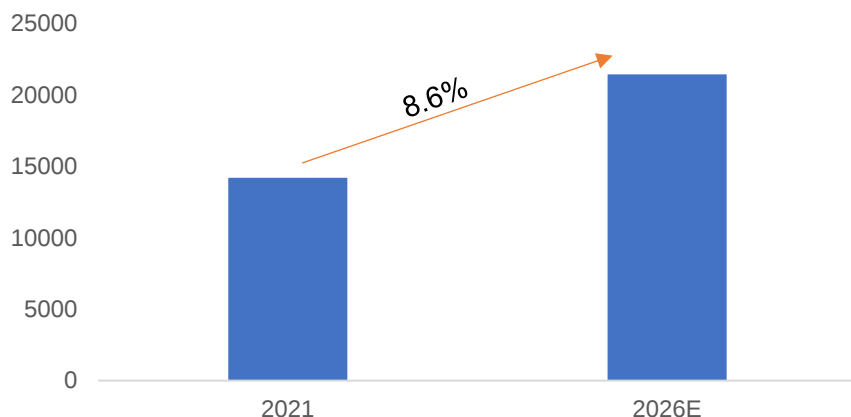
公司	平台/方案	主要特点	目前公司可支持工艺节点
通富微电	VISIONS	晶圆级 TSV, 利用次微米级 interposer 以 TSV 将多芯片整合于单一封装	7nm 量产, 5nm 完成研发即将量产
长电科技	XDFOI	以 2.5D 无 TSV 为基本技术平台, 具备成本优势, 可实现 2D/2.5D/3D 集成	4nm
台积电	3DFabric	将 2.5D/3D 先进封装相关技术整合为 3DFabric 平台; 前段技术 3D SoIC 利用芯片间直接铜键合, 具有更小间距; 后段技术 2.5D 方面, CoWoS 扩展至三种不同转接板技术, InFO 将封装凸块直接连接到再分配层	
三星	X Cube	芯片互连方面使用成熟 TSV 工艺, 目前能够将 SRAM 芯片堆叠在三星生产的 7nm EUV 工艺的逻辑芯片上	
	I Cube	将一个或多个逻辑 die 和多个 HBM die 水平放置在硅中介层进行异构集成, 支持增强热管理及稳定的电源供应	
日月光	FOCoS	扇出封装 FC 排列于 BGA 上, 具备 RDL 允许在多个芯片之间构建更短的 die-to-die 互连, 能够实现封装内部多个 chiplet 互联	

资料来源: 各公司官网、公告等, 信达证券研发中心整理

IC 载板: 先进封装应用对载板需求拉动显著

先进封装应用增加封装载板层数, 对载板需求拉动显著。根据 Prismark 预测, 2021-2026 年全球 PCB 行业的复合增长率为 4.8%, 从产品结构而言, IC 封装基板、HDI 板仍将呈现优于行业的增长表现, 预期 2026 年 IC 封装基板、HDI 板的市场规模将分别达到 214.35 亿、150.12 亿美元, 2021-2026 年的复合增长率分别为 8.6%、4.9%。其中, 预期 2026 年中国市场 IC 封装基板行业整体规模将达到 40.19 亿美元, 2021-2026 年复合增长率为 11.6%, 将高于行业平均水平。

图 16: 2021-2026E IC 封装基板全球市场空间 (百万美元)



资料来源: Prismark, 兴森科技公告, 信达证券研发中心

2022H1, 兴森科技 IC 封装基板业务实现营业收入 3.75 亿元、同比+26.80%, 实现毛利率 27.16%、同比提升 6.36 个百分点。现有 CSP 封装基板产能为 3.5 万平方米/月, 其中, 广州基地 2 万平方米/月的产能满产满销, 盈利能力保持稳定; 珠海兴科项目于二季度建成 1.5 万平方米/月的新产能, 三季度量产爬坡, 受投产初期的人工成本、试生产费用等拖累, 亏损 3,176.04 万元。**FCBGA** 封装基板业务是公司新启动的重点投资项目, 目前进展顺利, 公司预计珠海 **FCBGA** 项目于年底之前完成产线建设。

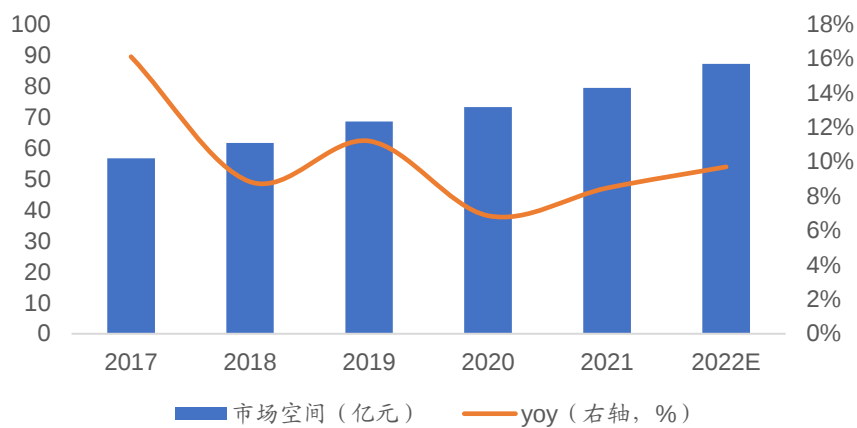
EDA/IP: 3D IC 封装技术发展开辟国内 EDA/IP 新机遇

Chiplet 架构下, 不同芯片供应商、代工厂生产的芯粒之间需具备互操作性, 对 **EDA/IP** 厂商提出了更高要求。由于国内普遍缺乏 **Chiplet** 实践经验, 需要有定义完整的设计流程和配套的设计辅助工具, **EDA** 厂商需为此提供跨平台工具, 以有效地整合不同来源的芯片。另外, **Chiplet** 生态系统也意味着不同的公司必须相互共享芯片 IP, 目前国内仍然十分依赖国外 **EDA** 巨头和半导体 IP 供应商提供的一站式解决方案。

异构集成的 3D IC 先进封装已经成为延续摩尔定律的最佳途径之一, 使用传统的脱节的点工具和流程对设计收敛会带来巨大的挑战, 而对信号、电源完整性分析的需求也随着垂直堆叠的芯片而快速增长。3D IC 所需要考虑的物理因素更为复杂, 对 **EDA** 工具提出了新的需求, 包括 IC/封装的协同优化, TSV 通孔、硅中介层等的引入都会产生新的约束, 需要着眼于系统整体性能进行综合; 此外, 不同裸片高密度细节距互连, 对于布局及布线规划也需要开发新的工具以实现最优化。

我们认为, **Chiplet** 发展下 3D IC 制造封装技术的兴起将开辟国内 **EDA/IP** 新机遇。目前, **Chiplet** 主要仍为单一公司完成全系统, 但未来多厂商合作的新型 **Chiplet** 模式将打破传统 SoC 流程, 并在 IP 建模、互连架构分析等系统级性能、功耗、功能验证方面, 提出新验证需求, 实现全新的 **Chiplet** 产业结构。在这一机遇下, 国内具备先发优势的厂商加快技术追赶, 或将实现业绩超预期增长。

图 17: 2017-2022E 国内 EDA/IP 市场空间及增速 (亿元, %)



资料来源: 国家智能传感器创新中心, 中国电子报, 赛迪顾问, 信达证券研发中心

风险因素

Chiplet 研发进展不及预期;

下游需求不及预期。

研究团队简介

莫文宇，毕业于美国佛罗里达大学，电子工程硕士，2012-2022 年就职于长江证券研究所，2022 年入职信达证券研发中心，任副所长、电子行业首席分析师。

机构销售联系人

区域	姓名	手机	邮箱
全国销售总监	韩秋月	13911026534	hanqiyue@cindasc.com
华北区销售总监	陈明真	15601850398	chenmingzhen@cindasc.com
华北区销售副总监	阙嘉程	18506960410	quejiacheng@cindasc.com
华北区销售	祁丽媛	13051504933	qiliyuan@cindasc.com
华北区销售	陆禹舟	17687659919	luyuzhou@cindasc.com
华北区销售	魏冲	18340820155	weichong@cindasc.com
华北区销售	樊荣	15501091225	fanrong@cindasc.com
华北区销售	秘侨	18513322185	miqiao@cindasc.com
华东区销售总监	杨兴	13718803208	yangxing@cindasc.com
华东区销售副总监	吴国	15800476582	wuguo@cindasc.com
华东区销售	国鹏程	15618358383	guopengcheng@cindasc.com
华东区销售	李若琳	13122616887	liruolin@cindasc.com
华东区销售	朱尧	18702173656	zhuyao@cindasc.com
华东区销售	戴剑箫	13524484975	daijianxiao@cindasc.com
华东区销售	方威	18721118359	fangwei@cindasc.com
华东区销售	俞晓	18717938223	yuxiao@cindasc.com
华东区销售	李贤哲	15026867872	lixianzhe@cindasc.com
华东区销售	孙僮	18610826885	suntong@cindasc.com
华东区销售	贾力	15957705777	jiali@cindasc.com
华东区销售	石明杰	15261855608	shimingjie@cindasc.com
华东区销售	曹亦兴	13337798928	caoyixing@cindasc.com
华南区销售总监	王留阳	13530830620	wangliuyang@cindasc.com
华南区销售副总监	陈晨	15986679987	chenchen3@cindasc.com
华南区销售副总监	王雨霏	17727821880	wangyufei@cindasc.com
华南区销售	刘韵	13620005606	liuyun@cindasc.com
华南区销售	胡洁颖	13794480158	hujieying@cindasc.com
华南区销售	郑庆庆	13570594204	zhengqingqing@cindasc.com
华南区销售	刘莹	15152283256	liuying1@cindasc.com

分析师声明

负责本报告全部或部分内容的每一位分析师在此申明，本人具有证券投资咨询执业资格，并在中国证券业协会注册登记为证券分析师，以勤勉的职业态度，独立、客观地出具本报告；本报告所表述的所有观点准确反映了分析师本人的研究观点；本人薪酬的任何组成部分不曾与，不与，也将不会与本报告中的具体分析意见或观点直接或间接相关。

免责声明

信达证券股份有限公司（以下简称“信达证券”）具有中国证监会批复的证券投资咨询业务资格。本报告由信达证券制作并发布。

本报告是针对与信达证券签署服务协议的签约客户的专属研究产品，为该类客户进行投资决策时提供辅助和参考，双方对权利与义务均有严格约定。本报告仅提供给上述特定客户，并不面向公众发布。信达证券不会因接收人收到本报告而视其为本公司的当然客户。客户应当认识到有关本报告的电话、短信、邮件提示仅为研究观点的简要沟通，对本报告的参考使用须以本报告的完整版本为准。

本报告是基于信达证券认为可靠的已公开信息编制，但信达证券不保证所载信息的准确性和完整性。本报告所载的意见、评估及预测仅为本报告最初出具日的观点和判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会出现不同程度的波动，涉及证券或投资标的的历史表现不应作为日后表现的保证。在不同时期，或因使用不同假设和标准，采用不同观点和分析方法，致使信达证券发出与本报告所载意见、评估及预测不一致的研究报告，对此信达证券可不发出特别通知。

在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，也没有考虑到客户特殊的投资目标、财务状况或需求。客户应考虑本报告中的任何意见或建议是否符合其特定状况，若有必要应寻求专家意见。本报告所载的资料、工具、意见及推测仅供参考，并非作为或被视为出售或购买证券或其他投资标的的邀请或向人做出邀请。

在法律允许的情况下，信达证券或其关联机构可能会持有报告中涉及的公司所发行的证券并进行交易，并可能会为这些公司正在提供或争取提供投资银行业务服务。

本报告版权仅为信达证券所有。未经信达证券书面同意，任何机构和个人不得以任何形式翻版、复制、发布、转发或引用本报告的任何部分。若信达证券以外的机构向其客户发放本报告，则由该机构独自为此发送行为负责，信达证券对此等行为不承担任何责任。本报告同时不构成信达证券向发送本报告的机构之客户提供的投资建议。

如未经信达证券授权，私自转载或者转发本报告，所引起的一切后果及法律责任由私自转载或转发者承担。信达证券将保留随时追究其法律责任的权利。

评级说明

投资建议的比较标准	股票投资评级	行业投资评级
本报告采用的基准指数：沪深 300 指数（以下简称基准）； 时间段：报告发布之日起 6 个月内。	买入 ：股价相对强于基准 20% 以上；	看好 ：行业指数超越基准；
	增持 ：股价相对强于基准 5%~20%；	中性 ：行业指数与基准基本持平；
	持有 ：股价相对基准波动在±5% 之间；	看淡 ：行业指数弱于基准。
	卖出 ：股价相对弱于基准 5% 以下。	

风险提示

证券市场是一个风险无时不在的市场。投资者在进行证券交易时存在赢利的可能，也存在亏损的风险。建议投资者应当充分深入地了解证券市场蕴含的各项风险并谨慎行事。

本报告中所述证券不一定能在所有的国家和地区向所有类型的投资者销售，投资者应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专业顾问的意见。在任何情况下，信达证券不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任，投资者需自行承担风险。