



电子行业：AI 半导体的新结构、新工艺、新材料与投资建议

——半导体技术前瞻专题系列之一

2024 年 1 月 8 日

看好/维持

电子

行业报告

分析师

刘航 电话：021-25102913 邮箱：liuhang-yjs@dxzq.net.cn

执业证书编号：S1480522060001

投资摘要：

半导体行业现状：晶圆厂建设成本加大，AI 相关开支明显提升。在人工智能和汽车电动化的产业趋势下，半导体增长逻辑在强化，2030 年半导体市场规模有望突破 1 万亿美元。随着工艺节点的突破，半导体研发投入和晶圆厂建设成本大幅提升，5nm 晶圆厂建设成本高达 54 亿美元。晶体管微缩、3D 堆叠等促进了 CMOS 先进工艺方面的投资，2024-2027 年半导体制备设备市场有望保持持续增长。预计半导体公司 AI/ML 相关 EBIT 快速增长，中长期有望增加至每年 850-950 亿美元。AI 对于半导体制造产生的贡献最大，约为 380 亿美元，但芯片研发和设计成本有望降低。未来越来越多的数据中心使用高性能服务器，预计 2027 年 AI 半导体销售额快速增长。

随着 AI 半导体晶体管数量增加，通过引入 MPU、增大芯片面积，算力大幅提升，接下来我们对于 AI 半导体的新结构、新工艺和新材料等产业趋势进行前瞻性分析。

- (一) **新结构：晶体管微缩、存储器件堆叠，电容使用 MIMCAP 结构。**AI 半导体器件的新结构将加速由 FinFET 向 GAA 转变。GAAFET 的器件结构中，沟道外延层、源极/漏极外延层出现多层结构，此外高性能/高带宽的 DRAM 使用 High-k 材料和金属材料，而这些材料和工艺都需要更多的 ALD 和 PVD 外延工艺。另外，随着生成式 AI 的发展，大容量数据高速运转，DRAM 芯片使用 HBM 结构来降低互联的延迟。随着 AI 半导体的发展，未来将更多采用 3D 堆叠和低温/复杂器件结构。AI 半导体增加了 MIMCAP 结构 (Hf 基 ALD 介质层)，其中 MIM 为单元电容器。
- (二) **新工艺：FEOL 采用 HKMG 工艺，部分 BEOL 采用背面供电工艺。**逻辑器件制造可分为前道 (FEOL)、中道 (MOL) 和后道 (BEOL) 工艺。SiON/Poly 栅极集成解决方案存在一定局限性，随着 SiON 厚度不断减小，导致了更多功率损耗，使得 HKMG 集成解决方案应运而生。HKMG 可以降低晶体管栅氧化层厚度，通过提高晶体管速度和 Vdd 微缩来降低功耗。背面供电工艺将电源线移动到芯片“背面”的方法，使得芯片“正面”专注于互连，英特尔背面供电方案 IR 降低了 30%，每个核心的性能提高 6%。
- (三) **新材料：硅材料、Hf、钽金属和 high-k 材料用量增加，封装基板用量明显增大。**为了获得更高的性能，小芯片使用量将增多，相应硅材料的使用量也会相应增大，随着芯片高密度互联的要求，硅面积或将增加一倍多。高性能/高带宽的 DRAM 需要采用 High-k 材料和金属材料，这些材料和工艺都需要更多的单片 ALD 和外延工艺。DRAM 线宽越细，High-k 材料用的越多。从材料端来看，后段制造工艺中钽金属替代 CVD 工艺中的钨以及 PVD 工艺中的铜金属，3D NAND 中会更多地使用钽金属，而中段工艺将使用钽金属作为 Via 填充材料。

投资建议：随着 AI 的发展，AI 半导体具有新结构、新工艺和新材料，我们建议积极关注以下几个方面的创新性变革：

- (1) 随着堆叠工艺增多，ALD 设备需求量增多，受益标的：微导纳米；
- (2) 未来采用 HKMG 工艺，High-k 材料需求量增大，前驱体使用量或将提升，受益标的：雅克科技；随着芯片高密度互联，硅片用量有所增加，推荐沪硅产业，受益标的：TCL 中环、神工股份、立昂微。
- (3) 3D 封装过程中会使用更多的封装基板，受益标的：兴森科技、深南电路。

风险提示：下游需求不及预期、技术迭代风险、客户拓展不及预期、中美贸易摩擦加剧。

目 录

1. 半导体行业现状：晶圆厂建设成本加大，AI 开支明显提升	3
2. AI 半导体：新结构、新材料和新工艺	6
2.1 新结构：晶体管微缩、存储器件堆叠，使用 MIMCAP 结构	7
2.2 新工艺：FEOL 采用 HKMG 工艺，BEOL 采用背面供电工艺	10
2.3 新材料：硅材料、Hf、钼金属和 High-k 材料用量增加，封装基板使用量增大	12
3. 投资建议	13
4. 风险提示	14
相关报告汇总	15

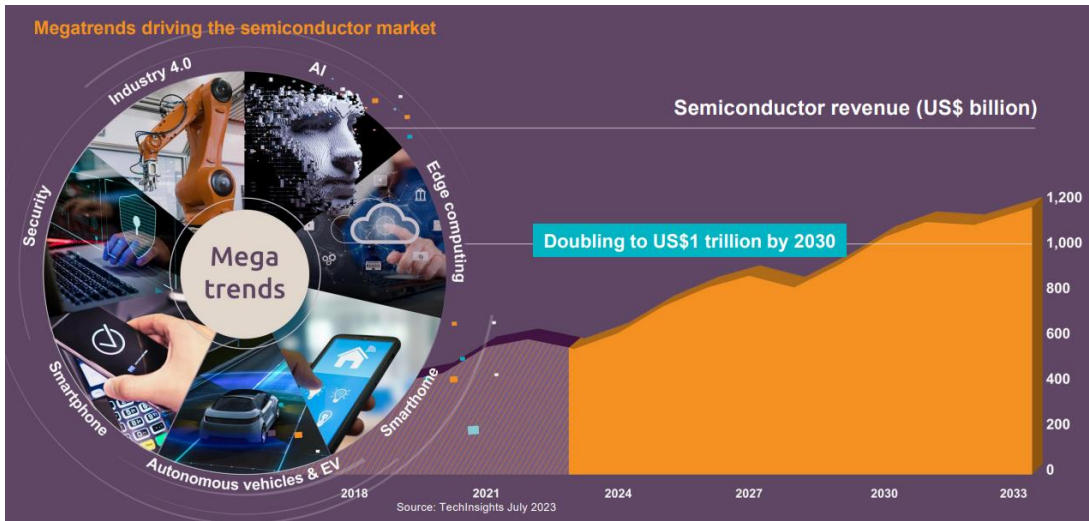
插图目录

图 1：2030 年半导体市场有望突破 1 万亿美元	3
图 2：先进工艺晶圆厂建设成本较高，5nm 晶圆厂建设成本约为 54 亿美元	3
图 3：2024-2027 年半导体制造设备市场有望持续增长	4
图 4：预计 4 年后，人工智能对于半导体产生的 EBIT 增加至 850-950 亿美元，约占半导体销售额的 20%	4
图 5：AI 对于半导体制造的 EBIT 影响最大，约为 380 亿美元	5
图 6：下游工业、消费电子和计算领域对应的 AI 半导体销售额快速增长	5
图 7：在数据中心侧和边缘侧，不同类型芯片的占比不同	6
图 8：未来 AI 芯片晶体管数量增加，并通过引入 MPU、增大芯片面积来提升算力优先级	6
图 9：器件结构由 FinFET 到 GAA，再到 CFET	7
图 10：GAAFET 工艺将会使用更多 ALD 和外延工艺	7
图 11：单硅片 ALD 设备 2020-2025 年 CAGR 为 16-20%	8
图 12：外延设备 2020-2025 年 CAGR 为 13-18%	8
图 13：DRAM 从平面结构转换为 HBM 结构	8
图 14：通过将外接电路和存储阵列键合在一起，3D NAND 的性能明显提升	8
图 15：随着 AI 半导体的发展，采用 3D 堆叠和低温/复杂器件结构	9
图 16：AI 半导体采用 MIMCAP 来增加存储	9
图 17：逻辑器件制造可分为前道（FEOL）、中道（MOL）和后道（BEOL）工艺	10
图 18：当电压降低时，需要降低厚度来提升性能，HKMG 可以用于持续微缩	10
图 19：HKMG 可以实现晶体管栅氧化层厚度减少，并通过提高晶体管速度和 Vdd 微缩来实现功率降低	11
图 20：英特尔采用背面供电技术路径，形成了“三明治”结构	11
图 21：MOS 管 High-k 材料用量有所增多	12
图 22：随着芯片高密度互联，硅材料用量有所增加	12
图 23：3D NAND 中使用 Mo	13
图 24：MOL 将使用 Mo 作为 Via 填充材料	13
图 25：FC-BGA 搭载更多芯片，通过载板进行连接和传输	13
图 26：在 3D 封装过程中会使用更多的封装基板	13

1. 半导体行业现状：晶圆厂建设成本加大，AI 开支明显提升

在人工智能和汽车电动化、智能化的产业趋势下，半导体增长的逻辑仍在强化，2030 年半导体市场规模有望突破 1 万亿美元。

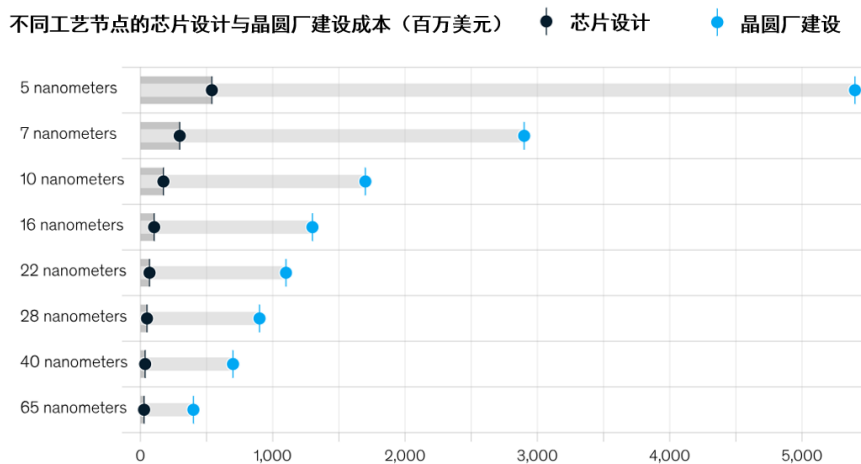
图1：2030 年半导体市场有望突破 1 万亿美元



资料来源：ASM 公司公告、TechInsights、东兴证券研究所

随着工艺节点的突破，半导体研发投入和晶圆厂建设成本大幅提升，预计 5nm 晶圆厂建设成本高达 54 亿美元。半导体公司由于资本开支巨大，形成了较强的技术壁垒和资金壁垒，它们通过不断地缩短产品的生命周期，并不断地通过技术创新来保持产品竞争力。随着工艺节点的突破，半导体设计和研发投入对应的资本开支大幅提升，例如 65nm 工艺研发设计成本约为 2800 万美元，而 5nm 工艺相关的设计和研发成本为 5.4 亿美元；与此同时，65nm 到 5nm 晶圆厂建设成本也从 4 亿美元提升至 54 亿美元。

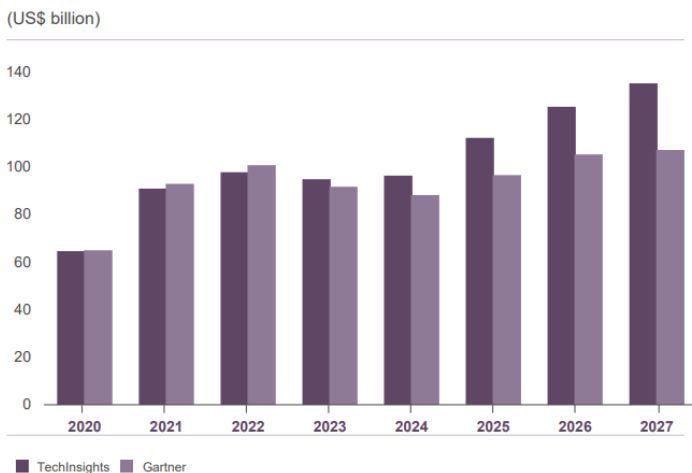
图2：先进工艺晶圆厂建设成本较高，5nm 晶圆厂建设成本约为 54 亿美元



资料来源：McKinsey 官网、IBS、东兴证券研究所

晶体管微缩、3D 堆叠等技术创新使得 CMOS 先进工艺方面的投资加大，2024-2027 年半导体制造设备市场有望保持持续增长。

图3：2024-2027 年半导体制造设备市场有望持续增长

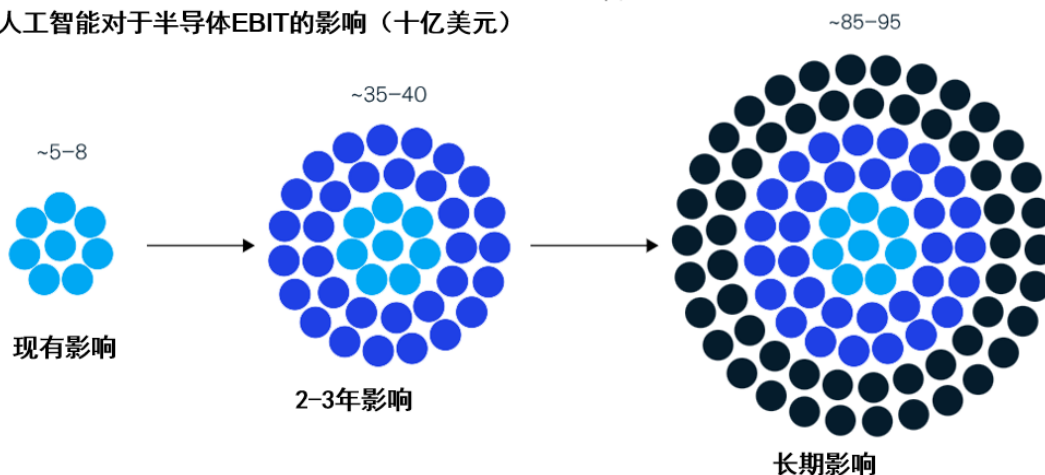


资料来源：ASM 公司公告、TechInsights、Gartner、东兴证券研究所

半导体公司 AI/ML（人工智能/机器学习）有关的 EBIT 快速增长，预计 4 年以后有望增加至每年 850-950 亿美元。半导体公司每年 AI/ML 贡献的 EBIT 目前来看为 50-80 亿美元，在未来 2-3 年将会产生 350-400 亿美元。而 4 年以后有望增加至每年 850-950 亿美元。

图4：预计 4 年后，人工智能对于半导体产生的 EBIT 增加至 850-950 亿美元，约占半导体销售额的 20%

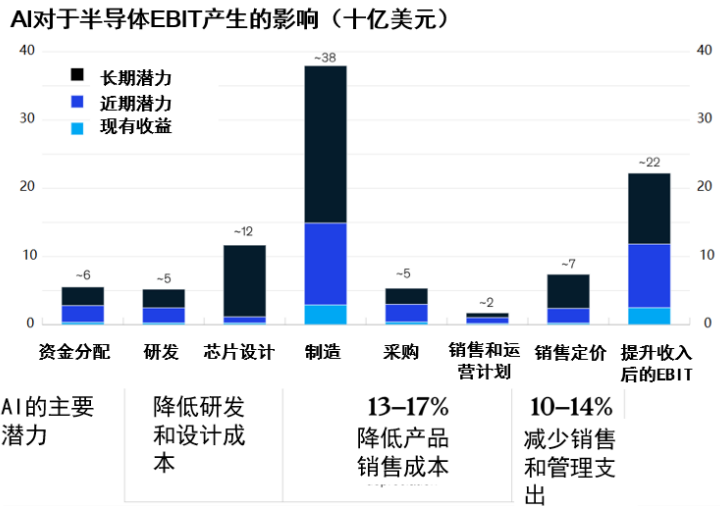
人工智能对于半导体 EBIT 的影响（十亿美元）



资料来源：McKinsey 官网、东兴证券研究所整理

AI 在整个半导体产业链中，对于制造的 EBIT 影响最大，约为 380 亿美元，未来芯片研发和设计成本有望降低。制造业将在 AI/ML 中明显受益，特别是考虑到了资本开支、运营支出和材料成本。AI 对于半导体制造产生的贡献最大，约为 380 亿美元。同时受益于芯片设计和验证自动化，芯片研发和设计成本也相应降低。

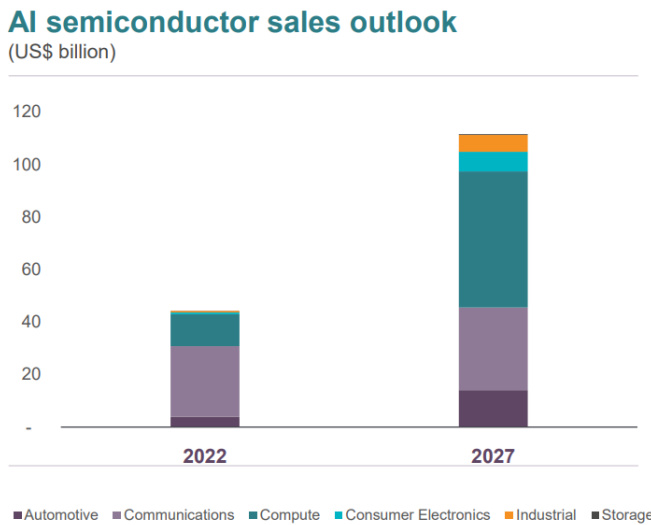
图5：AI 对于半导体制造的 EBIT 影响最大，约为 380 亿美元



资料来源：McKinsey 官网、东兴证券研究所

随着 GPU、ASIC、通讯设备和高带宽 DRAM 用量增加，下游工业、消费电子和计算领域对应的 AI 半导体销售额快速增长。

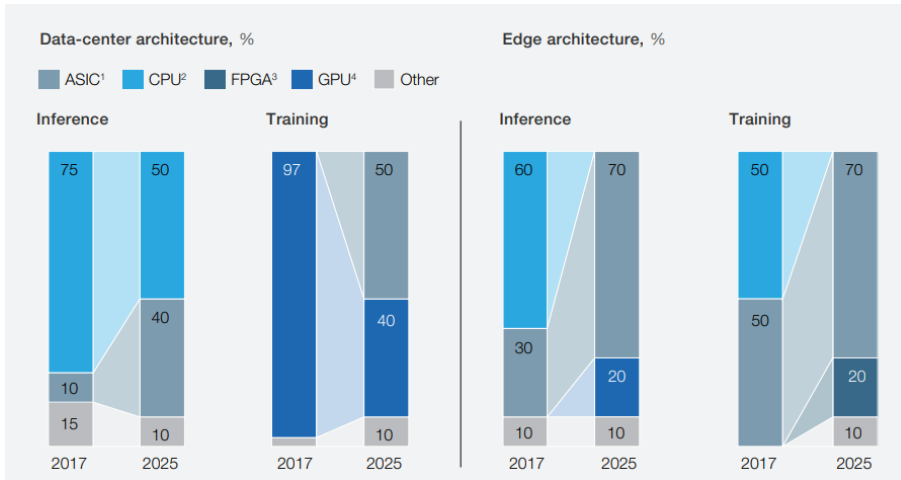
图6：下游工业、消费电子和计算领域对应的 AI 半导体销售额快速增长



资料来源：ASM 公司公告、Gartner、东兴证券研究所

在数据中心侧和边缘侧，不同类型芯片的占比不同。在数据中心侧，推理和训练芯片 ASIC 芯片占比大幅提升；而在边缘侧推理芯片 GPU 大幅提升，训练芯片 FPGA 占比大幅提升。

图7：在数据中心侧和边缘侧，不同类型芯片的占比不同

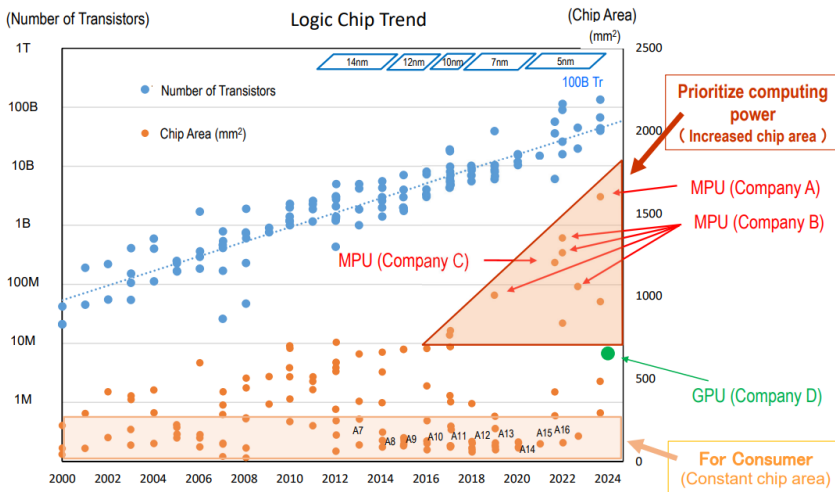


资料来源：McKinsey 官网、东兴证券研究所

2. AI 半导体：新结构、新材料和新工艺

随着 AI 半导体晶体管数量增加，通过引入 MPU（微处理器）、增大芯片面积，算力将会大幅提升。我们接下来对于 AI 半导体的新结构、新工艺和新材料等产业趋势进行前瞻性分析。

图8：未来 AI 芯片晶体管数量增加，并通过引入 MPU、增大芯片面积来提升算力优先级



资料来源：SUMCO 公司公告、东兴证券研究所

2.1 新结构：晶体管微缩、存储器件堆叠，使用 MIMCAP 结构

随着 AI 半导体技术发展，半导体器件结构更加复杂，由 FinFET 到 GAA，再到 CFET 转变。1999 年，胡正明教授正式发明 FinFET（鳍式场效应晶体管），相比平面 FET 的平面设计，FinFET 为 3D 立体结构，消除了平面 FET 的短沟道效应。但当工艺节点达到 5 nm 之后，FinFET 结构无法提供足够的静电控制。GAAFET(Gate-All-Around FET)把栅极和漏极从鳍片变成了纳米线，栅极对电流的控制力进一步提升。据 IMEC 数据，GAA 预计将于 2024 完成，采用 2nm 节点取代 FinFET 技术。而 CFET 采用多层纳米片替代 GAA 中的纳米线，更大宽度的片状结构增加了接触面，器件结构继续微缩。

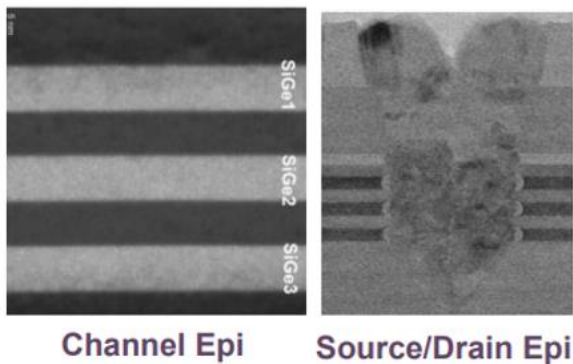
图9：器件结构由 FinFET 到 GAA，再到 CFET



资料来源：KOKUSAI ELECTRIC 公司公告、东兴证券研究所

GAAFET 的器件结构中，沟道外延层、源极/漏极外延层出现了多层结构，高性能/高带宽的 DRAM 使用 High-k 材料和金属材料，而这些材料和工艺都需要更多的 ALD 和 PVD 外延工艺。

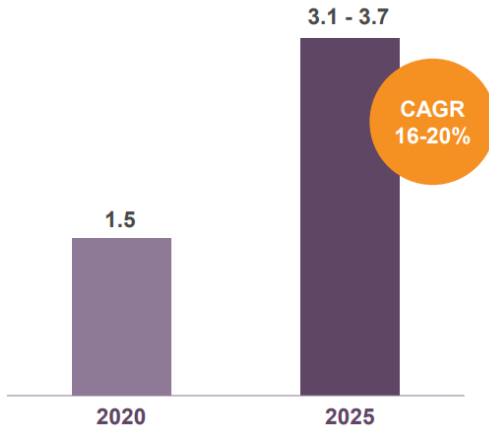
图10：GAAFET 工艺将会使用更多 ALD 和外延工艺



资料来源：ASM 公司公告、东兴证券研究所

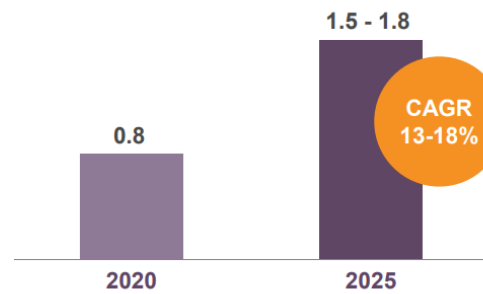
ALD 设备行业是薄膜沉积市场中增速最快的细分板块，随着器件复杂性增加、引入 3D 结构，新材料的种类与用量均有所增加。

图11：单硅片 ALD 设备 2020-2025 年 CAGR 为 16-20%



资料来源：ASM 公司公告、东兴证券研究所

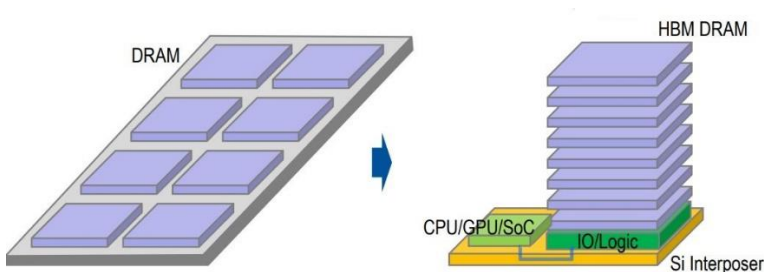
图12：外延设备 2020-2025 年 CAGR 为 13-18%



资料来源：ASM 公司公告、东兴证券研究所

另外，在存储端，随着生成式 AI 的发展，大容量数据高速运转，DRAM 芯片使用 HBM（High Bandwidth Memory）结构来降低互联的延迟。DRAM 从平面结构转换为 HBM 结构，可以大幅降低互联长度、采用 TSV 互联的方式提高数据传输速度、降低散热和耗电量、增加 TSV 结构中的硅面积。

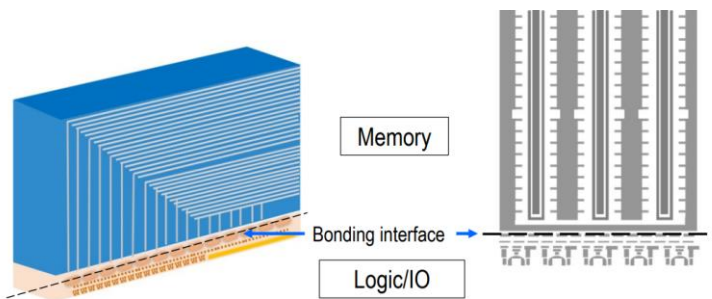
图13：DRAM 从平面结构转换为 HBM 结构



资料来源：SUMCO 公司公告、东兴证券研究所

通过将外接电路和存储阵列晶圆键合在一起，3D NAND 芯片将具备更高的存储密度和更快的数据传输速度，3D NAND 的性能明显提升。

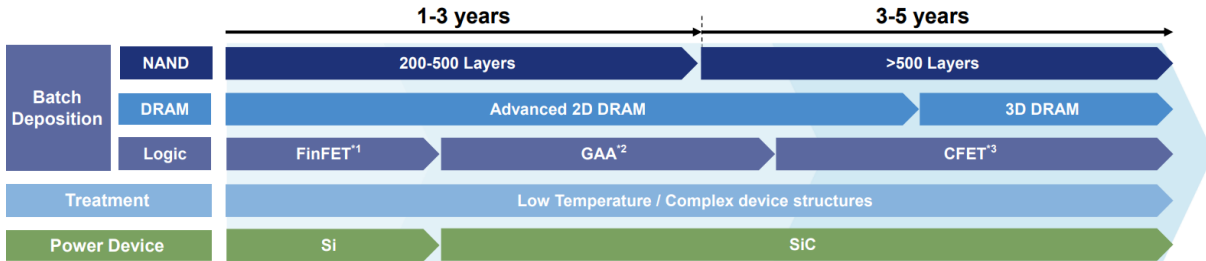
图14：通过将外接电路和存储阵列键合在一起，3D NAND 的性能明显提升



资料来源：SUMCO 公司公告、东兴证券研究所

随着 AI 半导体的发展，未来将更多采用 3D 堆叠和低温/复杂器件结构，NAND flash 增加至 500 层以上，DRAM 由 2D 向 3D 结构转变，更多采用低温工艺/复杂器件结构。

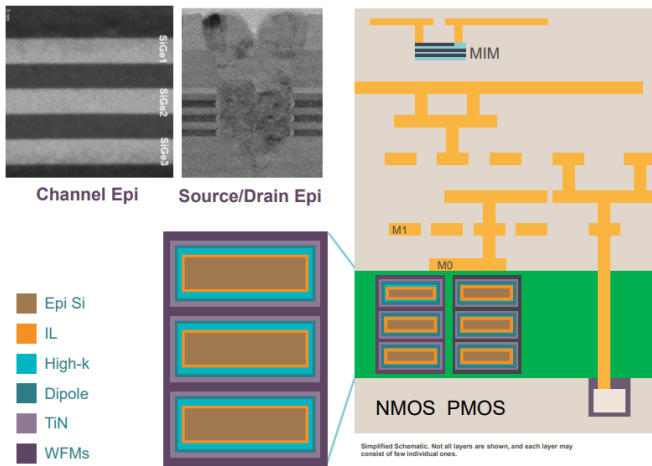
图15：随着 AI 半导体的发展，采用 3D 堆叠和低温/复杂器件结构



资料来源：KOKUSAI ELECTRIC 公司公告、东兴证券研究所

AI 半导体增加了 MIMCAP 结构 (Hf 基 ALD 介质层)，其中 MIM 为单元电容器。AI 半导体将 MIMCAP 放在金属堆栈的上层来增加存储，而 Graphcore 在 N7 上将一些 MIM 电容器从金属堆栈的上层迁移到单独的芯片中，从而使它们更大并且更不易受到干扰，这种技术使性能提高 30%。

图16：AI 半导体采用 MIMCAP 来增加存储

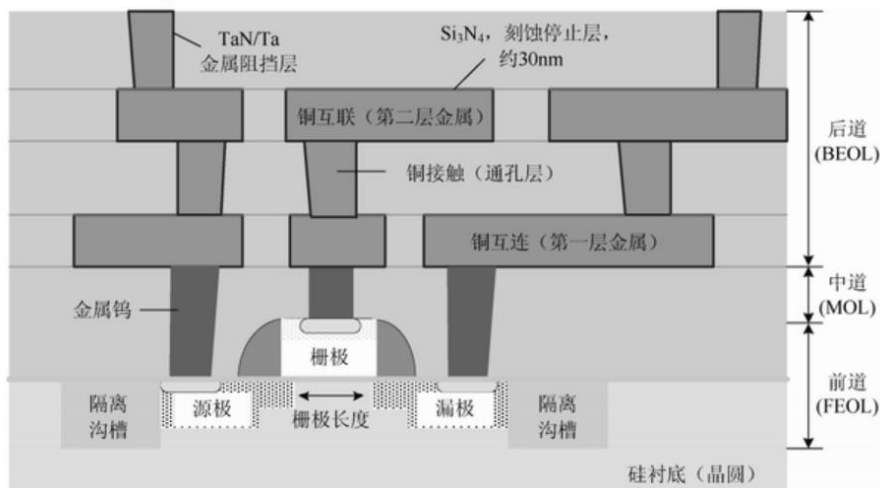


资料来源：ASM 公司公告、东兴证券研究所

2.2 新工艺：FEOL 采用 HKMG 工艺，BEOL 采用背面供电工艺

逻辑器件制造可分为前道（FEOL）、中道（MOL）和后道（BEOL）工艺。FEOL 主要是在 Si 衬底上划分晶体管的有效区域（active area），离子注入实现 N 型和 P 型区域，其次是栅极生长，最后完成源极和漏极的制备；而 BEOL 主要是金属互连工艺，通常采用大马士革工艺。

图17：逻辑器件制造可分为前道（FEOL）、中道(MOL)和后道（BEOL）工艺

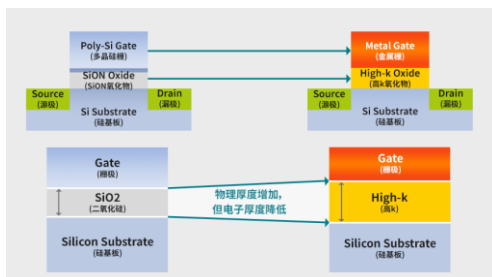


资料来源：chipmanufacturing.org、东兴证券研究所

栅极生长是晶圆制造的关键工艺，SiON/Poly 栅极集成解决方案存在一定局限性，随着 SiON 厚度不断降低，这会导致更多功率损耗，HKMG 方案能较好地解决这些问题。栅极由绝缘膜（栅氧化层，gate oxide）和电极（栅电极，gate electrode）组成，栅氧化层由 SiON 氧化物绝缘体和聚硅基电极组成。随着晶体管的微缩，源极和漏极之间的距离越来越小，电流移动速度加快，施加在栅极上的电压降低。为了在较低电压下提高性能，必须减小栅氧化材料(SiON)的厚度。但随着 SiON 厚度不断减小，栅氧化层的可靠性也会降低，从而导致了更多功率损耗，这也限制了厚度的进一步减小。

这使得高 k/金属栅极（HKMG）的集成解决方案应运而生，该解决方案将高介电常数栅氧化层与金属电极相结合，较好解决了以上功率损耗的问题。通常情况下，基于 Hf 的栅氧化层用于高温半导体制造工艺，因为它们可以确保自身和硅的热稳定性。为了防止现有多晶硅电极材料与高 k 栅氧化层之间的相互作用，必须引入金属电极来代替多晶硅。

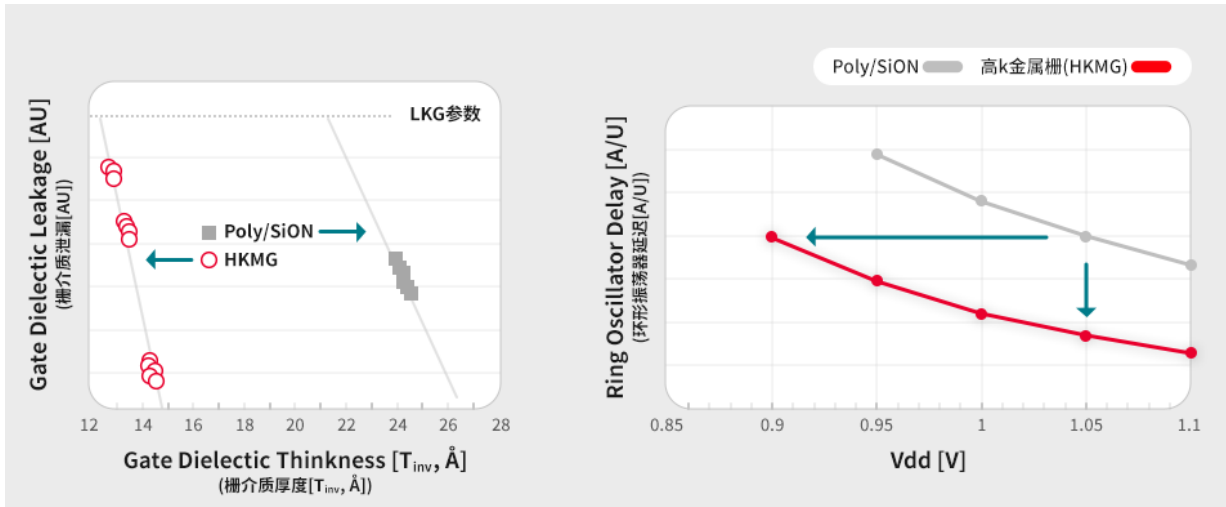
图18：当电压降低时，需要降低厚度来提升性能，HKMG 可以用于持续微缩



资料来源：SK hynix 官网、东兴证券研究所

HKMG 可以实现晶体管栅氧化层厚度减少，并通过提高晶体管速度和 Vdd 微缩来降低功耗。针对 HKMG 优化的设计方案，可以有效控制泄漏电流，较之 poly/SiON，SK hynix 产品速度提高 33%，功耗降低 25%。

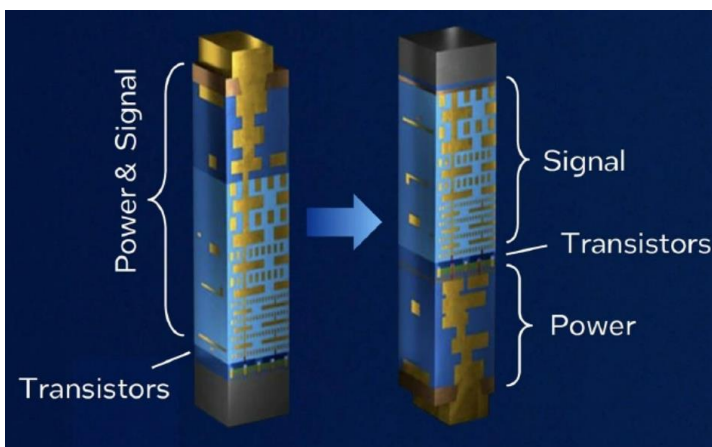
图19：HKMG 可以实现晶体管栅氧化层厚度减少，并通过提高晶体管速度和 Vdd 微缩来实现功率降低



资料来源：SK hynix 官网、东兴证券研究所

另外，背面供电工艺将电源线移动到芯片“背面”的方法，使芯片“正面”专注于互连，英特尔背面供电方案 IR 降低了 30%，每个核心单元的性能提高了 6%。随着芯片性能要求越来越高，晶体管越来越小，所需提供电流的互连越来越紧密，线路和过孔的进一步拓展也将导致更高的电阻和布线拥塞。英特尔“背面供电”方案将电源线移动到芯片“背面”，从而使芯片“正面”专注于互连。当能量流过电线时，电阻会随着电线变得越来越小而增加。英特尔 PowerVia 方案 IR 降低了 30%，而每个核心单元的电能利用率提高了 6%。

图20：英特尔采用背面供电技术路径，形成了“三明治”结构



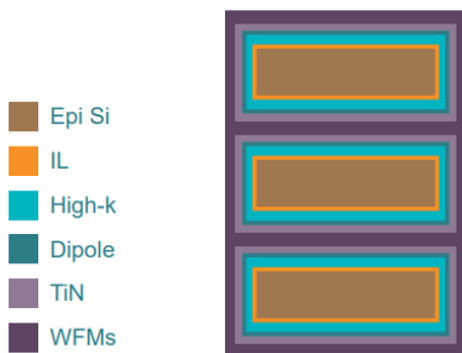
资料来源：IT 之家、东兴证券研究所

2.3 新材料：硅材料、Hf、钼金属和 High-k 材料用量增加，封装基板使用量增大

高性能/高带宽的 DRAM 需要使用 High-k 材料和金属材料，这些材料和工艺都需要更多的单片 ALD 和外延工艺。高介电常数前驱体（High-k）主要用于 45nm 及以下半导体制造工艺流程，应用于存储、逻辑芯片的 CVD 和 ALD 沉积成膜技术，形成集成电路中的电容介质或栅极电介质，解决器件微缩及漏电问题，可减少漏电至传统工艺的 10 倍左右，大幅提升良率。

DRAM 线宽越细，High-k 材料用的越多。未来随着半导体技术的发展，对 High-K 材料的需求将攀升。随着制程微缩，电容的深宽比倍数增加，需要单位价值量更高的 High-k 材料降低高深宽比刻蚀产生的各种缺陷。

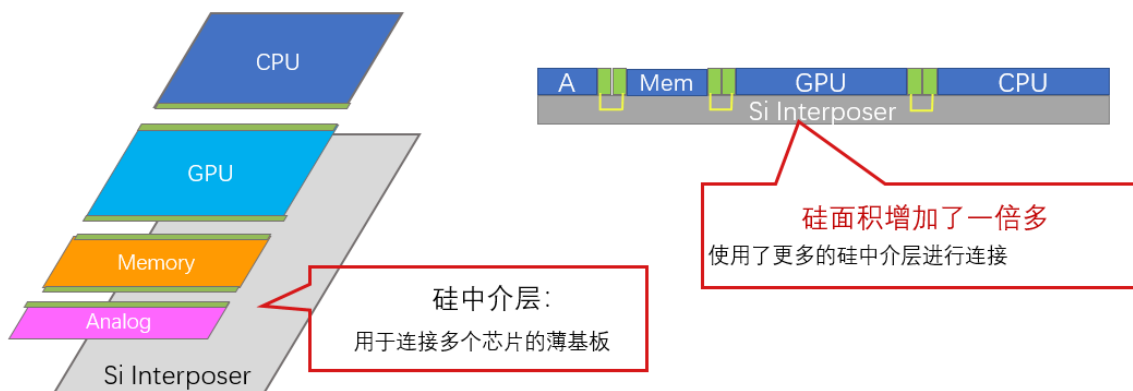
图21：MOS 管 High-k 材料用量有所增多



资料来源：ASM 公司公告、东兴证券研究所

另外为了获得更高的性能，小芯片使用量将增多，相应硅片的使用量增大，随着芯片高密度互联，硅面积将增加一倍多。

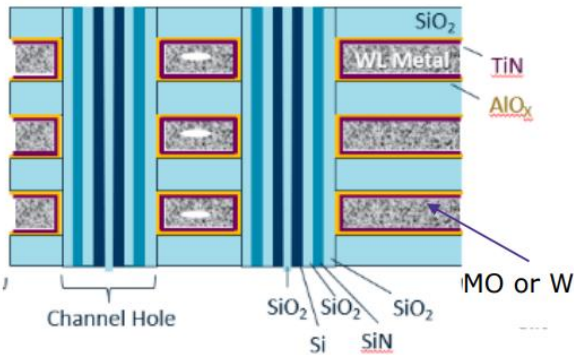
图22：随着芯片高密度互联，硅材料用量有所增加



资料来源：SUMCO 公司公告、东兴证券研究所

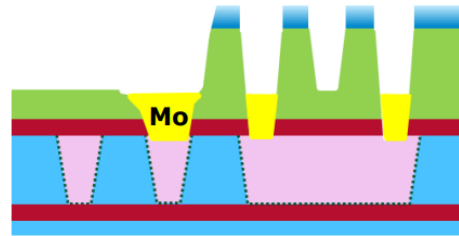
从材料端来看，后段制造工艺中钼金属会替代 CVD 工艺中的钨以及 PVD 工艺中的铜金属，3D NAND 中会更多地使用钼金属，而中段工艺将使用钼金属作为 Via 填充材料。

图23：3D NAND 中使用 Mo



资料来源：《ALD Conference》(Se-Won Lee, Moo-Sung Kim, Changwon Lee, Sergei Ivanov, Annelies Delabie, Marleen van der Veen)、东兴证券研究所

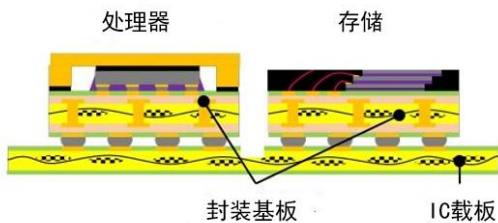
图24：MOL 将使用 Mo 作为 Via 填充材料



资料来源：《ALD Conference》(Se-Won Lee, Moo-Sung Kim, Changwon Lee, Sergei Ivanov, Annelies Delabie, Marleen van der Veen)、东兴证券研究所

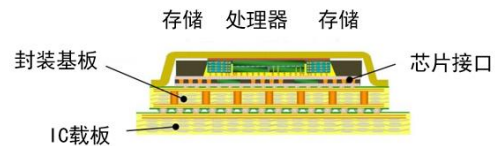
随着 AI 半导体发展，为了缩短传输距离，会有更多芯片（处理器、存储器等）进行连接，封装基板的使用量增大。通过小芯片堆叠的方式，成本更低，性能更好，在 3D 封装过程中会使用更多的封装基板，而处理器和存储通过芯片接口进行传输。

图25：FC-BGA 搭载更多芯片，通过载板进行连接和传输



资料来源：昭和电工公司公告、东兴证券研究所

图26：在 3D 封装过程中会使用更多的封装基板



资料来源：昭和电工公司公告、东兴证券研究所

3. 投资建议

随着人工智能的发展，AI 半导体将采用新结构、新工艺和新材料，我们建议积极关注以下几大方面的创新性变革：

- (1) 随着堆叠工艺增多，ALD 设备需求量增多，受益标的：微导纳米；
- (2) 未来栅极更多采用 HKMG 工艺，high-k 材料需求量增大，前驱体使用量或将提升，受益标的：雅克科技。随着芯片高密度互联，硅片用量有所增加，推荐沪硅产业，受益标的：TCL 中环、神工股份、立昂微。

(3) 3D 封装将使用更多的封装基板，受益标的：兴森科技、深南电路。

4. 风险提示

下游需求不及预期、技术迭代风险、客户拓展不及预期、中美贸易摩擦加剧。

相关报告汇总

报告类型	标题	日期
行业深度报告	FPGA 的国产替代现在是什么情况？未来是哪些方向？——“FPGA 五问五答”系列报告五	2023-12-26
行业深度报告	如何理解 FPGA 商业模式？龙头竞争优势的来源？——“FPGA 五问五答”系列报告四	2023-12-25
行业深度报告	FPGA 在各行业究竟用在哪里？未来哪个下游最有机会？——“FPGA 五问五答”系列报告三	2023-12-25
行业深度报告	电子行业 2024 年投资展望：“长鞭效应”再起，科技巨擘勇立潮头	2023-11-29
行业深度报告	电子元器件行业：复盘海外光掩膜行业龙头发展之路，给我们带来哪些启示？	2023-09-28
行业深度报告	电子行业 2023 年中期投资策略：从模式创新到技术创新，拥抱硬件创新浪潮	2023-07-03
行业深度报告	导电胶行业：封测材料替代进行时，看好导电胶领域	2023-05-26
行业普通报告	电子行业点评：三星显示携手 eMagin 公司布局硅基 OLED 领域，助力 XR 行业发展	2023-05-22
行业深度报告	海外硬科技龙头复盘研究系列之四：论国产半导体量测设备行业发展之天时地利人和	2023-05-17
行业普通报告	电子元器件行业：HBM 芯片量价齐升，看好存储芯片与 PCB 领域	2023-02-17
公司普通报告	统联精密 (688210)：毛利率环比明显改善，折叠机铰链零部件等新项目需求逐步释放	2023-11-06
公司普通报告	统联精密 (688210)：Q1 业绩承压，折叠屏铰链产品陆续导入量产	2023-05-05

资料来源：东兴证券研究所

分析师简介

刘航

复旦大学工学硕士，2022年6月加入东兴证券研究所，现任电子行业首席分析师兼科技组组长。曾就职于 Foundry 厂、研究所和券商资管，分别担任工艺集成工程师、研究员和投资经理。证书编号：S1480522060001。

分析师承诺

负责本研究报告全部或部分内容的每一位证券分析师，在此申明，本报告的观点、逻辑和论据均为分析师本人研究成果，引用的相关信息和文字均已注明出处。本报告依据公开的信息来源，力求清晰、准确地反映分析师本人的研究观点。本人薪酬的任何部分过去不曾与、现在不与、未来也将不会与本报告中的具体推荐或观点直接或间接相关。

风险提示

本证券研究报告所载的信息、观点、结论等内容仅供投资者决策参考。在任何情况下，本公司证券研究报告均不构成对任何机构和个人的投资建议，市场有风险，投资者在决定投资前，务必要审慎。投资者应自主作出投资决策，自行承担投资风险。

免责声明

本研究报告由东兴证券股份有限公司研究所撰写，东兴证券股份有限公司是具有合法证券投资咨询业务资格的机构。本研究报告中所引用信息均来源于公开资料，我公司对这些信息的准确性和完整性不作任何保证，也不保证所包含的信息和建议不会发生任何变更。我们已力求报告内容的客观、公正，但文中的观点、结论和建议仅供参考，报告中的信息或意见并不构成所述证券的买卖出价或征价，投资者据此做出的任何投资决策与本公司和作者无关。

我公司及报告作者在自身所知情的范围内，与本报告所评价或推荐的证券或投资标的的存在法律禁止的利害关系。在法律许可的情况下，我公司及其所属关联机构可能会持有报告中提到的公司所发行的证券头寸并进行交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。本报告版权仅为我公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。如引用、刊发，需注明出处为东兴证券研究所，且不得对本报告进行有悖原意的引用、删节和修改。

本研究报告仅供东兴证券股份有限公司客户和经本公司授权刊载机构的客户使用，未经授权私自刊载研究报告的机构以及其阅读和使用者应慎重使用报告、防止被误导，本公司不承担由于非授权机构私自刊发和非授权客户使用该报告所产生的相关风险和法律责任。

行业评级体系

公司投资评级（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数）：
以报告日后的6个月内，公司股价相对于同期市场基准指数的表现为标准定义：

强烈推荐：相对强于市场基准指数收益率15%以上；

推荐：相对强于市场基准指数收益率5%~15%之间；

中性：相对于市场基准指数收益率介于-5%~+5%之间；

回避：相对弱于市场基准指数收益率5%以上。

行业投资评级（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数）：
以报告日后的6个月内，行业指数相对于同期市场基准指数的表现为标准定义：

看好：相对强于市场基准指数收益率5%以上；

中性：相对于市场基准指数收益率介于-5%~+5%之间；

看淡：相对弱于市场基准指数收益率5%以上。

东兴证券研究所

北京	上海	深圳
西城区金融大街5号新盛大厦B座16层	虹口区杨树浦路248号瑞丰国际大厦5层	福田区益田路6009号新世界中心46F
邮编：100033	邮编：200082	邮编：518038
电话：010-66554070	电话：021-25102800	电话：0755-83239601
传真：010-66554008	传真：021-25102881	传真：0755-23824526