

## 电子

2024年01月19日

## 先进封装助力产业升级，国产供应链迎发展机遇

——行业深度报告

投资评级：看好（维持）

罗通（分析师）

刘天文（分析师）

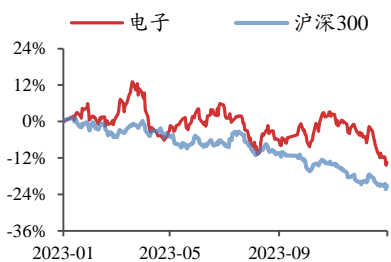
luotong@kysec.cn

liutianwen@kysec.cn

证书编号：S0790522070002

证书编号：S0790523110001

### 行业走势图



数据来源：聚源

### 相关研究报告

《半导体行业景气度向上，关注国产半导体设备投资机遇—行业点评报告》-2024.1.2

《连接器赋能多领域，华为汽车带动产业链新机遇—行业深度报告》-2023.12.22

《半导体材料迎来反弹，关注国产材料需求—行业点评报告》-2023.12.11

### ● 先进封装：后摩尔时代的发展基石

后摩尔时代，芯片物理性能接近极限，提高技术节点的经济效益有所放缓。半导体行业焦点已从提升晶圆制程节点向封装技术创新转移，先进封装技术已成为提高芯片性能的关键途径。据 Yole 数据，2022 年全球先进封装市场规模为 443 亿美元，占整体封测市场规模 46.6%；并预计 2028 年市场规模达 786 亿美元，占比 54.8%，2022-2028 年 CAGR 约 10%，高于整体封装市场 2022-2028 年 CAGR 7.1%。国内先进封装渗透率持续提升。据 JW Insights 预测，2023 年国内先进封装市场规模达到 1330 亿元，占国内封装市场比例 39%。近年来国内厂商通过并购，快速积累先进封装技术，具备与国际领先企业对标的技术能力。国内厂商受益于国内先进封装需求，有望实现高速增长。

### ● 多元化先进封装工艺，致力于提升系统功能密度

先进封装技术在重布线层间距、封装垂直高度、I/O 密度、芯片内电流通过距离等方面提供更多解决方案，助力芯片集成度和效能进一步提升。先进封装的范畴包括倒装芯片 (FC)、晶圆级封装 (WLP)、2.5D 封装、3D 封装等，通过凸块 (Bumping)、重布线 (RDL)、硅通孔 (TSV) 及混合键合等关键互连工艺，实现先进封装技术创新和满足发展中不断涌现出更复杂的集成需求。

### ● 国产替代叠加下游驱动，半导体封测国产化加速渗透

封测环节作为我国半导体产业链中具备相对优势的环节，在美国管制半导体先进芯片及设备出口的背景下，先进封装重要性愈发凸显。目前已普遍应用于包括 AI、HPC、IoT、5G、智能驾驶、AR/VR、手机通信等多个领域，未来随着终端应用的升级和对芯片封装性能的需求提升，先进封装成长空间广阔。据灼识咨询预测，2025 年全球封装设备市场规模约 103.5 亿美元，2020-2025 年 CAGR 17.1%。先进封装部分核心工艺环节，包括凸块、RDL 以及 TSV 等工艺将使用光刻、刻蚀、电镀、CMP、沉积等多种前道设备；原有的后道封装设备包括固晶机、切片机等随着技术迭代，产品需进行改进和优化。目前先进封装设备国产化率较低，未来国产设备厂商将逐渐从低端市场转向高端市场，随着产品在高端芯片市场持续放量，先进封装产业链国产化率将加速渗透。

### ● 国内先进封测相关产业链受益标的

**封测厂商：**长电科技、通富微电、华天科技、深科技、甬矽电子等；**封测设备：**中科飞测（检/量测设备）、北方华创（PVD、去胶设备）、中微公司（TSV 深硅刻蚀设备）、拓荆科技（W2W、D2W 键合设备）、华海清科（CMP、减薄设备）、盛美上海（湿法、电镀设备）、芯源微（涂胶显影、清洗、临时键合/解键合设备）、华峰测控（SoC 测试机）、精测电子（检/量测设备）、长川科技（测试机、分选机）、芯碁微装（晶圆级封装直写光刻机）、新益昌（固晶机）等。

● **风险提示：**半导体行业景气度复苏不及预期、先进封装技术进展缓慢、国产替代不及预期。

### 内容目录

1、先进封装：后摩尔时代的发展基石 .....	5
1.1、 半导体封装技术：由传统向先进持续迭代.....	5
1.2、 后摩尔时代，先进封装已成为提升芯片性能的关键环节.....	6
1.3、 封装市场空间：国内先进封装渗透率低，行业发展带动产值快速提升.....	8
1.4、 先进封装竞争格局：OSAT 头部集中，IDM+Foundry 开拓新工艺 .....	9
2、先进封装工艺：提升系统功能密度为重要发展目标.....	11
2.1、 先进封装关键互连工艺技术 .....	12
2.1.1、 凸块（Bumping）：多种先进封装形式的基础工艺.....	12
2.1.2、 重布线层（RDL）：芯片电气延伸与互连的桥梁.....	14
2.1.3、 硅通孔（TSV）：立体集成工艺的核心关键.....	15
2.1.4、 混合键合：缩小 Bump pitch 间距，扩大互连带宽.....	18
2.2、 单芯片封装：提升芯片占封装面积比例.....	21
2.2.1、 倒装芯片（Flip Chip）：简化引线键合，提升传输速度.....	21
2.2.2、 晶圆级芯片封装（WLP）：拓展 I/O 接触点，提升连接密度同时降低生产成本 .....	22
2.3、 多芯片封装：高密度系统式集成 .....	25
2.3.1、 2.5D/3D 封装：立体式堆叠，主要应用于高端集成度产品.....	25
2.3.2、 Chiplet 封装：模块化设计，构建高集成芯片 .....	28
3、国产替代叠加下游驱动，半导体封装国产率加速渗透.....	29
3.1、 美国管制先进芯片及设备出口，先进封装本土化势在必行.....	29
3.2、 AI、HPC、5G 和 IoT 等应用，拉动先进封装需求 .....	30
3.3、 国产中道设备具备市场竞争力，后道封装设备国产化率有望加速 .....	32
4、国内先进封装产业链受益标的 .....	36
5、风险提示 .....	37

### 图表目录

图 1： 封测为半导体产业链后道环节 .....	5
图 2： 半导体封装技术发展历程图 .....	6
图 3： IC 制程节点升级，芯片设计成本大幅上升.....	7
图 4： 5nm 逻辑工艺制程设备投资额约为 28nm 的 4 倍 .....	7
图 5： 集成电路先进封装成为芯片性能提升的重要手段.....	7
图 6： 封装主要分为传统与先进封装技术 .....	8
图 7： 2022-2028 年 Yole 预计全球封测市场规模 CAGR 达 7.1%.....	8
图 8： 2028 年 Yole 预计全球先进封装市场规模达 786 亿美元 .....	8
图 9： 据 Yole 预计，2022 年开始全球先进封装营收占比逐年提升 .....	9
图 10： 据 Yole 预计，2022-2028 年先进封装工艺中倒装（Flip-Chip）营收占比最高.....	9
图 11： 据中国半导体行业协会预计，2022-2026 年中国封测市场增长 CAGR2.1% .....	9
图 12： 据 JW Insights 预计。2023 年中国大陆先进封装占比 39%.....	9
图 13： 2022 年封测代工厂主导先进封装市场规模.....	10
图 14： 2022 年全球先进封装 CR3 厂商规模占比约 50%.....	10
图 15： 先进封装的 I/O 间距越小，其连接密度越高 .....	10
图 16： 各类型先进封装主要包含 bumping、RDL、TSV 及键合等互连工艺 .....	11

图 17: 凸块 (bumping) 工艺流程主要分为 8 个步骤 .....	13
图 18: Bump 尺寸与间距随着技术提高, 逐步缩小 .....	14
图 19: 重布线层 (RDL) 将 I/O 重新分配到芯片边缘 .....	14
图 20: 重布线层 (RDL) 关键工序流程主要由十个步骤组成 .....	15
图 21: FAN IN 和 FAN OUT 型 RDL 工艺 .....	15
图 22: RDL 在台积电 InFO_OS 技术中为核心关键 .....	15
图 23: TSV (硅通孔) 工艺将多层平面进行堆叠互连 .....	16
图 24: TSV 中介转接层加工工艺主要由 12 个工艺流程组成 .....	17
图 25: 低深宽比 TSV 图像传感器封装工艺主要包含十个工艺流程 .....	17
图 26: TSV 制造成本结构 (Via-Middle 方案) 中临时键合/解键合占比最高, 为 17% .....	18
图 27: TSV 制造成本构成 (Via-Last 方案) 中铜电镀占比最高, 为 18% .....	18
图 28: 混合键合显著提升键合技术性能 .....	18
图 29: Hybrid Bonding 工艺比传统焊接工艺步骤减少 .....	19
图 30: Hybrid Bonding 工艺在 3D 封装中的应用 .....	19
图 31: 混合键合工艺中 Wafer-to-wafer 工艺流程 .....	20
图 32: 混合键合工艺中 Die-to-wafer 工艺流程 .....	20
图 33: 逻辑领域将增加约 2 倍的键合工艺需求 .....	21
图 34: 存储领域将需要更多的键合工艺步骤 .....	21
图 35: 逻辑、存储及应用处理器等新品将拉动混合键合设备市场需求 (单位: 台) .....	21
图 36: 倒装相比传统封装节省引线键合步骤 .....	22
图 37: 倒装 (Flip Chip) 工艺流程主要分为 6 个步骤 .....	22
图 38: 晶圆级封装与传统封装工艺流程的差异 .....	23
图 39: 扇入型和扇外型 WLP 剖面对比 .....	24
图 40: 扇入型和扇外型 WLP 底面对比 .....	24
图 41: 扇入型晶圆级芯片封装 (Fan-In WLCSP) 工序将锡球固定在芯片上 .....	24
图 42: 扇外型晶圆级芯片封装 (Fan-Out WLCSP) 工序将锡球延伸至芯片外 .....	25
图 43: 3D 封装不采用硅中介层 .....	26
图 44: 3D 封装不包含中介层 (Interposer) .....	26
图 45: CoWoS 工艺为 2.5D 封装工艺 .....	26
图 46: CoWoS 技术路径发展流程 .....	27
图 47: 英伟达 H100 芯片对于 CoWoS 封装应用 .....	28
图 48: Chiplet 从封装角度简化芯片设计 .....	28
图 49: 美国对华半导体产业的限制持续升级 .....	30
图 50: 据 Trend Force 预计, 2022-2026 年全球 AI 服务器销量 CAGR 29% .....	32
图 51: 2022 年 AI 服务器总需求量 CR5 占比超 70% .....	32
图 52: 晶圆制造中封装相关环节产业链 .....	34
图 53: 据灼识咨询预计, 2020-2025 年全球封装设备市场规模 CAGR 17% .....	35
图 54: 据灼识咨询预计, 2025 年贴片机/引线机占全球封装设备市场份额超 55% .....	35
图 55: 后道封装及检测产业链 .....	36
表 1: 国内大陆封测厂加速布局先进封装技术平台 .....	11
表 2: 不同类型凸块材料与互连方法有所不同 .....	12
表 3: TSV 技术主要分为 Via-first 与 Via-last 两种方案 .....	16
表 4: 混合键合在存储与逻辑应用领域均有技术突破 .....	19

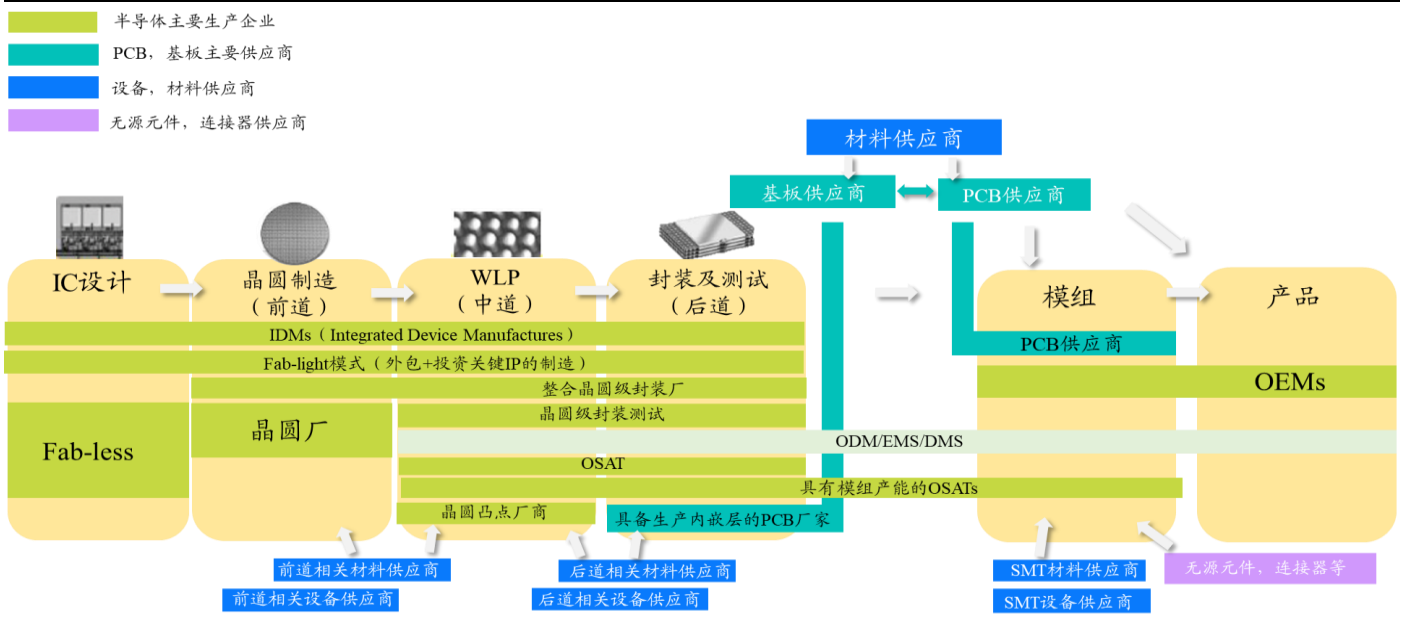
表 5: CoWoS 细分为 CoWoS-S、CoWoS-R 及 CoWoS-L 三种类型 .....	27
表 6: Chiplet 芯片相比于单片 SoC 优势显著 .....	29
表 7: 终端应用对先进封装的需求旺盛 .....	31
表 8: 先进封装关键工艺所需关键工艺设备 .....	33
表 9: 封装设备国产化率较低 .....	35
表 10: 国内封测厂商相关估值表 .....	36
表 11: 国内封测设备厂商相关估值表 (收盘价截至日期为 2024 年 1 月 17 日) .....	36

## 1、先进封装：后摩尔时代的发展基石

### 1.1、半导体封装技术：由传统向先进持续迭代

封装为半导体产业链后道环节，主要起到保护芯片的作用。在半导体产业链中，封装测试处于晶圆制造过程中的后段环节，在芯片制造完后，将晶圆进行封装测试。封装的作用包含对芯片的支撑与机械保护、电信号的互连与引出、电源的分配、热管理、功能集成及系统测试等。随着封装技术的持续发展，先进封装不断涌现，如圆片级封装、系统集成封装、三维封装等，进一步提高了电子整机系统的微型化及可靠性等。

图1：封测为半导体产业链后道环节



资料来源：Yole、开源证券研究所

半导体封装技术路径主要分为五个发展阶段，逐步向先进封装迈进。根据《中国半导体封装业的发展》，当前全球封装技术的主流处于第三代的成熟期，主要是CSP、BGA封装技术，目前封测行业正在从传统封装（SOT、QFN、BGA等）向先进封装（FC、FIWLP、FOWLP、TSV、SIP等）的第四阶段和第五阶段转型。

**第一阶段（起源于20世纪70年代前），主要封装形式为微通孔插装型封装。**具体典型的封装形式包括晶体管封装（TO）、陶瓷双列直插封装（CDIP）、塑料双列直插封装（PDIP）、单列直插式封装（SIP）等。

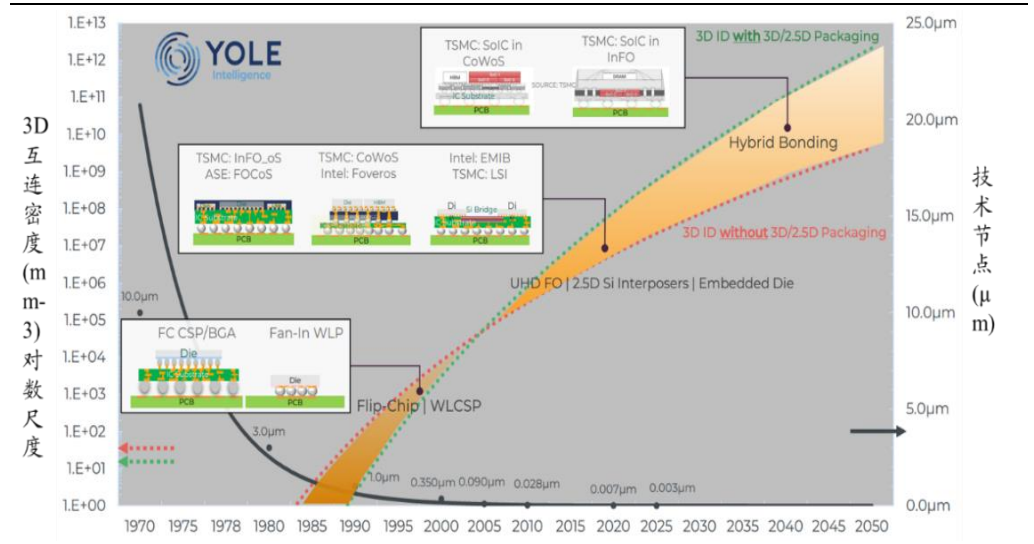
**第二阶段（起源于20世纪80年代后），主要封装形式为表面贴装型封装。**具体典型的封装形式包括塑料有引线片式载体封装（PLCC）、塑料四边引线扁平封装（PQFP）、小外形表面封装（SOP）、无引线四边扁平封装（PQFN）、双边扁平无引脚封装（DFN）等。

**第三阶段（起源于20世纪90年代后），主要封装形式为球栅阵列封装（BGA）、晶圆级封装（WLP）、芯片级封装（CSP）。**具体典型的封装形式包括塑料焊球阵列封装（PBGA）、陶瓷焊球阵列封装（CBGA）、带散热器焊球阵列封装（EBGA）、倒装芯片焊球阵列封装（FC-BGA）。

第四阶段（20 世纪末开始），主要封装形式为多芯片组封装（MCM）、系统级封装（SiP）、芯片上制作凸点（Bumping）。具体典型的封装形式包括多层陶瓷基板（MCM-C）、多层薄膜基板（MCM-D）、多层印制板（MCM-L）等。

第五阶段（21 世纪前十年开始），主要封装形式为晶圆级系统封装-硅通孔（TSV）、扇出型集成电路封装（Fan-Out）、三维立体封装（3D）等。

图2：半导体封装技术发展历程图

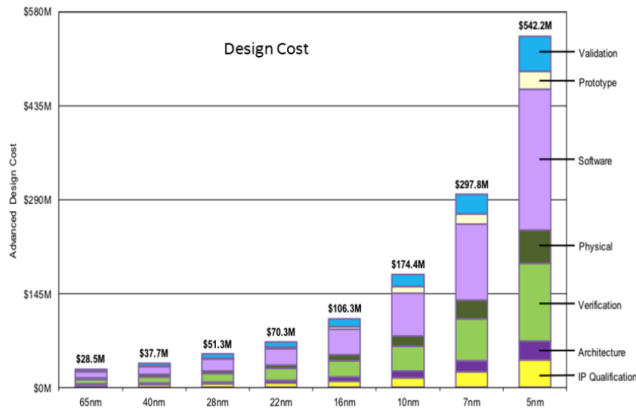


数据来源：Yole

## 1.2、后摩尔时代，先进封装已成为提升芯片性能的关键环节

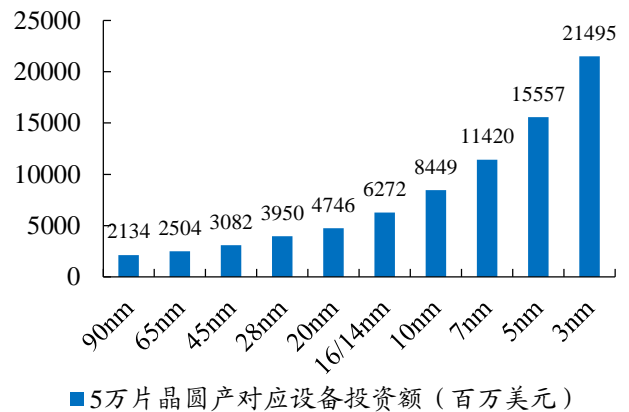
随着技术节点的不断缩小，仅依靠制程工艺架构提升难以满足高性能需求。制程越先进，生产技术与制造工序越复杂，制造成本呈指数级上升趋势。根据文献《Chiplet Heterogeneous Integration Technology—Status and Challenges》（发布于2020年4月20日），引用IBS数据测算，在22纳米工艺制程之后的每一代技术设计成本增加均超过50%。7纳米工艺的总设计成本约3亿美元，而3纳米工艺总设计成本将增加5倍，达到15亿美元。据中芯国际招股书（发布于2020年7月12日），引用IBS数据表明，集成电路制造的设备投入也呈大幅上升的趋势。其中，5纳米技术节点投资成本约155.6亿美元，约为28纳米的四倍。此外，由于良率的技术限制（例如光刻机掩模尺寸），现有的单片集成变得难以为继，需要新的工艺来升级和扩展芯片功能和性能。

图3: IC 制程节点升级, 芯片设计成本大幅上升



数据来源: IEEE

图4: 5nm 逻辑工艺制程设备投资额约为 28nm 的 4 倍



数据来源: 中芯国际招股说明书、开源证券研究所

先进封装为后摩尔时代延续芯片性能提升的重要手段之一。摩尔定律指集成电路上容纳的晶体管数目约每 18 个月便会增加一倍, 但随着晶体管特征尺寸缩小到 10nm 以下, 量子隧穿效应导致漏电愈发严重, 基于摩尔定律的芯片研发和制造成本也会呈几何倍数增加, 摩尔定律延续遇到瓶颈。业界提出深度摩尔 (More Moore)、超越摩尔 (More than Moore) 与新器件 (Beyond CMOS), 其中超越摩尔指不单通过进一步缩小晶体管尺寸来达到摩尔定律, 而是通过电路设计优化或先进封装工艺实现。

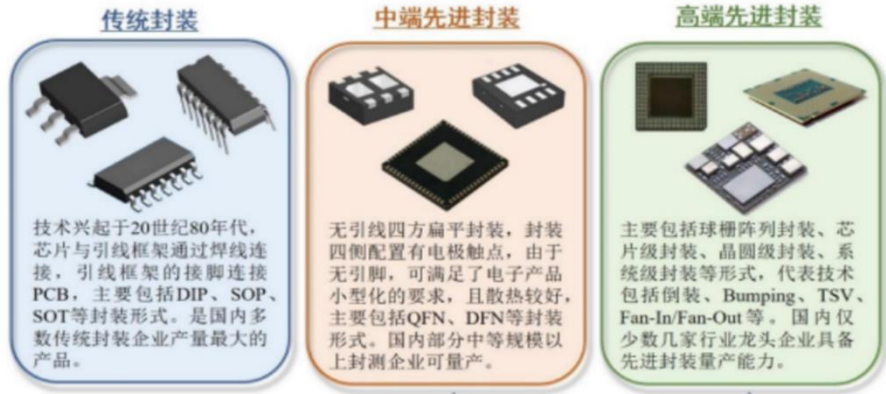
图5: 集成电路先进封装成为芯片性能提升的重要手段



资料来源: Yole、开源证券研究所

先进封装与传统封装以是否焊线来区分, 发展方向分为小型化与高集成化。(1) 小型化: 3D 封装突破传统的平面封装的概念, 通过单个封装体内多次堆叠, 实现了存储容量的倍增, 进而提高芯片面积与封装面积的比值。(2) 高集成化: 系统级封装 SiP 能将数字和非数字功能、硅和非硅材料、CMOS 和非 CMOS 电路以及光电、MEMS、生物芯片等器件集成在一个封装内, 在不单纯依赖半导体工艺缩小的情况下, 提高集成度, 以实现终端电子产品的轻薄短小、低功耗等功能, 同时降低厂商成本。

图6：封装主要分为传统与先进封装技术



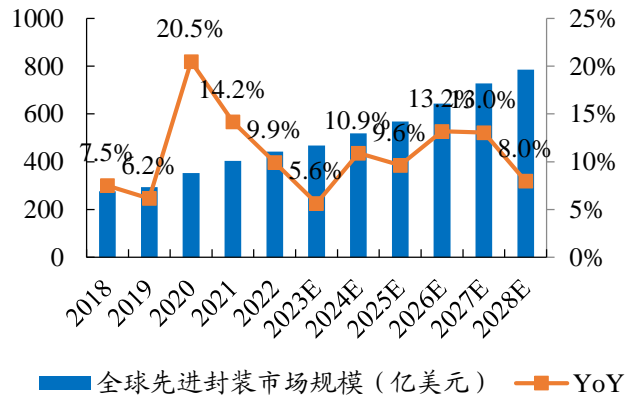
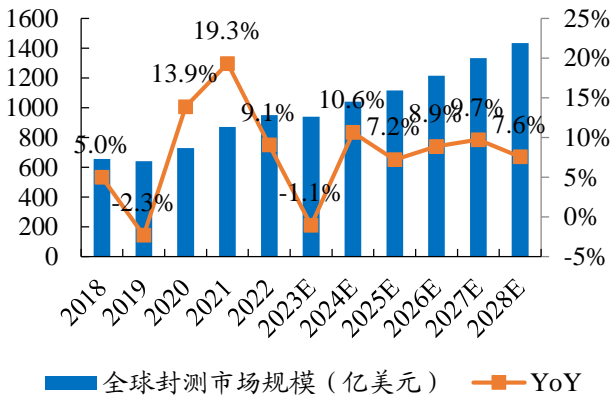
资料来源：甬矽电子招股说明书

### 1.3、封装市场空间：国内先进封装渗透率低，行业发展带动产值快速提升

全球封测市场规模稳定增长，先进封装贡献主要增量。据 Yole 数据，2022 年全球封测市场规模约 950 亿美元，YoY+9.07%。未来汽车电子、人工智能、数据中心等应用领域的快速发展将推动全球封测市场持续高走，Yole 预计 2028 年将达到 1433 亿美元，对应 2022-2028 年 CAGR 达 7.1%。高端消费电子、人工智能、数据中心等快速发展的应用领域大量依赖先进封装工艺，导致其占全球封测市场总规模比例持续提升。其中，2022 年全球先进封装市场规模为 443 亿美元，占整体封测市场规模 46.6%；Yole 预计 2028 年增长至 786 亿美元，占比 54.8%，对应 2022-2028 CAGR 10%。

图7：2022-2028 年 Yole 预计全球封测市场规模 CAGR 达 7.1%

图8：2028 年 Yole 预计全球先进封装市场规模达 786 亿美元



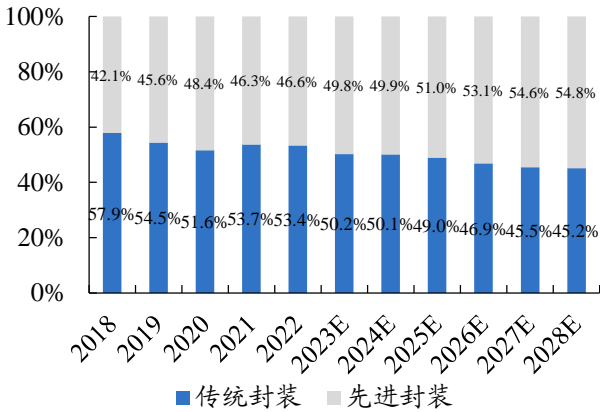
数据来源：Yole、开源证券研究所

数据来源：Yole、开源证券研究所

先进封装市场中倒装封装技术市场份额最高，2.5D/3D 堆叠成长增速显著。由于大部分基板类先进封装都需要依靠倒装封装，据 Yole 数据，Flip-chip 仍是目前市场份额最大的先进封装工艺，2022 年市场规模达到 225.3 亿美元，先进封装中占比 50.9%；Yole 预计 2028 年营收实现 367.2 亿美元，占比 46.75%，2022 年-2028 年 CAGR 为 8.5%。而 2.5/3D 堆叠为各类先进封装工艺中成长性显著，2022 年市场规模为 92 亿美元，占先进封装总比例的 20.79%。Yole 预计 2028 年实现 257.7 亿美元，占比 32.81%，2022 年-2028 年 CAGR 为 18.7%。

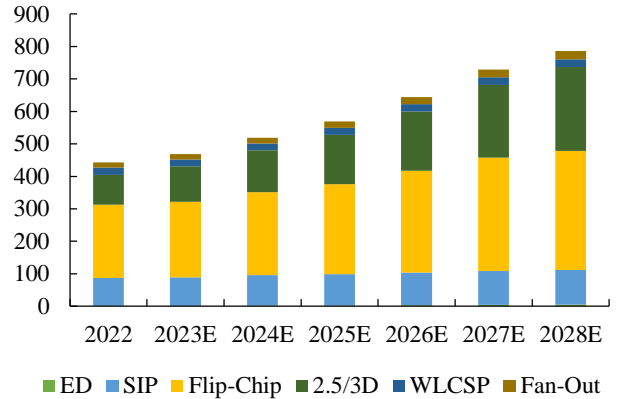


图9: 据 Yole 预计, 2022 年开始全球先进封装营收占比逐年提升



数据来源: Yole、开源证券研究所

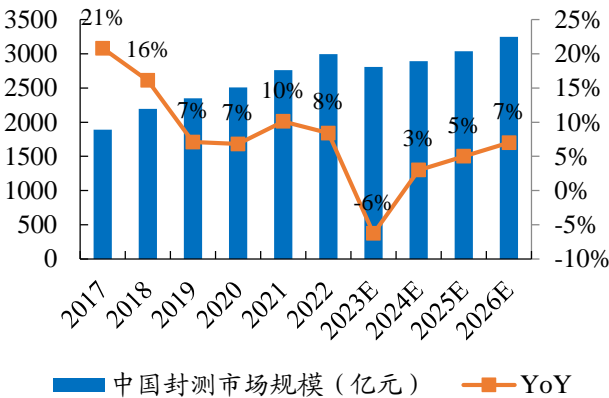
图10: 据 Yole 预计, 2022-2028 年先进封装工艺中倒装 (Flip-Chip) 营收占比最高



数据来源: Yole、开源证券研究所

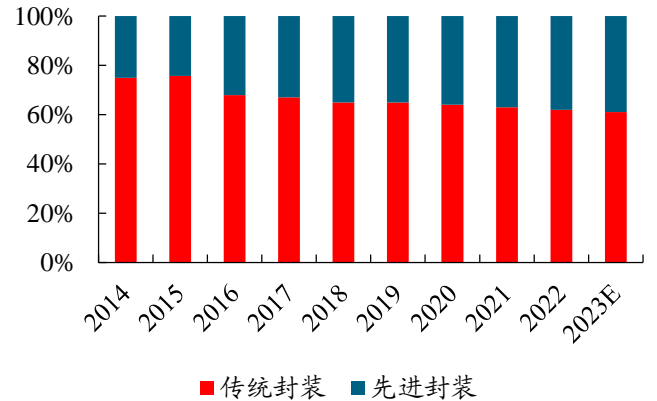
**国内先进封装渗透率低, 行业发展带动产值快速提升。**据中国半导体行业协会, 2022 年中国封测市场规模为 2995 亿元, YoY+8.4%; 并预计 2026 年中国封测市场规模实现 3248 亿元, 对应 2022-2026 年 CAGR 2.1%。随着 5G、高端消费电子、人工智能等新应用发展以及现有产品向 SiP、WLP 等先进封装技术转换, 先进封装市场规模持续增长。据 JW Insights 预测, 2023 年中国先进封装产值将达到 1330 亿元, 约占总封装市场的 39%。国内封测企业加速在先进封装领域布局, 有望进一步带动产值快速提升。

图11: 据中国半导体行业协会预计, 2022-2026 年中国封测市场增长 CAGR2.1%



数据来源: JW insights、中国半导体行业协会、开源证券研究所

图12: 据 JW Insights 预计, 2023 年中国大陆先进封装占比 39%

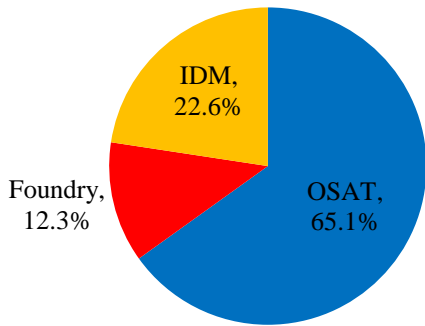


数据来源: JW insights、开源证券研究所

## 1.4、先进封装竞争格局: OSAT 头部集中, IDM+Foundry 开拓新工艺

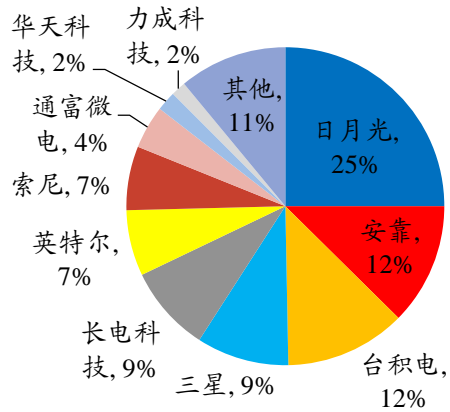
**先进封装主要由 OSAT (封测代工厂) 占据主导, 行业 CR5 占比约 68%。**近年来, 先进封装技术的内驱力已从高端智能手机领域演变为高性能计算和 AI 等领域, 主要涉及高性能处理器、存储器等产品。除了传统封测代工厂 (OSAT) 外, 晶圆代工厂 (Foundry) 以及 IDM 公司也相继成立自己的封装厂, 积极布局先进封装技术领域。据 Yole 统计, 2022 年集成电路先进封装 CR5 厂商占据了全球先进封装产业 68% 的市场份额, 其中包括 3 家外包封测厂商 (日月光、安靠和长电科技)、1 家晶圆代工厂 (台积电) 以及 1 家集成电路制造商 (三星)。

图13: 2022年封测代工厂主导先进封装市场规模



数据来源: Yole、开源证券研究所

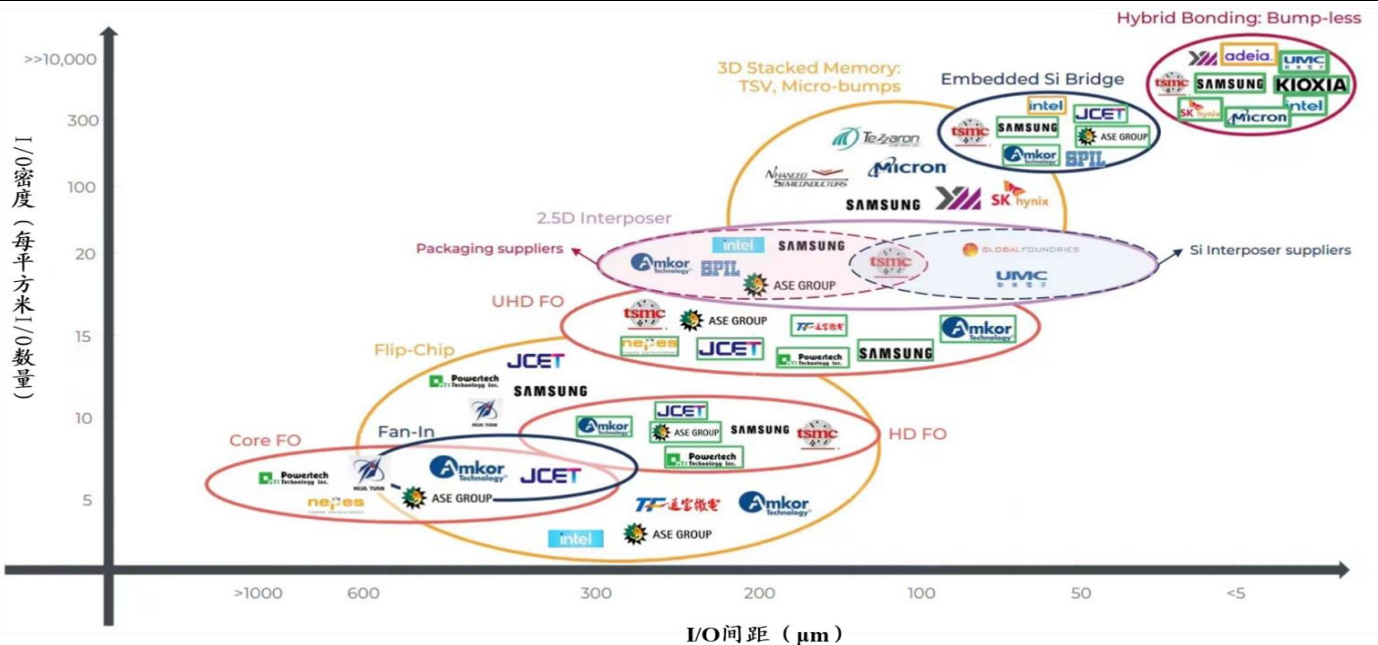
图14: 2022年全球先进封装CR3厂商规模占比约50%



数据来源: Yole、开源证券研究所

头部 Foundry、IDM、及 OSAT 逐步开发出多种 I/O 密度更高的封装形式。主要有超高密度扇外型 (UHD FO)、2.5D、3D、嵌入式硅桥以及混合键合五种类型, 随着封装形式对应的 I/O 间距逐步缩小, 连接密度越来越高。据 Yole 数据, 在中低端 I/O 密度领域 (包含 Core FO、Flip Chip 及 UHD FO 封装工艺), OSAT 厂商为主要参与者; 2.5D 封装中台积电为提供 interposer (中介层) 及后道封装服务的厂商, 而 OSAT 与 IDM 厂商之间相互合作来完成硅中介层及封测代工业务。台积电、三星及英特尔为高端先进封装技术领域的主要参与者, 并在这一领域展开激烈竞争。安靠、长电科技、日月光等顶级 OSAT 也在积极布局高端先进封装市场, 但目前仍以承接 Foundry 和 IDM 的封测代工业务为主。

图15: 先进封装的 I/O 间距越小, 其连接密度越高



数据来源: Yole、开源证券研究所

国内封测厂加码布局先进封装, 具备与海外厂商对标的技术能力。我国的封装业起步早、发展快, 但是主要以传统封装产品为主。近年来国内厂商通过并购, 快速积累先进封装技术, 具备与国际领先企业对标的技术能力。以长电科技、通富微电、华天科技等为代表的国内封测厂商均具备 WLCSP、SiP、TSV 等高端先进封装

技术，未来将持续提升 WLP、SiP 及 2.5D、3D 等先进封装形式的产能规模。

表1: 国内大陆封测厂加速布局先进封装技术平台

公司名称	SIP	TSV	WLCSP	Bumping	Fan-out	FC
日月光	有	有	有	有	有	有
安靠科技	有	有	有	有	有	有
矽品	有	有	有	有	有	有
长电科技	有	有	有	有	有	有
通富微电	有	-	有	有	-	有
华天科技	有	有	有	有	有	有
甬矽电子	有	-	有	-	-	有
汇成股份	-	-	-	有	-	有
晶方科技	-	-	有	-	-	-

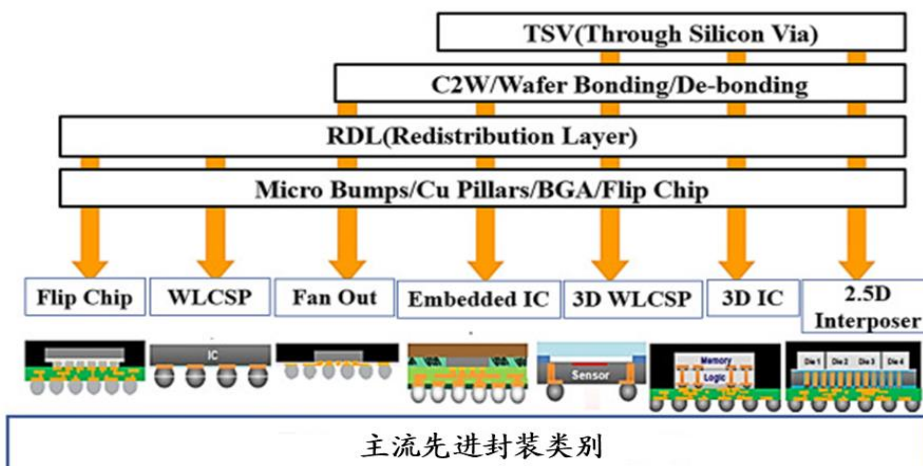
资料来源：各公司官网、各公司公告、开源证券研究所

## 2、先进封装工艺：提升系统功能密度为重要发展目标

先进封装技术路径多元化，产品持续创新迭代。在 market 需求的推动下，传统封装不断创新、演变，出现了各种新型的封装结构。随着封装技术进步和下游市场对于小型化产品需求增长，SiP（系统级封装）和 PoP（Package on package，叠成封装技术）奠定了先进封装时代的开始，以实现更高的集成密度。2D IC 封装技术（如倒装芯片 Flip-Chip、晶圆级封装 WLP）和 3D IC 封装技术（如硅通孔，TSV）的出现，进一步缩短了芯片之间的互连距离。近年来，先进封装的发展势头迅捷，如台积电的 InFO（集成扇出）和 CoWoS（Chip On Wafer On Substrate）、日月光的 FOCoS（基板上扇出芯片）、Amkor 的 SLIM（无硅集成模块）和 SWIFT（硅晶圆集成扇出技术）等。先进封装有助于提高加工、设计效率，降低设计成本。

先进封装主要技术平台包括：倒装（FC）、晶圆级封装（WLP）、2.5D、3D 封装等。支持这些平台技术的主要互连工艺包括凸块（Bumping）、重布线（RDL）、硅通孔（TSV）、混合键合等，更多先进封装技术的创新和发展不断涌现以满足更复杂的集成需求。

图16: 各类型先进封装主要包含 bumping、RDL、TSV 及键合等互连工艺



资料来源：Challenges and prospects for advanced packaging

## 2.1、先进封装关键互连工艺技术

### 2.1.1、凸块 (Bumping): 多种先进封装形式的基础工艺

凸块 (bumping) 为先进的晶圆级工艺技术之一，将晶圆切割成单个芯片之前，在基板上形成由各种金属制成的“凸块”或“球”。晶圆凸块为倒装芯片或板级半导体封装的重要组成部分，已成为当今消费电子产品互连技术的标准。凸块在管芯和衬底之间提供比引线键合更短的路径，以改善倒装芯片封装的电气、机械和热性能。对于性能驱动的市场，倒装芯片互连可减少信号传播延迟，提供更好的带宽，并缓解功率分配的限制。

不同类型的凸块材料，其互连方法有所不同。凸块按照材料成分来区分，主要包括以铜柱凸块 (Cu Pillar)、金凸块 (Au Bump)、镍凸块 (Ni Bump)、铟凸块 (In Bump) 等为代表的单质金属凸块和以锡基焊料为代表的焊料凸块 (Solder Bump) 及聚合物凸块等。凸块互连相关技术包括材料选择、尺寸设计、凸块制造、互连工艺及可靠性和测试等。其中，凸块材料仅依靠制程工艺架构提升难以满足高性能需求的选择尤其重要。不同的凸块材料，其加工制造方法各不相同，对应的互连方法和互连工艺中的焊 (黏) 接温度也不尽相同。

表2: 不同类型凸块材料与互连方法有所不同

凸块类型	凸块材料	互连温度/C (对焊料凸点)	互连方法	能否电镀
单质金属凸点	AU	-	黏接、热声或热压焊	能
	Ni	-	黏接	能
	Cu	-	黏接	能
	In	-	回流焊	能
Pb-Sn 焊料凸点	95Pb5Sn	370	回流焊	能
	90Pb10Sn	350	回流焊	能
	37Pb63Sn	220	回流焊	能
无铅焊料凸点	80Au20Sn	310 330	回流焊或热压焊	能
	共晶 SnAg	260	回流焊	能
	共晶 SnAgCu	260	回流焊	能
聚合物凸点	导电聚合物	-	黏接	否

数据来源:《集成电路先进封装材料》、开源证券研究所

晶圆凸块技术制作过程复杂，需要清洗、溅镀、曝光、显影、电镀去胶、蚀刻和良品测试等环节。具体工艺如下：

首先，采用溅射或其他物理气相沉积的方式在圆片表面沉积一层钛或钛钨作为阻挡层，再沉积一层铜或其他金属作为后面电镀所需的种子层。在沉积金属前，圆片先进入溅射机台的预清洁腔体，用氩气等离子去除焊盘金属表面的氧化层。

其次，在圆片表面旋涂一定厚度的光刻胶，并运用光刻曝光工艺，以改变其在显影液中的溶解度。光刻胶与显影液充分反应后，得到设计所需的光刻图形。

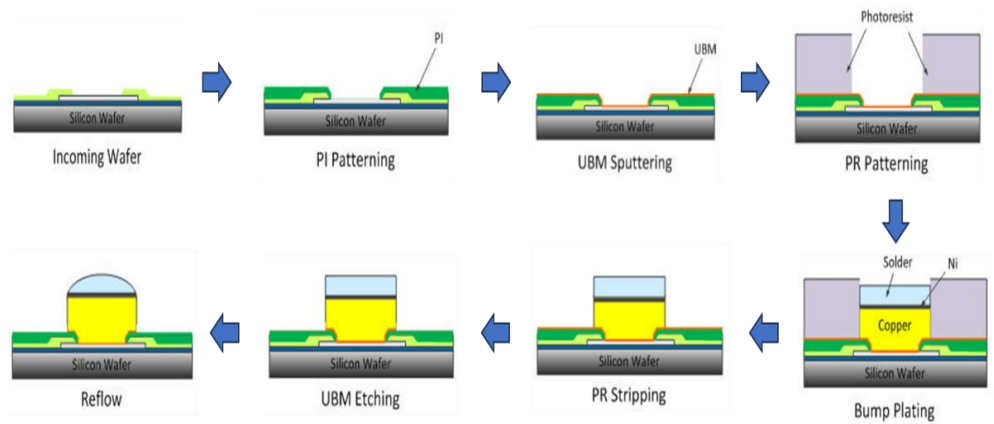
再则，圆片进入电镀机，通过合理控制电镀电流、电镀时间、电镀液液流、电镀液温度等，得到一定厚度的金属层作为 UBM (Under Bump Metallization, 凸点下

金属化层)。在有机溶液中浸泡后，圆片表面的光刻胶被去除；再用相应的腐蚀液去除圆片表面 UBM 以外区域的溅射种子层和阻挡层。

最后，在植球工序中，需要用两块开有圆孔的金属薄板作为掩模板，位置与圆片表面 UBM 的位置相对应。在植球前，先用第 1 块金属掩模板将助焊剂印刷到 UBM 表面；再用第 2 块金属掩模板将预成型的锡球印刷到 UBM 上；最后，圆片经过回流炉使锡球在高温下熔化，熔化的锡球与 UBM 在界面上生成金属间化合物，冷却后锡球与 UBM 形成良好的结合。

采用电镀的方式也可以得到焊球凸块，即在电镀 UBM 完成后，接着电镀焊料；去除光刻胶和腐蚀溅射金属后，经过回流，得到焊球凸块。电镀方式也是铜柱凸块和金凸块加工的常用方法。

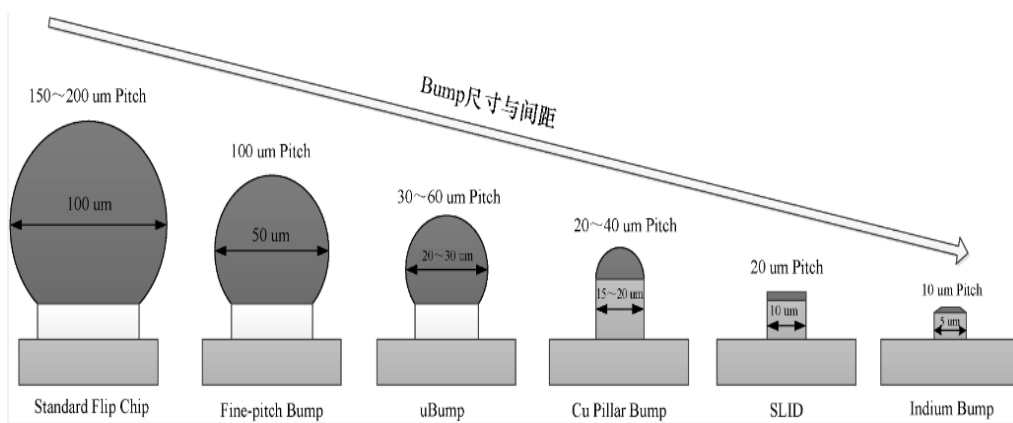
图17: 凸块 (bumping) 工艺流程主要分为 8 个步骤



资料来源：华进半导体

电子器件向更轻薄、更微型和更高性能进步，促使凸块尺寸减小，精细间距愈发重要。凸块间距 (Bump Pitch) 越小，意味着凸点密度增大，封装集成度越高，难度越来越大。行业内凸点间距正在朝着  $20\ \mu\text{m}$  推进，而实际上巨头已经实现了小于  $10\ \mu\text{m}$  的凸点间距。如果凸点间距超过  $20\ \mu\text{m}$ ，在内部互连的技术上采用基于热压键合 (TCB) 的微凸块连接技术。面向未来，混合键合 (HB) 铜对铜连接技术可以实现更小的凸点间距 ( $10\ \mu\text{m}$  以下) 和更高的凸点密度 ( $10000$  个/ $\text{mm}^2$ )，并带动带宽和功耗双提升。随着高密度芯片需求的不断扩大带来倒装需求的增长，Bumping 的需求将不断提升。目前国内 OSAT 封测厂商如长电科技、通富微电、华天科技、晶方科技、甬矽电子等均已具备 Bumping 制造能力。

图18: Bump 尺寸与间距随着技术提高, 逐步缩小

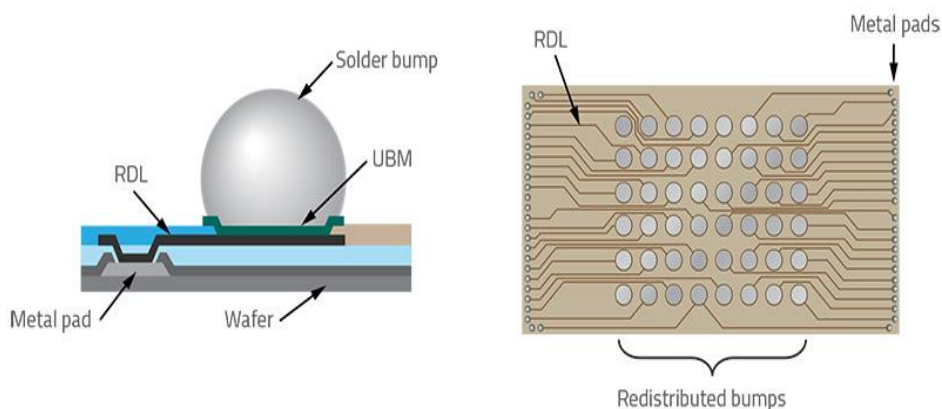


资料来源:《基于 SIP 技术的微系统》, 作者: 李扬

### 2.1.2、重布线层 (RDL): 芯片电气延伸与互连的桥梁

RDL (Re-Distribution Layer, 重布线层) 为先进封装的关键互连工艺之一, 可将多个芯片集成到单个封装中。在介电层顶部创建图案化金属层的过程, 将 IC 的输入/输出 (I/O) 重新分配到新位置。新位置通常位于芯片边缘, 可以使用标准表面贴装技术 (SMT) 将 IC 连接到印刷电路板 (PCB)。RDL 技术使设计人员能够以紧凑且高效的方式放置芯片, 从而减少器件的整体占地面积。

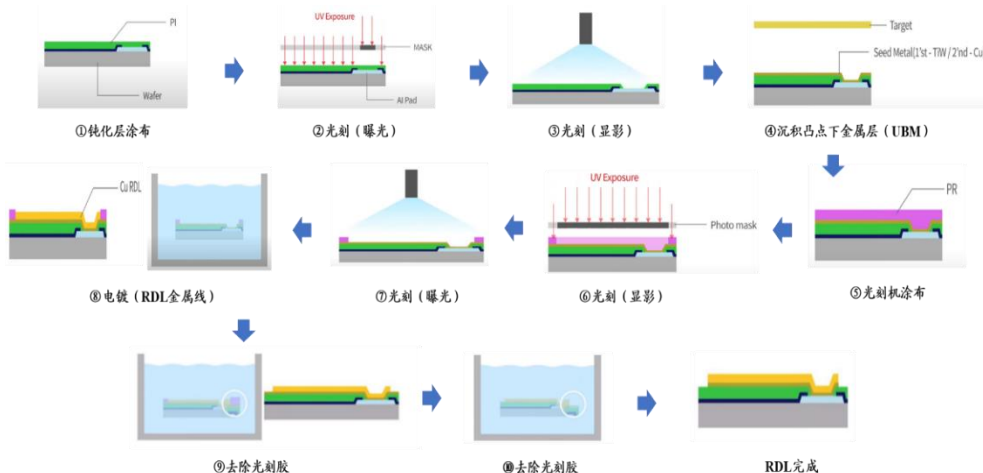
图19: 重布线层 (RDL) 将 I/O 重新分配到芯片边缘



资料来源: Lam Research

晶圆级金属重布线制程在 IC 上涂布一层绝缘保护层, 再以曝光显影的方式定义新的导线图案, 然后利用电镀技术制作新的金属线路, 以连接原来的芯片引脚和新的凸点, 达到芯片引脚重新分布的目的。重布线层的金属线路以电镀铜材料为主, 根据需要也可以在铜线路上镀镍金或者镍钯金材料; 相关核心设备包括光刻、电镀、刻蚀及薄膜沉积等。

图20: 重布线层 (RDL) 关键工序流程主要由十个步骤组成

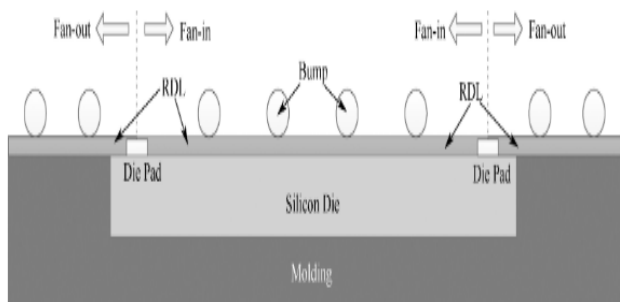


资料来源: LB Semicon

**重布线层 (RDL) 在延伸和互连 XY 平面方面发挥关键作用。**在扇入晶圆级封装 (FIWLP) 和扇出晶圆级封装 (FOWLP) 等先进封装中, RDL 为核心关键工艺。使得封装厂能够在扇出封装技术与晶圆代工厂展开竞争。通过 RDL, IO Pad 可以制成 FIWLP 或 FOWLP 中不同类型的晶圆级封装。在 FIWLP 中, 凸块全部生长在芯片上, 芯片和焊盘之间的连接主要依靠 RDL 的金属线。封装后, IC 的尺寸几乎与芯片面积相同。在 FOWLP 中, 凸块可以生长在芯片外, 封装后的 IC 比芯片面积大 (1.2 倍)。

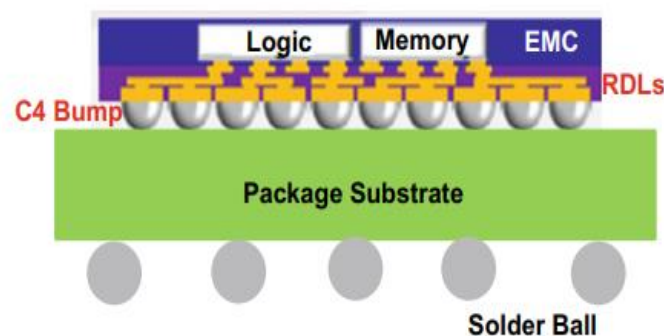
以 2.5D 先进封装的代表台积电的 InFO 为例, InFO 在载体上使用一个或多个裸芯片, 然后将其嵌入到模塑料的重构晶圆中。并在晶圆上制造 RDL 互连和介电层, 这是“芯片优先”的工艺流程。单芯片 InFO 提供高凸点数量, RDL 线从芯片区域向外延伸, 形成“扇出”拓扑。

图21: FAN IN 和 FAN OUT 型 RDL 工艺



资料来源:《基于 SIP 技术的微系统》, 作者: 李扬

图22: RDL 在台积电 InFO\_OS 技术中为核心关键



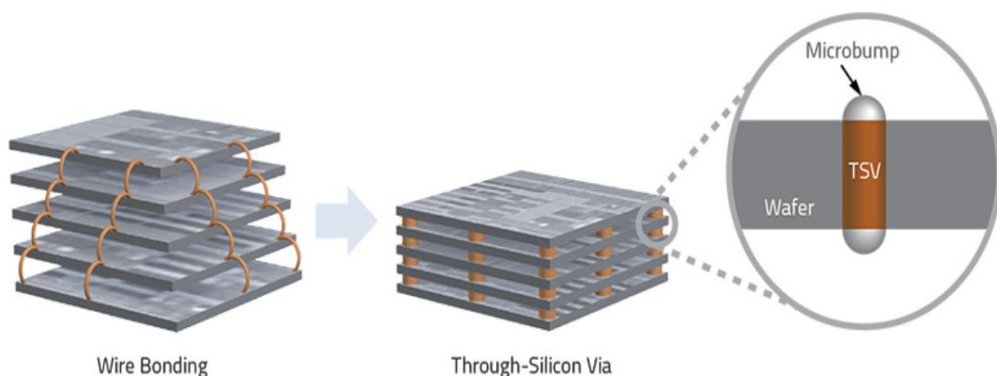
资料来源:《Heterogeneous Integrations》, 作者: John H. Lau

### 2.1.3、硅通孔 (TSV): 立体集成工艺的核心关键

**TSV (Through Silicon Via, 硅通孔) 技术主要用于立体封装, 在芯片的垂直向上提供电气扩展和互连的功能。**通过在芯片和芯片之间、晶圆和晶圆之间制作垂直导通孔, 实现芯片之间互连的最新技术。与传统 Wire Bonding 的芯片堆叠技术不同, TSV 技术能够使芯片在 3D 堆叠的密度最大, 外形尺寸最小, 并且大幅改善芯

片运行速度，降低功耗。因此，TSV 技术曾被称为继 Wire Bonding、TAB 和 Flip Chip 之后的第 4 代封装技术。

图23: TSV (硅通孔) 工艺将多层平面进行堆叠互连



资料来源: LAM Research

通过 TSV 技术将多层平面型芯片进行堆叠互连，减小芯片面积，大大缩短整体互连线的长度，互连线长度的缩短能有效降低驱动信号所需的功耗。TSV 技术可以集成到制造工艺的不同阶段，主要分为 Via-first、Via-middle、Via-last 三种方案。

**TSV (Via-First) 方案:** 在晶圆制造完成之前生成 TSV，可以在 Fab 厂前端金属互连之前进行，实现 Core-to-Core 的连接。该方案目前在微处理器等高性能器件领域应用较多，主要作为系统级芯片 (System on a Chip, SoC) 的替代方案。Via-first 也可以在 CMOS 完成之后在晶圆厂进行 TSV 的制作，然后再完成后端的封装。

**TSV (Via-Middle) 方案:** 通常在 FEOL 步骤完成后，制作硅通孔 (TSV)，其中包括许多高温工艺。并在执行多层金属布线 BEOL 处理之前，完成片内互连工艺。

**TSV (Via-Last) 方案:** 将 TSV 放在封装生产阶段，该方案的明显优势是可以不改变现有集成电路生产和设计流程。目前，部分厂商已开始在高端的 Flash 和 DRAM 领域采用 Via-Last 方案，即在芯片的周边进行打孔，然后进行芯片或晶圆的堆叠。

表3: TSV 技术主要分为 Via-first 与 Via-last 两种方案

	Via-first/Via-Middle	Via-last
设计阶段	CMOS 或 BEOL 之前	BEOL 之后
介入时间	IC 设计阶段介入	晶圆生产完成后开始
加工地点	IDM 晶圆厂	OSAT 封测厂
通孔大小	通孔宽度 5~20μm	通孔宽度 20~50μm
关键尺寸	控制严格	控制相对宽松
纵宽比	3:1 到 10:1	3:1 到 15:1

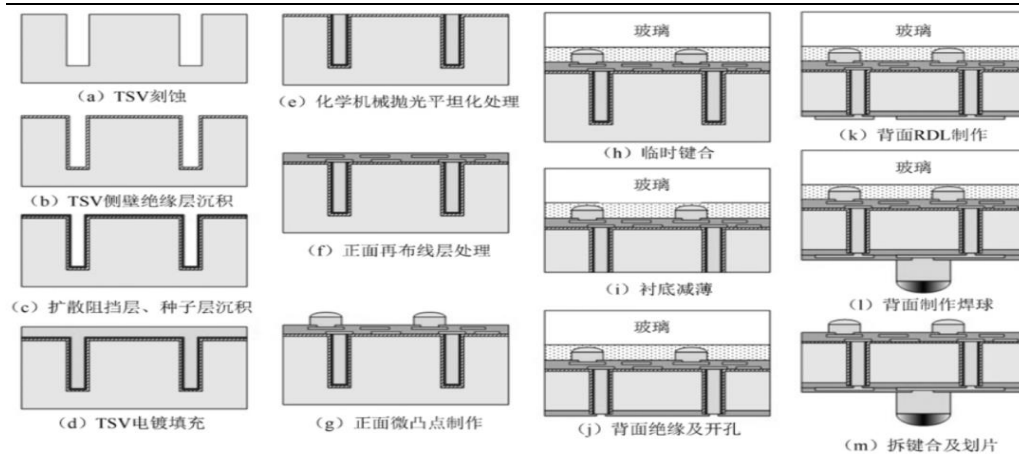
数据来源:《基于 SIP 技术的微系统》，作者: 李扬、开源证券研究所

TSV 主要有三大应用领域，分别是 2.5D 中介转接层 (Interposer) 封装、三维集成电路 (3D IC) 封装和三维圆片级芯片尺寸 (3D WLCSP) 封装。对应 TSV 生产流程，会涉及到深孔刻蚀、PVD、CVD、铜填充、微凸点及电镀、清洗、减薄、键合等二十余种设备，其中深孔刻蚀、气相沉积、铜填充、CMP 去除多余的金属、晶圆减薄、晶圆键合等工序涉及的设备最为关键。



(1) **2.5D 中介转接层封装**: 细线条布线中介转接层针对的是 **FPGA、CPU** 等高性能的应用, 其特征是正面有多层细节距再布线层和细节距微凸点, 主流 TSV 深宽比达到 10:1, 厚度约为 100 $\mu$ m。TSMC 的 CoWoS (Chip on Wafer on Substrate, 晶圆级封装) 采用的 2.5D TSV 技术。CoWoS 技术把芯片安装到硅转接板上, 并使用硅转接板上的高密度走线进行互连。

图24: TSV 中介转接层加工工艺主要由 12 个工艺流程组成

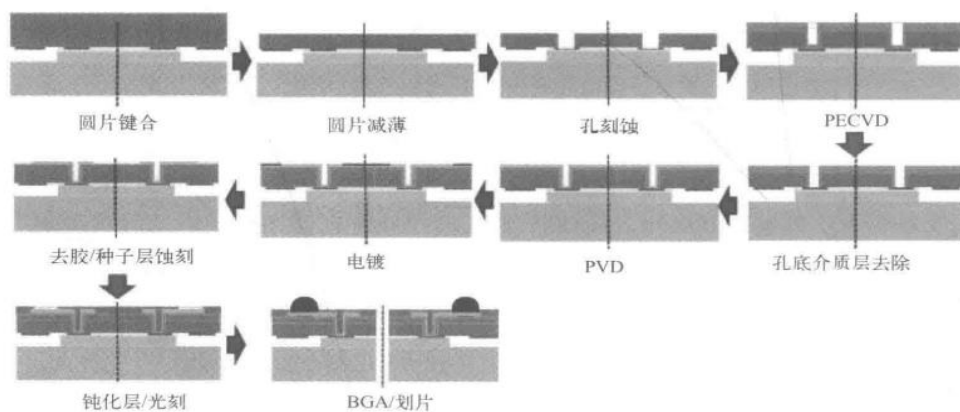


资料来源:《集成电路产业全书》, 作者: 王阳元

(2) **3D IC 封装**: 应用方向主要是存储类产品, 其原因是存储类产品引脚密度小, 版图布局规律, 芯片功率密度小等。通过 TSV 通孔实现三维集成, 可以增加存储容量, 降低功耗, 增加带宽, 减小延迟, 实现小型化。

(3) **3D WLCSP**: 主要应用于图像、指纹、滤波器、加速度计等传感器封装领域。其特点是采用 Via Last 工艺, TSV 深宽比较小 (1:1~3:1), 孔径较大出于对成本的考虑, 目前图像传感器封装大多采取低深宽比的 TSV 结构。

图25: 低深宽比 TSV 图像传感器封装工艺主要包含十个工艺流程

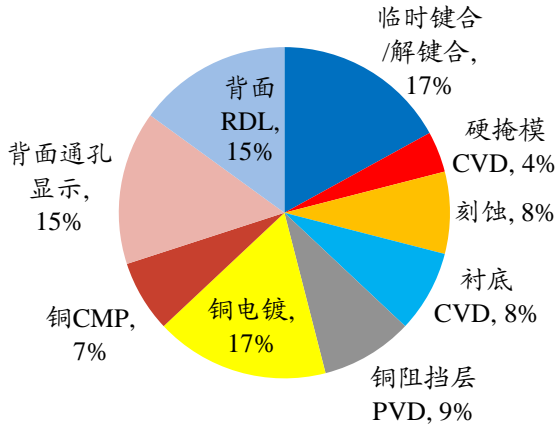


资料来源:《集成电路产业全书》, 作者王阳元

**TSV 工艺中临时键合/解键合、铜电镀成本占比最高。**根据《A Cost Model Analysis Comparing Via-Middle and Via-Last TSV Processes》论文数据, 在 Via-Middle 的 TSV 工艺制造成本中, 临时键合/解键合与铜电镀成本占比均为 17%, 背面通孔显示 (主要包括背面减薄和抛光、刻蚀、CVD、CMP 等) 和背面 RDL (主要包括 PVD、光刻、电镀等) 成本占比约为 15%左右, 其他关键工艺包括刻蚀、CVD、铜阻挡层 PVD 等。而 Via-Last 的 TSV 工艺中, 铜电镀成本占比 18%, 临时键合/解键合与铜阻挡层

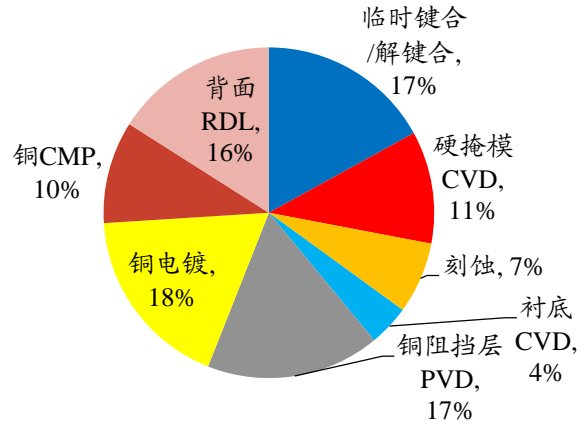
PVD 成本占比均为 17%，背面 RDL（主要包括 PVD、光刻、电镀等）成本占比约为 16%，其他核心工艺与 Via-Middle 方案类似。

图26: TSV 制造成本结构 (Via-Middle 方案) 中临时键合/解键合占比最高, 为 17%



数据来源:《A cost model analysis comparing via-middle and via-last TSV processes》, 作者: K.-J. Chui 等、开源证券研究所

图27: TSV 制造成本构成 (Via-Last 方案) 中铜电镀占比最高, 为 18%

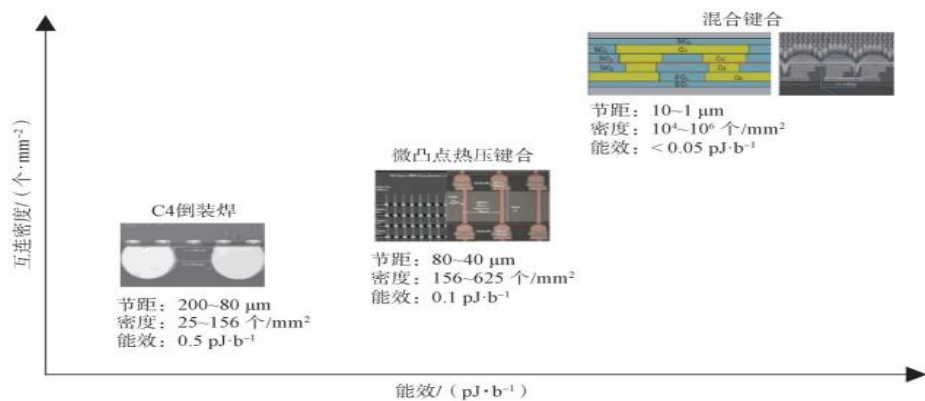


数据来源:《A cost model analysis comparing via-middle and via-last TSV processes》, 作者: K.-J. Chui 等、开源证券研究所

### 2.1.4、混合键合: 缩小 Bump pitch 间距, 扩大互连带宽

混合键合 (Hybrid Bonding) 是通过铜—铜金属键合和二氧化硅—二氧化硅介质层键合实现无凸点永久键合的芯片三维堆叠高密度互连技术。据《先进封装的发展与机遇》论文数据, 可实现极小间距的芯片焊盘互连, 每平方毫米可互连的芯片焊盘数为  $10^4 \sim 10^6$  个, 可以提供更高的互连密度、更小更简单的电路、更大的带宽、更小的电容和更低的功耗。

图28: 混合键合显著提升键合技术性能

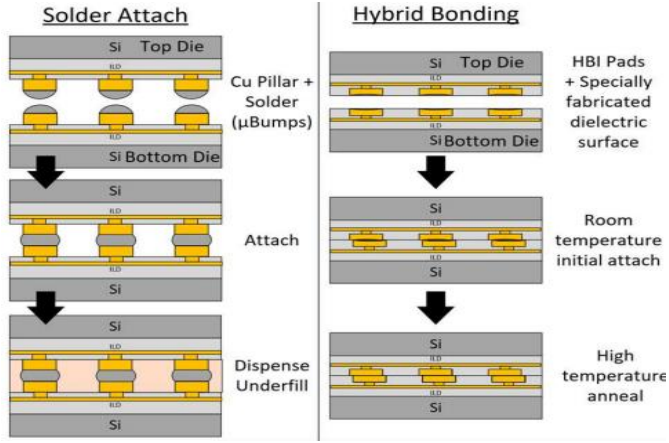


资料来源:《先进封装技术的发展与机遇》, 作者: 曹立强等

混合键合工艺提供更高互连密度, 逐渐取代传统焊接工艺。与传统 C4 焊点和微凸点连接技术相比, 混合键合技术主要优点有: ①实现芯片之间无凸点互连, 微凸点的取消将进一步降低芯片之间通道的寄生电感和信号延时; ②实现芯片之间超细间距的互连, 比微凸点提高 10 倍以上, 超细间距的互连将增加布线有效使用面积, 大幅增加通道数量, 简化 I/O 端口电路; ③实现超薄芯片制备, 通过芯片减薄可使芯

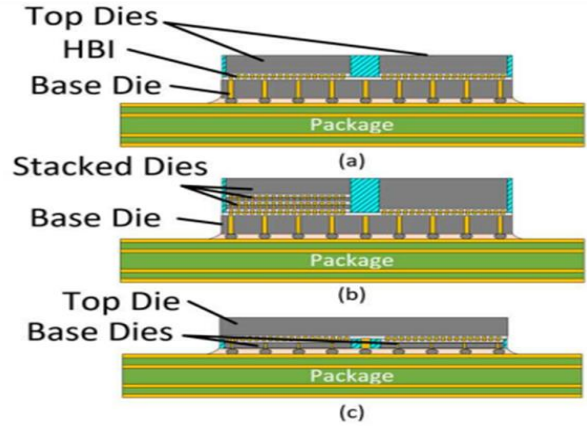
片厚度和重量大幅降低，并且可进一步提升系统中芯片的互连带宽；④实现键合可靠性的提高，铜—铜触点间以分子尺度融合，取消了焊料连接，二氧化硅—二氧化硅以分子共价键键合取消了底填材料，极大提高了界面键合强度，增强了芯片的环境适应性。

图29: Hybrid Bonding 工艺比传统焊接工艺步骤减少



资料来源:《Enabling Hybrid Bonding on Intel Process》, 作者: Adel Elsherbini 等

图30: Hybrid Bonding 工艺在 3D 封装中的应用



资料来源:《Enabling Hybrid Bonding on Intel Process》, 作者: Adel Elsherbini 等

混合键合工艺主要包含 D2W (Die-to-Wafer) 和 W2W (Wafer-to-Wafer) 两类键合。根据 EVG 报告《Bonding Technologies for the Next Generation Integration Schemes》(发布于 2021 年 6 月 10 日) 数据, Wafer-to-Wafer 的工艺更加成熟, 但需要每个芯片尺寸相同, 且整体良率较低。下游应用端, 在背光 CIS 及存储领域 3D NAND 等领域均已实现量产。而 D2W 下游应用前景更广, 但产品仍处于研发及量产爬坡阶段。

表4: 混合键合在存储与逻辑应用领域均有技术突破

	背光 CIS	存储			逻辑			
		3D NAND	HBM Stacks	DDR6+	Next Gen. Memory	SoC Partitioning	Scaling	
堆叠芯片	光电二极管 + DRAM + 逻辑芯片	NAND + 外围电路	12+层堆叠	Peri under DRAM	Peri on MRAM, FeRAM, PCM	SoIC	SRAM + Logic	背面 PDN (5nm)
键合方式	W2W	W2W	W2W/D2W W	W2W	W2W	W2W/D2W	W2W	W2W
间距	2 μm → 1 μm	2 μm → 1 μm	5 μm → 3 μm	2 μm → <1 μm	2 μm → <1 μm	9 μm → 2 μm	2 μm	By scanner
技术进展	量产	量产	研发	研发	研发	量产爬坡	量产爬坡	量产爬坡
相关公司	Sony	YMTC	Xperi	IMEC	IMEC	台积电	IMEC	IMEC

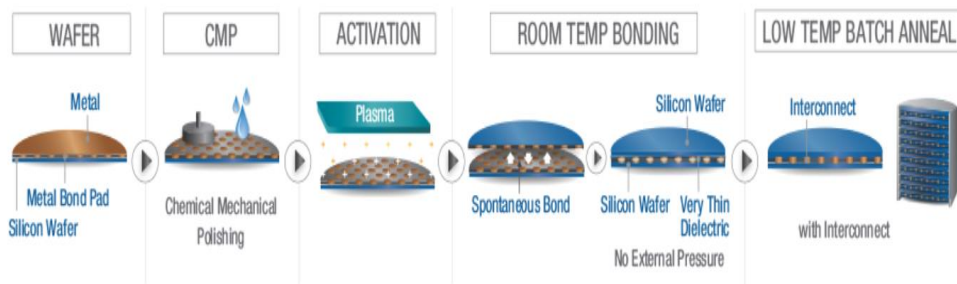
数据来源: EVG、开源证券研究所

混合键合的关键工艺步骤包括电镀 (电化学沉积、ECD)、CMP、等离子体活化、对准、键合、分离和退火。

W2W (Wafer-to-Wafer, 晶圆到晶圆键合) 是指将两片晶圆高精度对准、接合, 实现两片晶圆之间功能模块集成的工艺。晶圆级键合设备可用于存储器堆叠、3D 片

上系统(SoC)、背照式 CMOS 图像传感器堆叠以及芯片分区等多个领域，是目前混合键合中能够进行大量生产的技术。

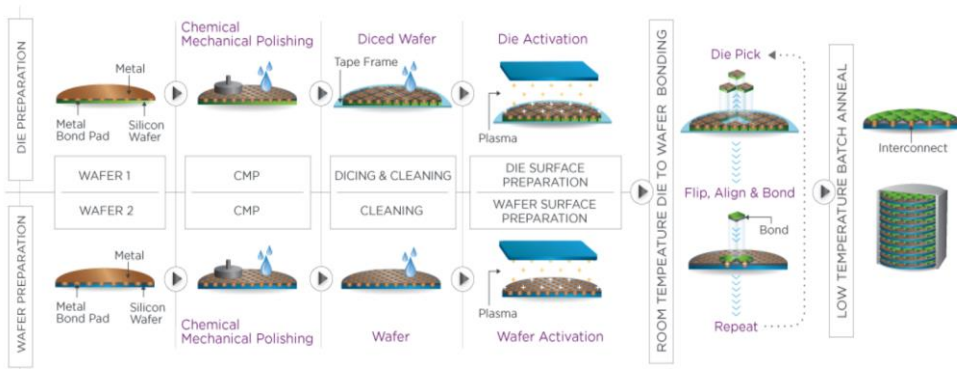
图31: 混合键合工艺中 Wafer-to-wafer 工艺流程



资料来源: Adcia

**D2W (Die to Wafer, 芯片到晶圆)**是指将单个芯片逐个键合到目标晶圆上的过程。模具尺寸越大，使用 D2W 堆叠越有利，成本效益越高。**D2W 通常是混合键合的主要选择**，因为它支持不同的芯片尺寸、不同的晶圆类型和已知的良好芯片，而 **W2W 通常只支持相同节点的芯片**。

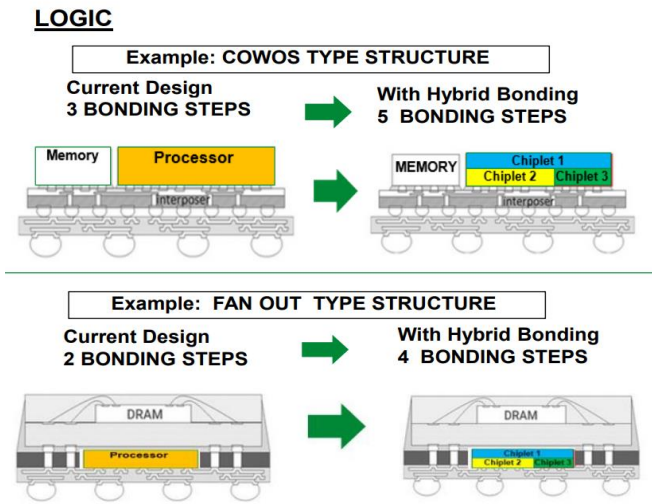
图32: 混合键合工艺中 Die-to-wafer 工艺流程



资料来源: Adcia

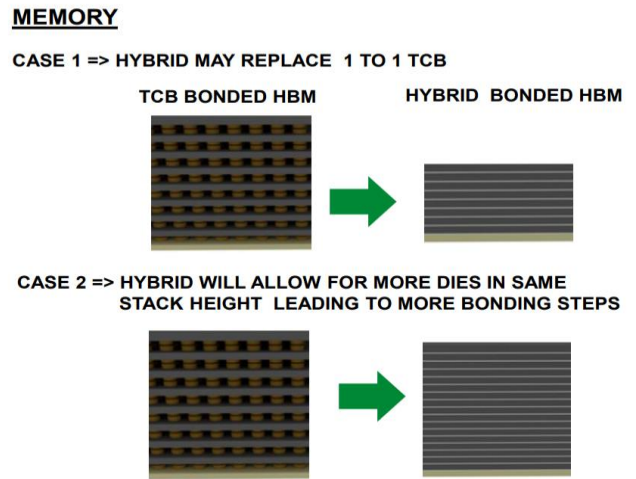
**混合键合拉动键合设备需求**。根据华卓精科招股书，1 万片晶圆/月的产能需要配置 4-5 台晶圆级键合设备。随着混合键合技术不断成熟，长鑫存储、长江存储、武汉新芯等存储企业不断扩充存储芯片制造产能；中芯国际、士兰微等也在积极布局特殊工艺产线，应用于 CIS 和 MEMS 等产品生产。产线的建设将带动国内晶圆级键合设备市场的快速增长。此外，根据 Besi 数据，2030 年全球混合键合市场保守预测累计 800 台，而乐观预测将有望实现 1800 台。

图33: 逻辑领域将增加约 2 倍的键合工艺需求



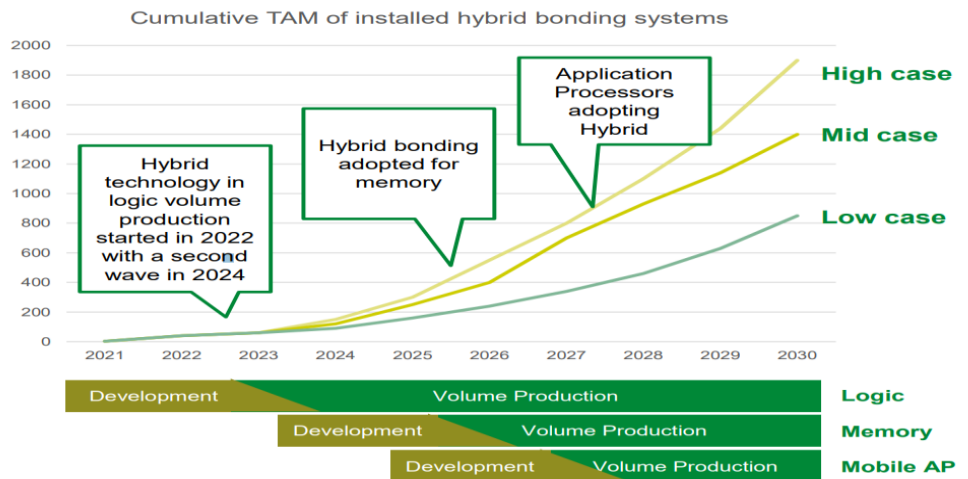
资料来源: Besi

图34: 存储领域将需要更多的键合工艺步骤



资料来源: Besi

图35: 逻辑、存储及应用处理器等新品将拉动混合键合设备市场需求 (单位: 台)



数据来源: Besi

## 2.2、单芯片封装: 提升芯片占封装面积比例

单颗芯片封装以小型化和增加 I/O 数量为发展方向。为适应手机、笔记本电脑等便携式电子产品小、轻、薄、低成本等需求, 日本开发出芯片级封装 (Chip Scale Package, CSP), 其封装面积与芯片面积之比不大于 1.2, 从而解决了芯片小而封装大的根本矛盾。CSP 封装中最具有代表性的倒装芯片 (Flip Chip, FC)、晶圆级封装 (Wafer Level Package, WLP) 的工艺突破, 成为后续封装工艺演进中的重要组成部分。

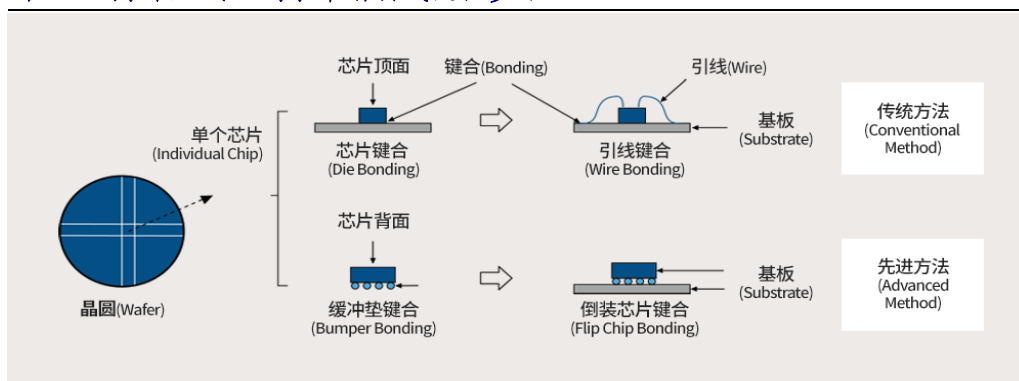
### 2.2.1、倒装芯片 (Flip Chip): 简化引线键合, 提升传输速度

FC (Flip Chip, 倒装芯片) 是系统级封装常用的高密度封装互连技术, 通过 2D 排列的金属凸点将芯片的电路面朝下直接键合到基板、衬底或 PCB 上。近年来, 随

随着 I/O 端口的增加和芯片体积的缩小，系统级封装中的凸点间距不断变小，高密度窄间距微凸点倒装技术受到重视并得到高速发展，其应用范围也迅速扩大。

Flip Chip 与传统的引线键合工艺相比，具有优点包括：（1）I/O 密度高；（2）由于采用了凸点结构，互连长度大大缩短，互连线电阻、电感更小封装的电性能得到极大的改善；（3）芯片中产生的热量可通过焊料凸点直接传输到封装衬底上，因此芯片温度会降低。

图36: 倒装相比传统封装节省引线键合步骤

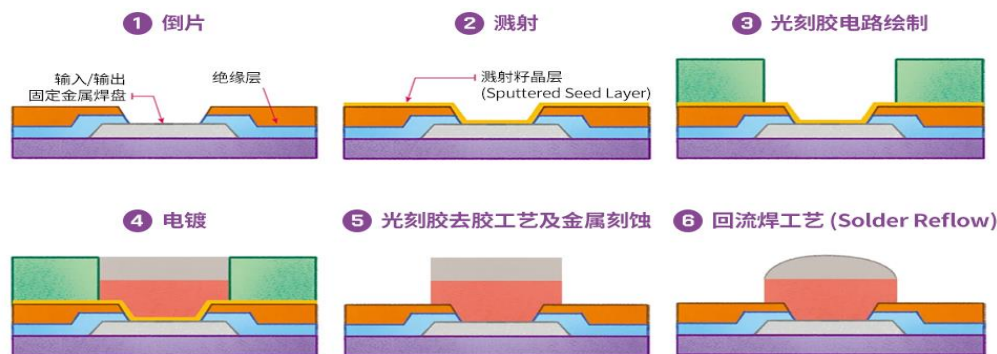


资料来源: SK Hynix 官网

常规的倒装焊封装工艺包括倒装焊接和底部填充两个步骤，其中倒装焊接过程需要合适的助焊剂以增强焊料的润湿性，并且在转移的过程中能暂时固定芯片。基本的组装工艺流程包括圆片流片、制作凸点、切片、拾取、放置芯片、回流、填充等。

其中，倒装的关键技术是 Bumping（凸块）工艺。当芯片制作工序完成后，将溅镀上一层薄薄的金属层（Under Bump Metallization，简称 UBM），而凸块被沉淀在 UBM 上。常用的凸块材料为金凸块、锡银、锡铋等，其良率的关键在于当焊盘间距缩小时，必须保持凸块尺寸的稳定性和一致性。

图37: 倒装（Flip Chip）工艺流程主要分为 6 个步骤



资料来源: SK Hynix 官网

### 2.2.2、晶圆级芯片封装（WLP）：拓展 I/O 接触点，提升连接密度同时降低生产成本

**WLP (Wafer Level Packaging, 晶圆级芯片封装) 切割晶圆与封装的先后顺序与传统方式大不相同。**在传统晶圆封装中,是将成品晶圆切割成单个芯片,然后再进行黏合封装。不同于传统封装工艺,晶圆级封装是在芯片还在晶圆上的时候就对芯片进行封装,保护层可以黏接在晶圆的顶部或底部,然后连接电路,再将晶圆切成单个芯片。

相比于传统封装,晶圆级封装具有以下优点:

(1) **封装尺寸小:** 由于没有引线、键合和塑胶工艺,封装无需向芯片外扩展,使得 WLP 的封装尺寸几乎等于芯片尺寸。

(2) **高传输速度:** 与传统金属引线产品相比, WLP 一般有较短的连接线路,在高效能要求如高频下,会有较好的表现。

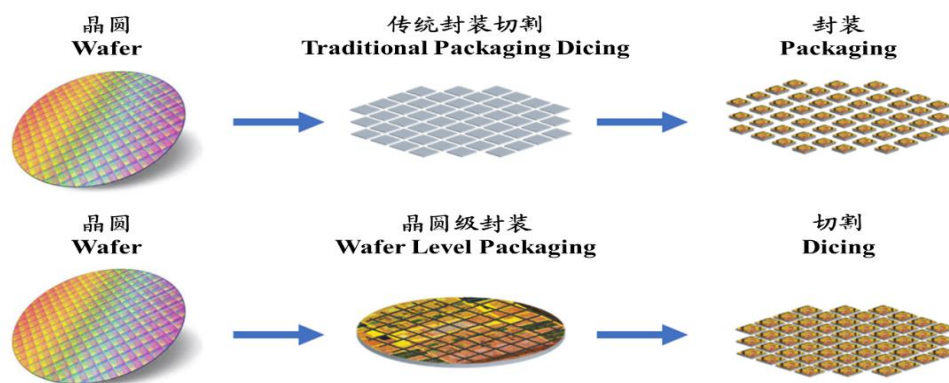
(3) **高密度连接:** WLP 可运用数组式连接,芯片和电路板之间连接不限制于芯片四周,提高单位面积的连接密度。

(4) **生产周期短:** WLP 从芯片制造、封装以及成品的整个过程中,中间环节大大减少,生产效率高,周期缩短很多。

(5) **工艺成本低:** WLP 是在硅片层面上完成封装测试的,以批量化的生产方式达到成本最小化的目标。WLP 的成本取决于每个硅片上合格芯片的数量,芯片设计尺寸减小和硅片尺寸增大的发展趋势使得单个器件封装的成本相应地减少。WLP 可充分利用晶圆制造设备,生产设施费用低。

基于以上的优势,晶圆级封装可满足超薄大尺寸的存储类芯片的性能要求。目前多用于低引脚数产品,包括无线连接、汽车电子、数字信号等。

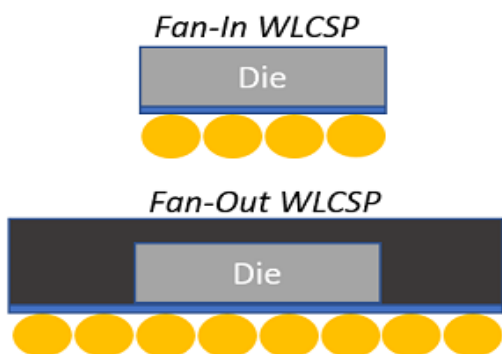
**图38: 晶圆级封装与传统封装工艺流程的差异**



资料来源: Cadence

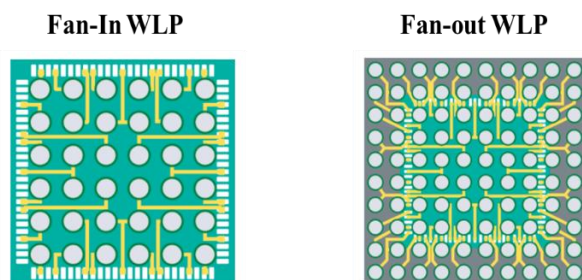
**晶圆级芯片封装分为两种主要类型: 扇入型与扇出型晶圆级封装, 两者的主要区别在于如何合并重布线层 (RDL)。**在扇入型, RDL 走线向内布线, 面积受到限制, 约 200 个 I/O 和 0.6mm 将达到上限。而在扇出型中, 通过扩展封装的可用面积, RDL 走线可以向内和向外布线, 从而实现更薄的封装和更多的 I/O。

图39: 扇入型和扇外型 WLP 剖面对比



资料来源: Any Silicon

图40: 扇入型和扇外型 WLP 底面对比

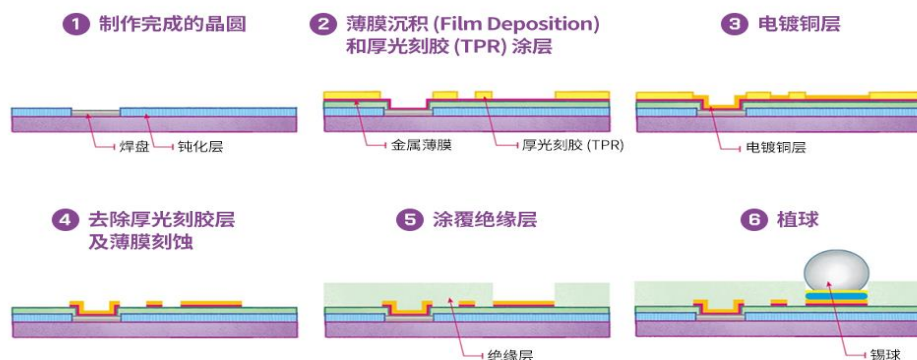


所有RDL轨迹都集中在内部 RDL轨迹由内到外, 超出芯片范围

资料来源: ASE、开源证券研究所

**FIWLP (Fan-In Wafer Level Packaging, 扇入型晶圆级封装):** 封装尺寸与芯片尺寸相同, 都可以将尺寸缩至最小。扇入型 WLCSP 的锡球直接固定在芯片上, 无需基板等媒介, 电气传输路径相对较短, 因而电气特性得到改善。此外, 扇入型 WLCSP 无需基板和导线等封装材料, 工艺成本较低。这种封装工艺在晶圆上一次性完成, 因而在裸片 Die 数量多且生产效率高的情况下, 可进一步节约成本。

图41: 扇入型晶圆级芯片封装 (Fan-In WLCSP) 工序将锡球固定在芯片上



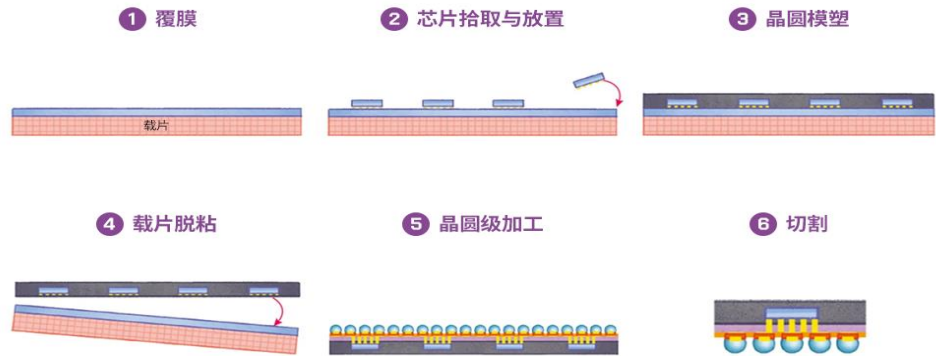
资料来源: SK Hynix 官网

**FOWLP (Fan-Out Wafer Level Packaging, 扇外型晶圆级封装):** 锡球可以延伸至芯片以外, 除了具备扇入型 WLCSP 的良好电气特性外, 扇外型 WLCSP 还克服了扇入型 WLCSP 的一些缺点。其中包括: 无法使用现有基础设施进行封装测试; 封装锡球阵列尺寸大于芯片尺寸导致无法进行封装; 以及因封装不良芯片导致加工成本增加等问题。

扇外型 WLP 的具体步骤是先把晶圆切割, 然后把芯片在载体上摆成晶圆的形状, 芯片之间的空隙用环氧树脂填充起来, 每个芯片多了一层保护壳。后面的步骤跟扇入型一致, 用重布线层技术对每个芯片进行处理, 然后切割得到芯片成品。



图42: 扇出型晶圆级芯片封装 (Fan-Out WLCSP) 工序将锡球延伸至芯片外



资料来源: SK Hynix 官网

### 2.3、多芯片封装: 高密度系统式集成

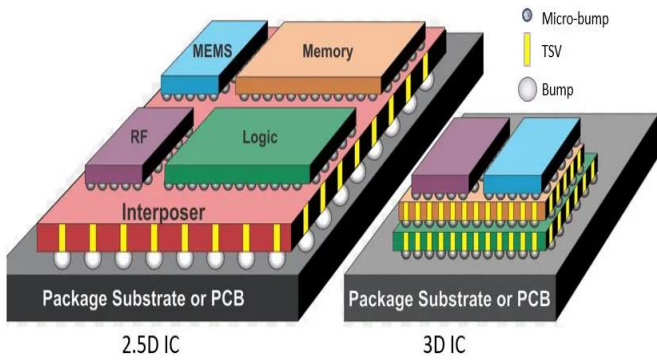
系统级封装主要解决芯片与芯片之间的互连问题。电子设备的运行通常依赖于多个芯片之间的协作, 而芯片间的信号传输效率会因为互连的质量而受到影响。多芯片组件 (Multi-chip Module, MCM) 与系统封装 (System in Package, SiP) 通过将多块芯片组装在单块电路板上, 实现整机系统的功能, 有效的提升了芯片间的互连质量。

#### 2.3.1、2.5D/3D 封装: 立体式堆叠, 主要应用于高端集成度产品

2.5D 封装是在 2D 封装结构的基础上, 芯片与封装载体之间加入硅中介层进行打孔和布线。通过利用硅通孔连接其上、下表面的金属, 多采用倒装芯片组装工艺。和 2D 结构封装相比, 采用 2.5D 结构封装的产品容量和性能更高。

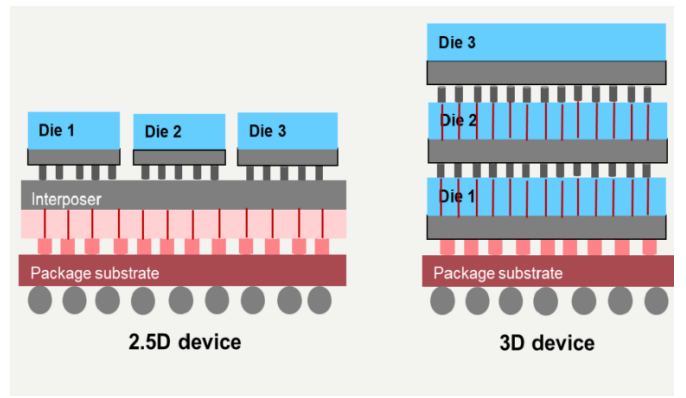
3D 与 2.5D 封装的主要区别在于, 2.5D 是在中介层上进行打孔和布线的, 而 3D 封装是将芯片与芯片直接堆叠。可采用引线键合、倒装芯片或混合封装工艺, 或采用硅通孔技术进行互连。在高性能计算芯片中, 通过 3D 堆叠技术可以扩大内存芯片的容量、提升传输带宽, 同时由于堆叠中引线的减少, 大大降低了芯片中因数据传输造成的不必要的能量损耗, 因此采用 TSV 工艺的 3D IC 大量运用于存储器 (SRAM、DRAM、Flash)、GPU、CPU 等多种高端应用领域。

图43: 3D 封装不采用硅中介层



资料来源: Semiconductor Engineering

图44: 3D 封装不包含中介层 (Interposer)

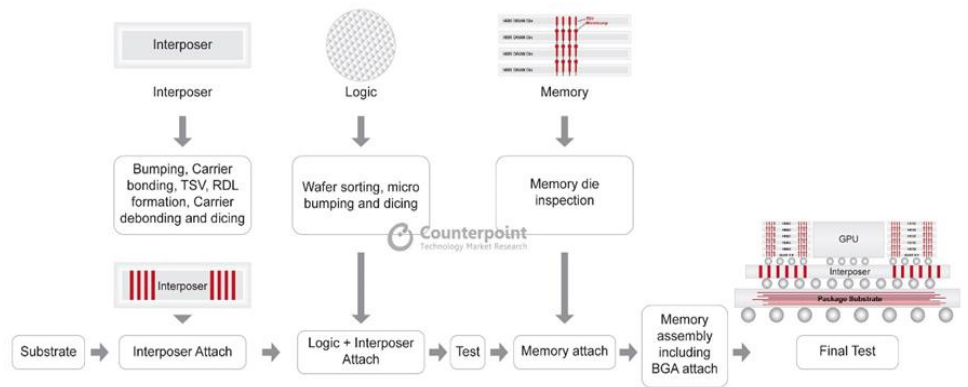


资料来源: Semi Wiki

**CoWoS (Chip-on-Wafer-on-Substrate)** 为台积电推出的 **2.5D 封装技术代表**。该技术是将芯片封装到硅转接板上，并使用硅转接板上的高密度布线进行互连，然后再将硅转接板安装在封装基板上。

**CoWoS 主要工艺流程包括:** ①先将芯片通过 uBump 安装在 Silicon Interposer Wafer 上，并填入 underfill 保护芯片的连接结构; ②将 Interposer Wafer 连同芯片反转安装在载板 (Carrier) 上; ③将 Interposer Wafer 减薄，并制作 RDL 和 Bump; ④将 Interposer Wafer 从载板上转移到胶带上并切割 Wafer; ⑤将切割后的芯片从胶带上取下并安装在基板上。

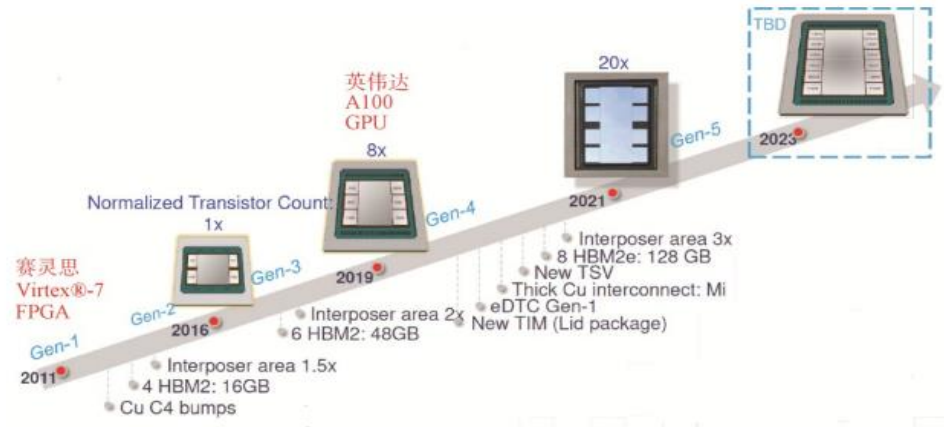
图45: CoWoS 工艺为 2.5D 封装工艺



资料来源: Counter Point

台积电自 2012 年就开始采用 CoWoS 技术,通过该技术把多个芯片封装到一起,通过硅转接板高密度互连,达到了封装体积小、性能高、功耗低、引脚少的效果。该技术已发展 5 代,通过掩膜版拼接技术,无源转接板尺寸从接近 1 个光罩面积增至 3 个光罩面积 (2500mm<sup>2</sup>)。前两代为同质芯片集成,主要集成硅基逻辑芯片,从第 3 代起演变为异质芯片集成,主要集成逻辑 SoC 芯片和 HBM 阵列。为提高芯片的电源完整性,其开始在无源转接板内集成深沟槽电容。

图46: CoWoS 技术路径发展流程

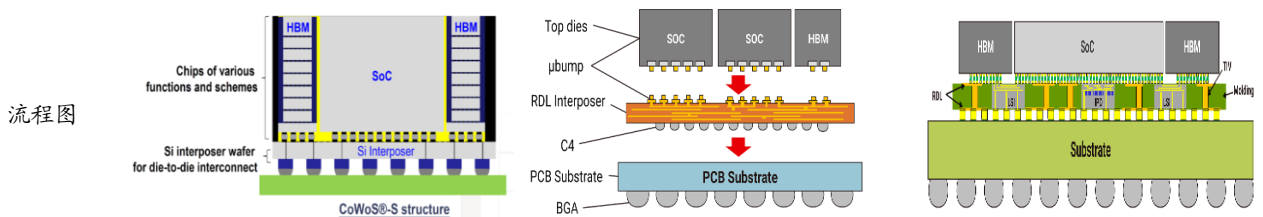


资料来源: 先进封装技术的发展与机遇

台积电依据采用不同的中介层(interposer)将 CoWoS 封装技术分为三种类型, CoWoS-S、CoWoS-R 及 CoWoS-L。S 即为硅 (Si) 衬底作为中介层、R 为 RDL (重布线)、L 为 LSI (嵌入式)。其主要区别在于芯片与芯片之间的连接、芯片和基板之间的连接方式不同。CoWoS-S 为最早开发的系列, 芯片通过 Chip on Wafer (CoW) 的封装制程连接至硅晶圆, 再把 CoW 芯片与基板(Substrate)连接, 整合成 CoWoS。CoWoS-R 为扇外型晶圆级封装, 使用重布线连接。CoWoS-L 也是扇外型晶圆级, 它结合了 CoWoS-S 和 InFO 技术的优点, 使用局部硅互连嵌入在重布线进行整合。CoWoS 为台积电历史最悠久的技术, 适用于高速运算产品。

表5: CoWoS 细分为 CoWoS-S、CoWoS-R 及 CoWoS-L 三种类型

	CoWoS-S	CoWoS-R	CoWoS-L
生产阶段	2012 年起量产	2023Q2 量产爬坡	2024-2025 年计划量产
产品进展	量产	验证	验证
应用	HBM、HPC	HBM 与 SoC 异构集成	HPC
优势	硅中介层 2.5D 封装、UH 互连密度、RDL 中介层、更低的成本、外形尺寸	本地 HD 互连可消除大型硅中介层, Si 中介层为无源或有源电路、节距和	嵌入式 RDL 中介层、高清 USR 连接、
产品	高通 (Google TPU), 英伟达 Hopper GPU, 壁切 BR100	-	-

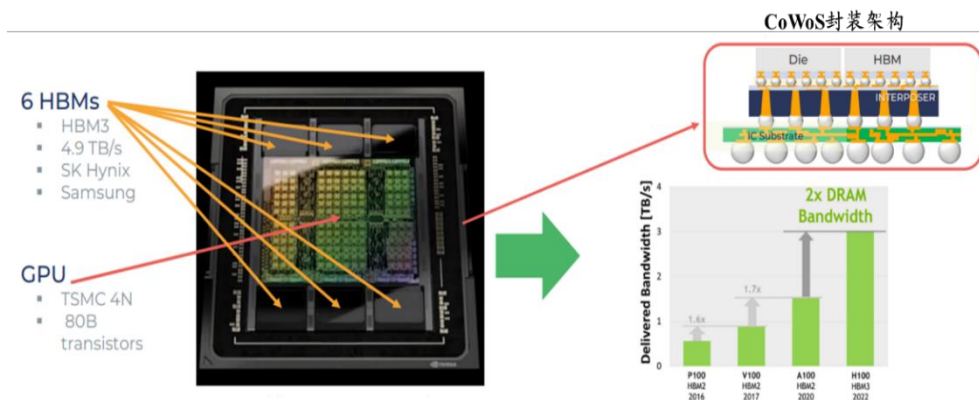


资料来源: TSMC、Yole、开源证券研究所

CoWoS 技术应用广泛, 已获得高端芯片厂商支持。英伟达于 2022 年发布了 Hopper Tensor Core GPU, 据 Yole 表示, 它采用台积电的 CoWoS-S 为代表的 Silicon

Interposer（硅中介层）连接方案将 GPU（台积电 4nm 工艺）与 6 个 HBM 互连。该产品是市场上第一个使用 HBM3 的产品，提供比英伟达上一代产品 A100 多两倍的 DRAM 带宽。Hopper GPU 与 Grace CPU 配合使用 NVIDIA 的超高速芯片对芯片互连，提供 900GB/s 的带宽，比 PCIe Gen5 快 7 倍。这种创新的设计将为高性能计算、人工智能和游戏市场运行 TB 级数据的应用程序提供高达十倍的性能。

图47: 英伟达 H100 芯片对于 CoWoS 封装应用

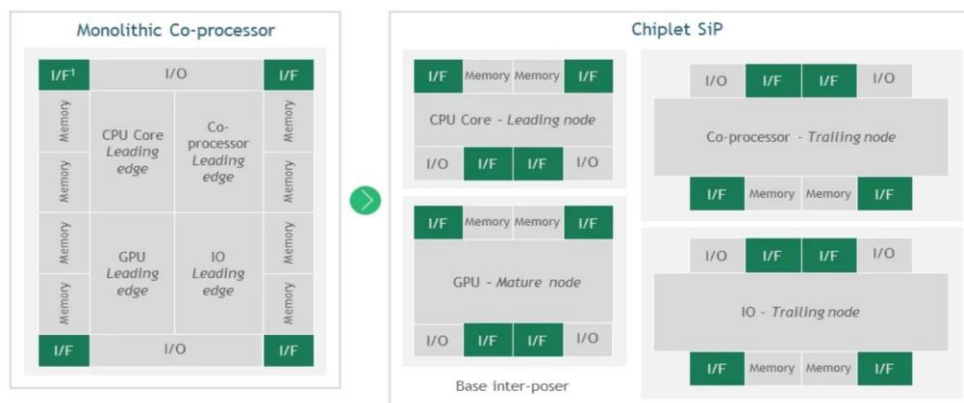


数据来源: Yole、NVIDIA 官网

### 2.3.2、Chiplet 封装: 模块化设计, 构建高集成芯片

Chiplet 又称芯粒或者小芯片, 通过 die-to-die 内部互联技术实现多个模块芯片与底层基础芯片封装在一起, 形成系统芯片, 以实现新形式的 IP 复用。Chiplet 允许更多的设计灵活性, 更快的上市时间, 更好的产量, 比单片 SoC 方案更具经济效益。

图48: Chiplet 从封装角度简化芯片设计



资料来源: 《Chiplets: Opportunities and Challenges for the Semiconductor Industry》, 作者: Joseph Fitzgerald 等

Chiplet 技术可以实现芯片内部异构集成与异质集成的功能。(1) 异构集成: 将多个不同工艺节点、不同功能、不同制造商制造的芯片进行封装, 例如, 将多个厂商制造的不同制程的芯片通过异构集成技术封装在一起; (2) 异质集成: 将不同材料的半导体器件集成到同一封装内, 例如将生产材料为 Si、SiC、GaN 等芯片通过异质集成技术封装到一起, 具有一定经济性和灵活性, 也可以提升系统性能。Chiplet

技术相比单片 SoC 主要包含以下三种优势:

(1) **大幅提高大芯片良率。**据半导体行业观察,芯片良率随着芯片面积的增大而下降,掩模尺寸 700mm<sup>2</sup>的设计通常会产生大约 30%的合格芯片,而 150mm<sup>2</sup>芯片的良品率约为 80%,而 Chiplet 设计将大芯片分成更小的芯片可以有效改善良率。同时降低因为不良率而导致的成本增加。

(2) **降低设计的复杂度和设计成本。**如果在芯片设计阶段,就将大规模的 SoC 按照不同的功能模块分解为一个个的 Chiplet,那么部分 Chiplet 可以做到类似模块化的设计,而且可以重复运用在不同的芯片产品当中。这样不仅可以大幅降低芯片设计的难度和设计成本,同时也有利于后续产品的迭代,加速产品的上市周期。

(3) **降低芯片制造成本。**将 SoC 进行 Chiplet 化之后,不同的芯粒可以根据需要来选择合适的工艺制程分开制造,再通过先进封装技术进行组装,不需要全部都采用先进的制程在一块晶圆上进行一体化制造,可以极大地降低芯片的制造成本。

**表6: Chiplet 芯片相比于单片 SoC 优势显著**

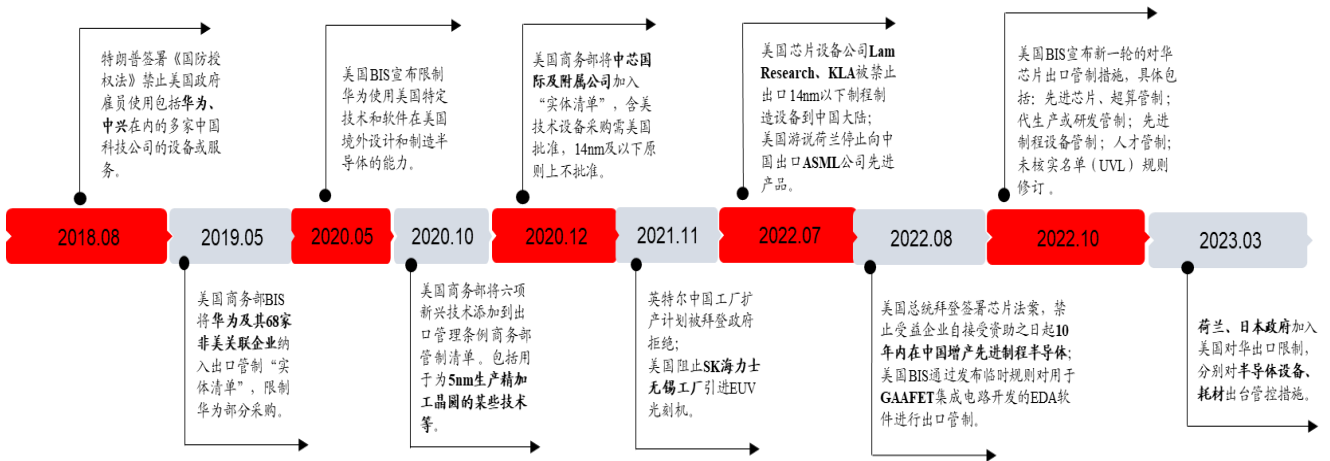
项目	单片 SoC	Chiplet 芯片
设计成本	高, 7nm 大于 2 亿美元	比单片 SoC 设计成本低
设计时间	长, 一般大于 18 个月	较短, 一般 12 个月, 后续设计更快
设计风险	高, 遗测功能需要重新设计	较低, 重新设计内容, 可以增减模块芯片
性能	高, 针对不能规模化功能的重新设计会造成资源低效使用	较高, 可根据模块功能选择芯片制程
功耗	低	接近单片 SoC 功耗
上市时间	慢	较快
产品尺寸	小	较小

资料来源:《后摩尔时代 Chiplet 技术的演进与挑战》, 作者: 杨晖、开源证券研究所

### 3、国产替代叠加下游驱动, 半导体封装国产率加速渗透

#### 3.1、美国管制先进芯片及设备出口, 先进封装本土化势在必行

**国产替代: 半导体产业国产替代为封测行业带来机遇。**2018 年美国商务部将华为列入实体名单事件以来, 国内 IC 从业者愈加深刻认识到核心技术国产化的重要性, 无论是集成电路设计、制造还是封测, 都开始着重培养与扶持本土供应企业, 转单趋势愈加明显。随着中美摩擦的进一步加剧, 全球半导体产业链将有可能迎来重构, 而封测乃是国内半导体最为成熟的一环, 需求将进一步提升。

**图49：美国对华半导体产业的限制持续升级**


资料来源：美国国会、美国 BIS、华尔街见闻、纽约时报、环球时报、开源证券研究所

### 3.2、AI、HPC、5G 和 IoT 等应用，拉动先进封装需求

**先进封装技术多领域持续发展，成长空间广阔。**先进封装技术已广泛应用于多个领域，包括 AI、智能驾驶、AR/VR、HPC、IoT、5G、手机通信、区块链等。传统的延续摩尔定律提升芯片性能的方式往往意味着更复杂的设计，更多且更密集的晶体管以及更大的芯片面积，同时意味着更高的成本和更低的良品率。先进封装凭借高良率、低成本及更优的性能等优势，可以有效提高加工效率，提高设计效率，减少设计成本。未来随着终端应用的升级和对芯片封装性能的需求增加，先进封装技术成长空间广阔。

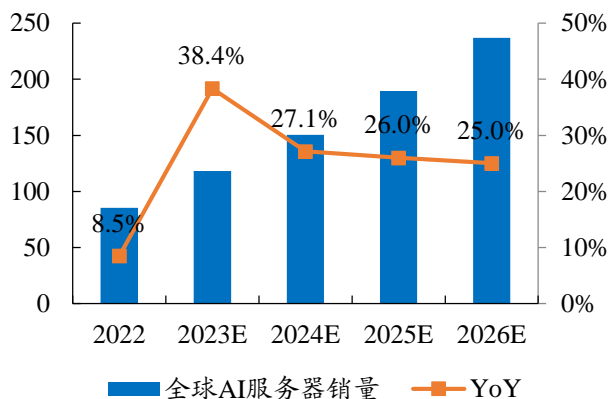
**表7: 终端应用对先进封装的需求旺盛**

应用领域	CPU/GPU	APU	DPU	MCU	ASIC	FPGA	存储	传感器	模拟	光电子
人工智能					FC、FO					
智能驾驶	FC、 2.5D/3D、 FO、SiP	FC、 FO、 ED		FC、WB、 QFN、 WLCSP		FC、 2.5D/3D、FO		FC、FO、WB、 QFN、 WLCSP、SiP	FC、FO、 WB、 QFN、 ED、SiP	
AR/VR										
HPC			FC、 FO、ED			FC、 2.5D/3D、FO				FC、 2.5D/3D、 WB、SiP
IoT				FC、WB、 QFN、 WLCSP			FC、3D、 WB、QFN、 WLCSP、SiP	FC、FO、WB、 QFN、 WLCSP、SiP		
5G	FC、 2.5D/3D、 FO、SiP	FC、 FO、 ED							FC、FO、 WB、 QFN、 ED、SiP	FC、 2.5D/3D、 WB、SiP
手机通信								FC、FO、WB、 QFN、 WLCSP、SiP		
区块链	FC、 2.5D/3D、FO				FC、 2.5D/3D、FO					

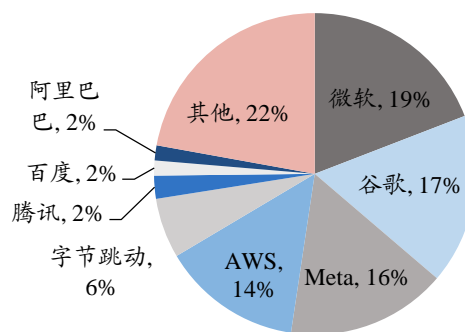
资料来源: Yole、JW Insights、开源证券研究所

**高算力芯片供不应求，先进封装为关键环节。**随着2023年ChatGPT掀起AI风暴，科技巨头纷纷加大了在大型语言模型和人工智能的研发与应用投入。高算力芯片作为AI技术的基础，迎来行业需求快速成长期。根据Trend Force 2023年5月30日预测，2023年全球AI服务器出货量将大幅增长，约118.3万台配备GPU、FPGA和ASIC的服务器运往全球市场，同比+38.4%。其中，英伟达GPU在AI服务器市场占据主导地位，占据约60-70%的全球GPU出货量市场份额。

英伟达旗下H100、A100等高性能算力GPU的需求急剧增加，导致产品供不应求。英伟达GPU的供应缺口之一即为台积电的CoWoS封装，而CoWoS产能瓶颈主要在封装设备。据科创板日报，2023年11月6日台湾经济日报消息，由于CoWoS设备交期仍长达8个月，台积电2023年11月通过整合扇外型封装(InFO)改机增加CoWoS月产能至1.5万片，公司法人说明会预估2024年台积电CoWoS年产能将倍增，其中英伟达占台积电CoWoS总产能比重约40%，AMD占比约8%；至于台积电以外的供应链可增加20%产能。

**图50: 据 Trend Force 预计, 2022-2026 年全球 AI 服务器销量 CAGR 29%**


数据来源: Trend Force、开源证券研究所

**图51: 2022 年 AI 服务器总需求量 CR5 占比超 70%**


数据来源: Trend Force、开源证券研究所

### 3.3、国产中道设备具备市场竞争力，后道封装设备国产化率有望加速

先进封装技术迭代，对设备的要求持续提高。先进封装的种类繁多，工艺主要分成三段，包括晶圆级工艺、芯片级封装工艺以及塑料封装工艺。部分核心工艺环节，包括凸块、RDL 以及 TSV 工艺需要用到光刻机、刻蚀机、沉积机等多种前道设备；有些需要在原有的设备上改进和优化，增加新的功能，例如晶圆减薄机、划片机、键合设备等。



**表8: 先进封装关键工艺所需关键工艺设备**

工艺段	先进封装类型	关键工艺技术	所需关键工艺设备
晶圆级	WLP/CSP	重布线技术 (RDL)	掩膜设备、涂胶机、溅射台、光刻机、刻蚀机
		凸点制造技术 (Bumping)	涂胶机、溅射台、光刻机、印刷机、电镀线、回流焊炉、植球机
		扇出技术 (Fan-out)	倒装芯片键合机、塑封机、掩膜设备、涂胶机、溅射台、光刻机、刻蚀机、划片机
		硅通孔技术 (TSV)	晶圆减薄机、掩膜设备、涂胶机、激光打孔机、填充机 (电镀)、溅射台、光刻机、刻蚀机
		高精度互连技术 (C2W, W2W)	倒装芯片键合机、回流焊炉
	BGA、CSP、3D 封装、SiP/MCM	晶圆减薄技术	带凸点晶圆减薄机
		晶圆划片技术	带凸点晶圆划片机
		晶圆减薄技术	晶圆减薄机 (厚度 100 μm 以下)
		晶圆划片技术	晶圆划片机 (划切道宽度 30 μm)
		芯片安装技术	装片机 (DB)、固化炉
芯片级	WLP/CSP	芯片互连技术	引线键合机 (WB)、倒装芯片键合机、等离子清洗机、回流焊炉
		芯片安装技术	装片机 (DB)、固化炉
	BGA	芯片互连技术	引线键合机 (WB)、倒装芯片键合机、等离子清洗机、回流焊炉
		芯片安装技术	装片机 (DB)、固化炉
	3D 封装 (PoP、PiP、堆叠芯片)	芯片互连技术	改善型引线键合机、倒装芯片键合机、等离子清洗机、回流焊炉
		芯片安装技术	装片机 (DB)、固化炉
	SiP/MCM	芯片互连技术	改善型引线键合机、倒装芯片键合机、等离子清洗机、回流焊炉
		芯片安装技术	装片机 (DB)、固化炉
塑封工艺	BGA	芯片塑料封装技术	非对称塑封压机、固化炉、激光打印机、切割机、植球机
	3D 封装 (PoP、PiP、堆叠芯片)	芯片塑料封装技术	非对称塑封压机、固化炉、装片机、激光打印机、切割机、倒装芯片键合机、回流焊炉
	SiP/MCM	芯片塑料封装技术	非对称塑封压机、固化炉、装片机、激光打印机、切割机、倒装芯片键合机、回流焊炉
	aQFN (先进 QFN 或多圈 QFN)	芯片塑料封装技术	非对称塑封压机、固化炉、激光打印机、切割机

资料来源:《先进封装关键工艺设备面临的机遇和挑战》,作者:王志越等、开源证券研究所

**中道制造设备: 围绕凸块、布线和键合/解键合工艺展开, 部分环节国产化设备已实现量产突破。**中道制造环节主要围绕凸块 (Bumping) 制造、芯片表面布线、基板布线、不同层之间的键合贴装展开, 制造工艺与前道环节类似, 但特征尺寸通常在 μm 级别。从步骤上看主要有光刻、涂胶显影、刻蚀、电镀、沉积以及清洗等环节。

**全球来看, 中道制造设备的公司与前道晶圆制造设备供应商高度重合, 参与的公司包括 AMAT、TEL、SUSS、Veeco、PSK、DNS 等国际知名厂商。**部分环节国产厂商已进入国内先进封装厂产线, 国内前道设备制造上市企业如北方华创、盛美上海、芯源微、拓荆科技、中科飞测、芯基微装等均已在中道制造设备中实现大量产品出货。未来在先进封装的快速发展趋势下, 中道制造的重要性逐步凸显。下游

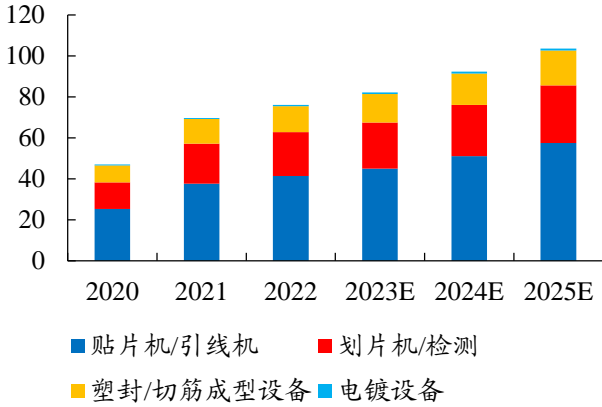
OSAT 厂商包括长电科技、通富微电、华天科技等厂商正在加速先进封装产线布局，对于中道设备的需求将持续提划片机/检测升。

图52: 晶圆制造中封装相关环节产业链

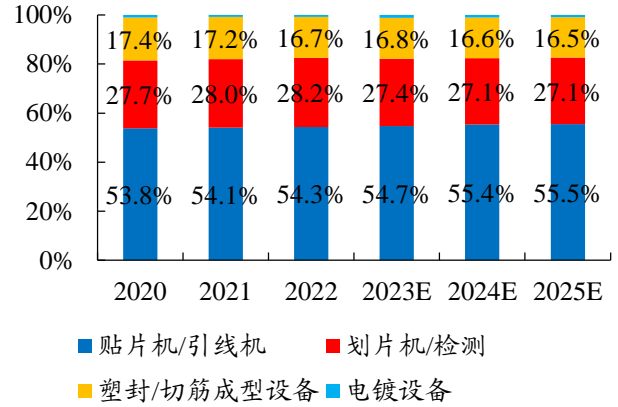


资料来源: 各公司官网、各公司公告、开源证券研究所 注: 字体加粗的企业为国内 A 股上市公司

全球封装设备细分市场来看, 贴片机/引线机市场份额占比超 50%。据中国集成电路网, 灼识咨询预测, 2020-2025 年全球封装设备市场规模 CAGR 约 17.1%, 增长至 2025 年 103.5 亿美元。2025 年封装设备市场中, 贴片机/引线机、划片机/检测机、塑封/切筋成型设备、电镀设备市场规模分别为 57.4、28.1、17.1、0.9 亿美元, 对应市场份额分别为 55.5%、27.1%、16.5%、0.9%。

**图53: 据灼识咨询预计, 2020-2025 年全球封装设备市场规模 CAGR 17%**


数据来源: 灼识咨询、开源证券研究所

**图54: 据灼识咨询预计, 2025 年贴片机/引线机占全球封装设备市场份额超 55%**


数据来源: 灼识咨询、开源证券研究所

后道封装设备国产化率较低, 国产替代空间广阔。封测产业虽然是我国半导体产业链中最成熟的环节, 但后道封装和测试设备的国产化率仍然较低。根据睿工业 (MIR DATABANK) 数据及预测, 2021 年键合机、贴片机以及划片机的国产化率均为 3%, 并预计 2025 年分别有望达到 10%/12%/10%。未来国产半导体封装设备将逐渐从低端市场转向高端市场, 随着国产化替代在高端芯片市场的持续放量, 市场结构有望发生改变, 先进封装国产设备将加速渗透。

**表9: 封装设备国产化率较低**

设备类型	国产化率			外资厂商	国产厂商
	2017	2021	2025E		
引线键合	1%	3%	10%	ASM、K&S、Besi、Shinkawa	中电科 45 所、深圳翠涛
贴片机	1%	3%	12%	ASM、Besi、Canon、Shinkawa	艾科瑞思、大连佳峰
划片机	1%	3%	10%	Disco、Accretech	中电科 45 所

资料来源: MIR DATABANK、开源证券研究所

**图55: 后道封装及检测产业链**

后道封装								
	背面减薄	晶圆切割	贴片	引线/倒装键合	模型/切筋	电镀	打标	
<b>材料</b>	研磨液、砂轮 • 安集科技 • 鼎龙股份 • 三超新材 • 国瑞升 • 新安纳	划片刀、划片液 • DISCO • 三超新材 • 上海新阳 • 三磨所	助焊剂 • 日本住友 • NAMICS • 钢泰公司 • 唯特偶 • 锡喜材料	金/铜线/键合丝 • 康强电子 • 青岛远通 • 恒基电缆	临时键合胶 • TOK • 飞凯材料	塑封料/胶/模具 • 华海诚科 • 德邦科技 • 飞凯材料 • 凯华材料	电镀液 • 强力新材 • 上海新阳 • 江化微 • 光华科技 • 天承科技 • 艾森股份 (IPO)	
<b>设备</b>	减薄机 • ASMP • DISCOOKAMO TO • 宇环数控 • 华海清科 • 中电科45所 • 上海世禹 • 方达研磨	划片/激光设备 • DISCO • ACCRETECH (日本) • 光力科技 • 大族激光 • 德龙激光 • 迈为股份 • 合研科技 • 京创先进	固晶机 • ASMP • BES • Finetech • 华封科技 • 新益昌 • 凯格精机 • 普莱信 • 深科达 • 快克智能 • 博众精工 • 猎奇智能 • 佑光科技 • 微见智能 • 先进光电	引线键合机 • ASMP • K&S • OE • YAMAHA • BES • TOSOK • 奥特维 • 新益昌 • 中电科45所 • 深圳翠涛 • 宁波尚进 • 阿达智能 • 凌波微步	倒装键合机 • BES • ASMP • NIDEC • HITTACHI • YAMAHA • Shibaaura • EV Group • 新益昌 • 快克智能 • 艾科瑞思 • 佳峰股份 • 普莱信智能 • 微见智能	模型机/切筋设备 • BES • YAMAHA • TOWA (日本) • TAKARA • 文一科技 • 耐科装备 • 华模智能	电镀机 • 新基 • Besi • 盛美上海 • 上海新阳	激光打标设备 • 罗芬激光 • EO • Besi • 格兰达 • 钛升 • 联动科技 • 莱普科技

后道检测						
	传送芯片	链接芯片引脚	输入信号	采集输出信号	检测	标记/分选/收料
	分选机 • 科休、爱普生、爱德万、鸿劲精密、长川科技、金海通 探针台 • 东京精密、TEL、惠特科技、旺矽科技、矽电股份、长川科技		测试机 • 爱德万、泰瑞达、科休、致茂电子、精测电子、华峰测控、长川科技、联动科技、胜达克、派格测控、祝芯科技、上海凌测、加速科技、上海御渡			分选机

资料来源: 各公司官网、各公司公告、开源证券研究所 注: 字体加粗的企业为国内 A 股上市公司

## 4、国内先进封装产业链受益标的

**封测厂商:** 长电科技、通富微电、华天科技、甬矽电子等。

**封测设备:** 中科飞测 (检/量测设备)、中微公司 (TSV 深硅刻蚀设备)、拓荆科技 (W2W、D2W 键合设备)、华海清科 (CMP、减薄设备)、北方华创 (PVD、去胶设备)、芯源微 (涂胶显影、清洗、临时键合/解键合设备)、盛美上海 (湿法、电镀设备)、华峰测控 (SoC 测试机)、精测电子 (检/量测设备)、长川科技 (测试机、分选机)、芯基微装 (晶圆级封装直写光刻机)、新益昌 (固晶机) 等。

**表10: 国内封测厂商相关估值表**

证券代码	证券简称	市值 (亿元)	收盘价 (元)	归母净利润				PE			
				2022A	2023E	2024E	2025E	2022A	2023E	2024E	2025E
600584.SH	长电科技	456	25.49	32.31	16.35	34.29	40.57	14.11	27.88	13.30	11.24
002156.SZ	通富微电	317	20.90	5.02	3.01	9.75	15.23	63.13	105.29	32.51	20.81
002185.SZ	华天科技	237	7.39	7.54	8.20	10.98	15.73	31.41	28.88	21.57	15.05
688362.SH	甬矽电子	97	23.82	1.38	1.32	2.55	4.01	70.30	73.45	38.12	24.19

数据来源: Wind、开源证券研究所 注: 长电科技、通富微电、华天科技盈利预测数值来自开源证券研究所, 其余选自 Wind 一致预期, 数据至 2024 年 1 月 18 日; 各公司收盘价截至日期 2024 年 1 月 18 日

**表11: 国内封测设备厂商相关估值表 (收盘价截至日期为 2024 年 1 月 17 日)**

请务必参阅正文后面的信息披露和法律声明

证券代码	证券简称	市值(亿元)	收盘价 (元)	营业收入				PS			
				2022A	2023E	2024E	2025E	2022A	2023E	2024E	2025E
688012.SH	中微公司	863	139.31	47.40	62.60	82.80	109.00	18.20	13.78	10.42	7.91
688072.SH	拓荆科技	346	183.70	17.06	28.02	40.50	53.53	20.27	12.34	8.54	6.46
688120.SH	华海清科	294	185.10	16.49	25.17	33.79	43.69	17.84	11.69	8.71	6.73
002371.SZ	北方华创	1,356	255.77	146.88	212.17	272.42	344.24	9.23	6.39	4.98	3.94
688037.SH	芯源微	155	112.75	13.85	20.22	28.88	41.09	11.23	7.69	5.38	3.78
688082.SH	盛美上海	404	92.63	28.73	39.99	51.22	62.42	14.05	10.09	7.88	6.47
688361.SH	中科飞测-U	211	65.86	5.09	8.24	11.86	16.26	41.39	25.58	17.76	12.96
688147.SH	微导纳米	155	34.07	6.85	16.50	37.30	51.01	22.62	9.38	4.15	3.04
300567.SZ	精测电子	182	65.45	27.31	27.22	37.06	48.36	6.67	6.69	4.91	3.76
300604.SZ	长川科技	202	32.47	25.77	20.09	33.61	46.64	7.85	10.07	6.02	4.34
688630.SH	芯碁微装	95	72.18	6.52	9.44	13.41	18.33	14.54	10.05	7.07	5.18
688383.SH	新益昌	86	84.30	11.84	12.17	16.36	21.01	7.27	7.07	5.26	4.10

数据来源: Wind、开源证券研究所 注: 中微公司、拓荆科技、华海清科、北方华创、芯源微的盈利预测数值来自开源证券研究所, 其余选自 Wind 一致预期, 数据截至 2024 年 1 月 18 日; 各公司收盘价截至日期 2024 年 1 月 18 日。

## 5、风险提示

**半导体行业景气度复苏不及预期。**当前半导体行业下游需求仍较为低迷, 若复苏节奏较慢, 下游需求回暖低于预期, 封测行业的业绩增长也会受到影响。

**先进封装技术进展缓慢。**“后摩尔时代”先进封装技术成为持续提升芯片集成度和效能的新路径, 如果先进封装技术未能如预期实现高渗透率, 市场规模增速可能不及预期。

**国产替代不及预期。**先进封装对技术和工艺的要求越来越高, 需要先进生产设备和研发资金的不断投入, 成本显著提高, 如未能准确把握市场需求或取得如期成果, 容易在快节奏竞争中落后。

## 特别声明

《证券期货投资者适当性管理办法》、《证券经营机构投资者适当性管理实施指引（试行）》已于2017年7月1日起正式实施。根据上述规定，开源证券评定此研报的风险等级为R3（中风险），因此通过公共平台推送的研报其适用的投资者类别仅限定为专业投资者及风险承受能力为C3、C4、C5的普通投资者。若您并非专业投资者及风险承受能力为C3、C4、C5的普通投资者，请取消阅读，请勿收藏、接收或使用本研报中的任何信息。

因此受限于访问权限的设置，若给您造成不便，烦请见谅！感谢您给予的理解与配合。

## 分析师承诺

负责准备本报告以及撰写本报告的所有研究分析师或工作人员在此保证，本研究报告中关于任何发行商或证券所发表的观点均如实反映分析人员的个人观点。负责准备本报告的分析师获取报酬的评判因素包括研究的质量和准确性、客户的反馈、竞争性因素以及开源证券股份有限公司的整体收益。所有研究分析师或工作人员保证他们报酬的任何一部分不曾与，不与，也将不会与本报告中具体的推荐意见或观点有直接或间接的联系。

## 股票投资评级说明

	评级	说明
证券评级	买入（Buy）	预计相对强于市场表现 20%以上；
	增持（outperform）	预计相对强于市场表现 5%~20%；
	中性（Neutral）	预计相对市场表现在 -5%~+5%之间波动；
	减持（underperform）	预计相对弱于市场表现 5%以下。
行业评级	看好（overweight）	预计行业超越整体市场表现；
	中性（Neutral）	预计行业与整体市场表现基本持平；
	看淡（underperform）	预计行业弱于整体市场表现。

备注：评级标准为以报告日后的 6~12 个月内，证券相对于市场基准指数的涨跌幅表现，其中 A 股基准指数为沪深 300 指数、港股基准指数为恒生指数、新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）、美股基准指数为标普 500 或纳斯达克综合指数。我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议；投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者应阅读整篇报告，以获取比较完整的观点与信息，不应仅仅依靠投资评级来推断结论。

## 分析、估值方法的局限性说明

本报告所包含的分析基于各种假设，不同假设可能导致分析结果出现重大不同。本报告采用的各种估值方法及模型均有其局限性，估值结果不保证所涉及证券能够在该价格交易。

## 法律声明

开源证券股份有限公司是经中国证监会批准设立的证券经营机构，已具备证券投资咨询业务资格。

本报告仅供开源证券股份有限公司（以下简称“本公司”）的机构或个人客户（以下简称“客户”）使用。本公司不会因接收人收到本报告而视其为客户。本报告是发送给开源证券客户的，属于商业秘密材料，只有开源证券客户才能参考或使用，如接收人并非开源证券客户，请及时退回并删除。

本报告是基于本公司认为可靠的已公开信息，但本公司不保证该等信息的准确性或完整性。本报告所载的资料、工具、意见及推测只提供给客户作参考之用，并非作为或被视为出售或购买证券或其他金融工具的邀请或向人做出邀请。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会波动。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。客户应当考虑到本公司可能存在可能影响本报告客观性的利益冲突，不应视本报告为做出投资决策的唯一因素。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。本公司未确保本报告充分考虑到个别客户特殊的投资目标、财务状况或需要。本公司建议客户应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。若本报告的接收人非本公司的客户，应在基于本报告做出任何投资决定或就本报告要求任何解释前咨询独立投资顾问。

本报告可能附带其它网站的地址或超级链接，对于可能涉及的开源证券网站以外的地址或超级链接，开源证券不对其内容负责。本报告提供这些地址或超级链接的目的纯粹是为了客户使用方便，链接网站的内容不构成本报告的任何部分，客户需自行承担浏览这些网站的费用或风险。

开源证券在法律允许的情况下可参与、投资或持有本报告涉及的证券或进行证券交易，或向本报告涉及的公司提供或争取提供包括投资银行业务在内的服务或业务支持。开源证券可能与本报告涉及的公司之间存在业务关系，并无需事先或在获得业务关系后通知客户。

本报告的版权归本公司所有。本公司对本报告保留一切权利。除非另有书面显示，否则本报告中的所有材料的版权均属本公司。未经本公司事先书面授权，本报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。所有本报告中使用的商标、服务标记及标记均为本公司的商标、服务标记及标记。

## 开源证券研究所

### 上海

地址：上海市浦东新区世纪大道1788号陆家嘴金控广场1号楼10层  
邮编：200120  
邮箱：research@kysec.cn

### 北京

地址：北京市西城区西直门外大街18号金贸大厦C2座9层  
邮编：100044  
邮箱：research@kysec.cn

### 深圳

地址：深圳市福田区金田路2030号卓越世纪中心1号楼45层  
邮编：518000  
邮箱：research@kysec.cn

### 西安

地址：西安市高新区锦业路1号都市之门B座5层  
邮编：710065  
邮箱：research@kysec.cn