

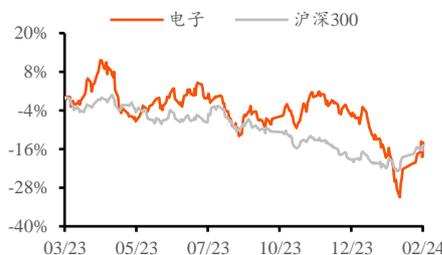
CoWoS 技术引领先进封装，国内 OSAT 有望受益 ——人工智能系列专题报告（一）



增持(维持)

行业： 电子
日期： 2024年03月13日
分析师： 陈宇哲
E-mail: chenyzhe@yongxings.com
SAC 编号: S1760523050001

近一年行业与沪深 300 比较



资料来源: Wind, 甬兴证券研究所

相关报告:

《英伟达 FY24Q4 业绩亮眼，加速算力需求持续增长》

——2024 年 02 月 24 日

《英伟达发布新一代 AI 处理器，HBM 有望进入增长快车道》

——2023 年 11 月 21 日

《半导体制裁持续升级，国产 AI 芯片有望受益》

——2023 年 10 月 23 日

核心观点

AI 算力芯片需求攀升，先进封装有望加速成长。GPT 的快速迭代使得参数与训练数据量均出现了大幅提升，因此算力成为了 AIGC 时代的核心基础设施。受益于 AIGC 的快速发展，算力需求有望持续加速增长。2021-2026 年，智能算力规模年复合增长率有望达到 52.3%。2024 年，中国人工智能芯片市场规模预计将达到 785 亿元，未来或将保持较高增速。强大的 AI 芯片需要更加先进的制程工艺来实现，由于芯片集成度逐渐接近物理极限，先进封装技术有望成为延续摩尔定律、发展先进 AI 芯片的有效路径之一。我们认为，先进封装需求有望随着算力芯片的快速放量而迅速提升。

2.5D 封装发展迅速，CoWoS 有望引领先进封装。芯片封装由 2D 向 3D 发展的过程中，衍生出多种不同的封装技术。其中，2.5D 封装是一种先进的异构芯片封装，可以实现从成本、性能到可靠性的完美平衡。英伟达的算力芯片采用的是台积电的 CoWoS 方案，这是一项 2.5D 多芯片封装技术，该方案具备提供更高的存储容量和带宽的优势，适用于处理存储密集型任务，如深度学习、5G 网络、节能的数据中心等。CoWoS 封装技术已经成为了众多国际算力芯片厂商的首选，是高端性能芯片封装的主流方案之一。我们认为，英伟达算力芯片的需求增长大幅提升了 CoWoS 的封装需求，CoWoS 有望进一步带动先进封装加速发展。

台积电订单充沛 CoWoS 产能不足，国内封装大厂有望深度受益。CoWoS 是台积电先进封装的独立商标，是其拿到英伟达订单的关键。采用 CoWoS 封装的产品主要分布于消费和服务器领域，包括英伟达、AMD 等推出的算力芯片在内。近期台积电订单已满，预估到 2024 年供不应求的局面才能得到逐步缓解。我们认为，受于大模型百花齐放，算力需求快速攀升带动 HPC 增长，台积电产能不足可能会导致 AI 芯片大厂将目光转向其他 OSAT，具备 2.5D 封装技术的国内封装大厂有望从中受益。

投资建议

我们认为，AI 算力芯片的需求增长有望推动先进封装加速发展，CoWoS 在目前的先进封装中扮演较为重要的角色，订单充沛和产能不足有望使得国内封装大厂深度受益，建议关注具备先进封装技术的国内封装厂商：**长电科技**：国内封测龙头，XDF01™ Chiplet 已稳定量产。公司的 XDF01™ Chiplet 高密度多维异构集成系列工艺已按计划进入稳定量产阶段，同步实现国际客户 4nm 节点多芯片系统集成封装产品出货，是最大封装体面积约为 1500mm²的系统级封装。

通富微电：携手 AMD 共同发展，深度布局先进封装。公司现已具备 7nm、Chiplet 先进封装技术规模量产能力。自建的 2.5D/3D 产线全线通线，1+4 产品及 4 层/8 层堆叠产品研发稳步推进。同时具备基于 Chip Last 工艺的 Fan-out 技术，实现 5 层 RDL 超大尺寸封装（65×65mm）。

甬矽电子：先进封装后起之秀，CoWoS 已有相关储备。2022 年公司完成了基于 FC+WB Stacked die 的 Hybrid BGA 混合封装技术开发及量产。公司已布局先进封装和汽车电子领域，包括 Bumping、晶圆级封装、FC-BGA、汽车电子的 QFP 等新的产品线。

晶方科技：CIS 封装龙头，拥有晶圆级 TSV 技术能力。公司投资了 TSV 技术，并开发了完整的晶圆级 CSP 封装工艺。拥有 8 英寸和 12 英寸 TSV 封装能力，已大规模商业化应用到 CIS、MEMS、射频等市场应用。

风险提示

下游终端需求不及预期、国产替代不及预期、公司技术与产品进展不及预期等。

正文目录

1. AI 算力芯片需求攀升，先进封装有望加速成长	4
1.1. ChatGPT 引领 AIGC 发展，算力芯片是关键	4
1.2. AI 算力芯片需求攀升，先进封装加速前进	6
2. 2.5D 封装发展迅速，CoWoS 有望引领先进封装	9
2.1. CoWoS 技术是高端性能封装的主流方案	9
2.2. CoWoS 是台积电拿到英伟达大单的关键	11
2.3. CoWoS 的技术历程与未来展望	14
3. 台积电订单充沛 CoWoS 产能不足，国内封装大厂有望深度受益	19
3.1. 长电科技：国内封测龙头，XDF01™ Chiplet 已稳定量产	19
3.2. 通富微电：携手 AMD 共同发展，深度布局先进封装	20
3.3. 甬矽电子：先进封装后起之秀，CoWoS 已有相关储备	22
3.4. 晶方科技：CIS 封装龙头，拥有晶圆级 TSV 技术能力	23
4. 风险提示	25

图目录

图 1: ChatGPT 预训练自然语言大模型	4
图 2: ChatGPT 功能介绍	4
图 3: 2019-2023 年 6 月中国、美国及其他国家大模型发布情况	5
图 4: 2019-2026 中国通用/智能算力情况	6
图 5: 2019-2024E 中国人工智能芯片市场规模情况	6
图 6: 先进封装平台-按系统集成级别分类	7
图 7: 2.5D 封装技术示意	8
图 8: 以 2.5/3D 为代表的高端封装技术平台	10
图 9: 应用 CoWoS 封装技术的 Nvidia P100 加速卡	10
图 10: CoWoS-S 封装技术架构	11
图 11: 裸片与中介层连接	12
图 12: 微凸块技术链连接方式	12
图 13: 裸片与载板连接	12
图 14: 切割晶圆制成芯片	13
图 15: 加装环形框与盖板	13
图 16: CoWoS-R 封装技术示意	13
图 17: CoWoS-L 封装技术示意	14
图 18: 台积电 CoWoS 封装发展历程	15
图 19: 台积电展示利用 CoWoS 所封装芯片	15
图 20: 随着 CoWoS-S 技术的发展而集成的晶体管数量	16
图 21: 新旧 TSV 插入损耗比较	17
图 22: HBM 集成水平与能耗	17
图 23: 热控制解决方案进展	17
图 24: 从 CPI ELK stress 对比 CoWoS 与 Flip-chip	18
图 25: 从封装面积与 I/O 数对比封装技术	18
图 26: 扇入型与扇外型晶圆级封装	21
图 27: 甬矽电子主要产品路线	22
图 28: 晶方科技在 TSV 推进研发	24

表目录

表 1: 历代 GPT 参数量及预训练数据量	5
表 2: 2022 年 IBS 统计不同制程下的单位数量晶体管成本	6
表 3: 2.5D 封装对比其他先进封装形式	8

表 4: 先进封装大厂与其独立商标.....	9
表 5: 长电科技 XDFOI 封装平台	20
表 6: 通富微电扇出型封装特征.....	22
表 7: 甬矽电子关于 CoWoS 封装的相关技术储备.....	23

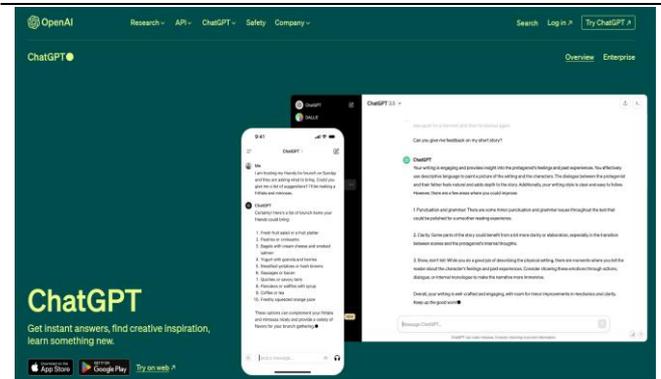
1. AI 算力芯片需求攀升，先进封装有望加速成长

GPT 的快速迭代使得参数与训练数据量均出现了大幅提升，因此算力成为了 AIGC 时代的核心基础设施。受益于 AIGC 的快速发展，算力需求有望持续加速增长。2021-2026 年，智能算力规模年复合增长率有望达到 52.3%。2024 年，中国人工智能芯片市场规模预计将达到 785 亿元，未来或将保持较高增速。强大的 AI 芯片需要更加先进的制程工艺来实现，由于芯片集成度逐渐接近物理极限，先进封装技术有望成为延续摩尔定律、发展先进 AI 芯片的有效路径之一。我们认为，先进封装需求有望随着算力芯片的快速放量而迅速提升。

1.1. ChatGPT 引领 AIGC 发展，算力芯片是关键

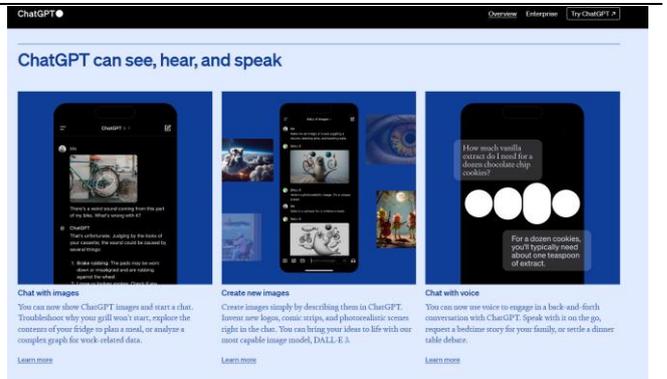
ChatGPT 开创人机交互新模式。2022 年 11 月，OpenAI 首度推出人工智能聊天原型 ChatGPT，标志着人工智能的发展迈出了一大步。我们认为，ChatGPT 类似于“搜索引擎+社交软件”的结合体，使用者能够在实时互动的过程中获得问题的合理答案。通过学习大量现成文本和对话集合，ChatGPT 能够以人类口吻与思维方式回答各类问题，其能够根据用户的文本输入，产生相应的智能回答。

图1:ChatGPT 预训练自然语言大模型



资料来源: ChatGPT 官网, 甬兴证券研究所

图2:ChatGPT 功能介绍



资料来源: ChatGPT 官网, 甬兴证券研究所

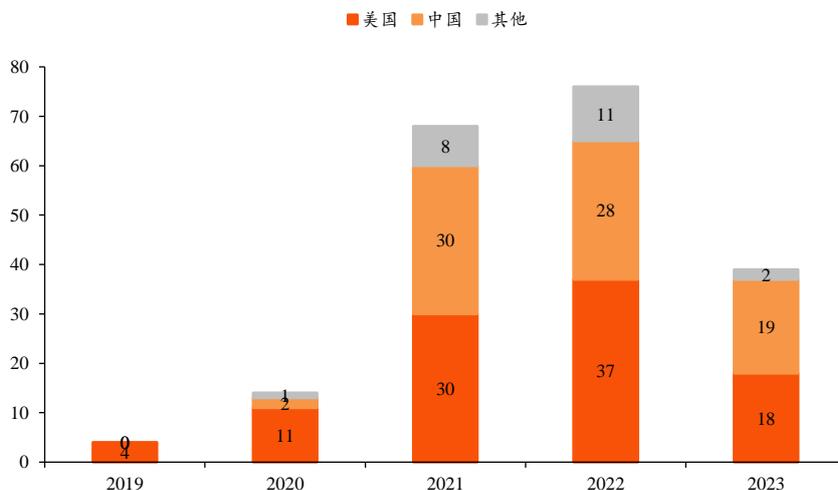
GPT 快速迭代，参数与训练数据量大幅提升。每一代 GPT 模型的参数量基本都呈现增长的趋势，并利用新的优化技术，使模型性能得到提升。根据工业互联网研习社报告，2019 年 2 月发布的 GPT-2 参数量仅为 15 亿，2020 年 5 月发布的 GPT-3 参数量直接提升到 1750 亿。根据封面新闻采访四川省计算机学会自然语言处理专委会秘书长陈晓亮，2023 年 3 月发布的 GPT-4 的参数数量对比 GPT-3 持续增长。作为一个多模态大模型，GPT-4 更具创造性和协作性，可以生成、编辑和迭代用户的创意和技术写作任务。GPT-3 使用了传统的 Transformer 架构以及自回归方法，而 GPT-4 使用了新的训练方法和优化技术，从而提高了模型的效率和稳定性。

表1:历代 GPT 参数量及预训练数据量

模型	发布时间	参数量	预训练数据量
GPT-1	2018年6月	1.17亿	5GB
GPT-2	2018年2月	15亿	40GB
GPT-3	2020年5月	1750亿	45TB
ChatGPT	2022年11月	1750亿	百TB级别
GPT-4	2023年3月	或达万亿	百TB级别

资料来源：工业互联网研习社，封面新闻，甬兴证券研究所整理

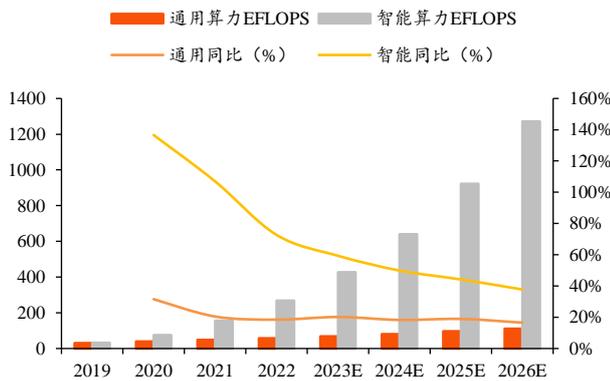
GPT 有望引领全球 AIGC 快速发展。根据中国社会科学报报告，人工智能生成内容（AI Generated Content, AIGC）指利用人工智能算法、自然语言处理（NLP）、计算机视觉（CV）等方法，自动生成文本、图像、音频等各类媒介形式的内容，以满足用户的个性化需求。随着 ChatGPT 的推出，全球各地乃至中国都快速涌现了一批研发 AIGC 的企业。根据成都市科学技术信息研究所援引《中国人工智能大模型地图研究报告》数据，从全球已发布的大模型分布来看，中国和美国位居前列，已发布大模型数量达到全球总是 80% 以上。中国自 2020 年步入大模型高速发展期，目前已发布的诸如文心一言、通义千问、星火、盘古、悟道等预训练大模型通用性、智能性等维度达到国家相关标准。截至该报告发布日，中国已发布 79 个大模型。

图3:2019-2023 年 6 月中国、美国及其他国家大模型发布情况


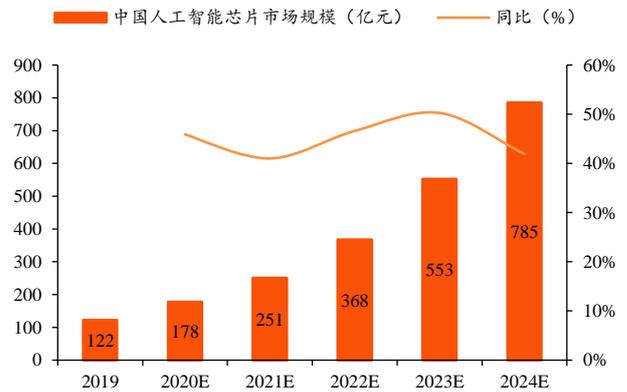
资料来源：成都市科学技术信息研究所，《中国人工智能大模型地图研究报告》，甬兴证券研究所

受益于 AIGC 的发展，中国的算力需求有望快速提升，“通用算力+专用算力”将成为人工智能算力基础设施的建设关键。AIGC 面对广泛通用场景，重视普适性。在部分个性化应用场景，AIGC 要提升其专用性，对计算精度、计算效率也有更高的要求。因此我们认为，AIGC 对算力的需求拉动将较为显著。根据 IDC 与浪潮信息所发布的《2022-2023 中国人工智能算力发展评估报告》，2021 年中国智能算力规模达 155.2 EFLOPS，2022 年智

能算力规模将达到 268.0 EFLOPS，预计到 2026 年达到 1271.4 EFLOPS，2021-2026 年智能算力规模年复合增长率达 52.3%。根据海光信息招股书援引前瞻产业研究院数据，2019 年至 2023 年，中国人工智能芯片市场规模将保持年均 40.0%至 50.0%的增长速度，到 2024 年，市场规模或将达到 785 亿元。

图4:2019-2026 中国通用/智能算力情况


资料来源：《2022-2023 中国人工智能算力发展评估报告》，甬兴证券研究所

图5:2019-2024E 中国人工智能芯片市场规模情况


资料来源：海光信息招股书，前瞻产业研究院，甬兴证券研究所

1.2. AI 算力芯片需求攀升，先进封装加速前进

AIGC 推动高性能 AI 芯片发展，先进封装需求有望随着 GPU 的快速放量而迅速提升。AI 芯片通常需要集成大量的处理核心、存储单元和传感器，以满足复杂的计算需求。从大模型到自动驾驶、工业自动化等领域，都需要强大的 AI 芯片支持。强大的 AI 芯片需要更加先进的制程工艺来实现，由于芯片集成度逐渐接近物理极限，先进封装技术有望成为延续摩尔定律、发展先进 AI 芯片的有效路径之一。

摩尔定律指出，集成电路上可容纳的晶体管数每隔大约 18-24 个月就会翻一倍，同时保持相同的尺寸；即芯片性能以指数级增长，而成本将相应下降。摩尔定律是计算机和电子产品发展的重要驱动力，然而，随着芯片集成度逐渐接近物理极限，摩尔定律逐渐受到挑战。为延续摩尔定律的经济效益，先进封装技术被业界寄予厚望。

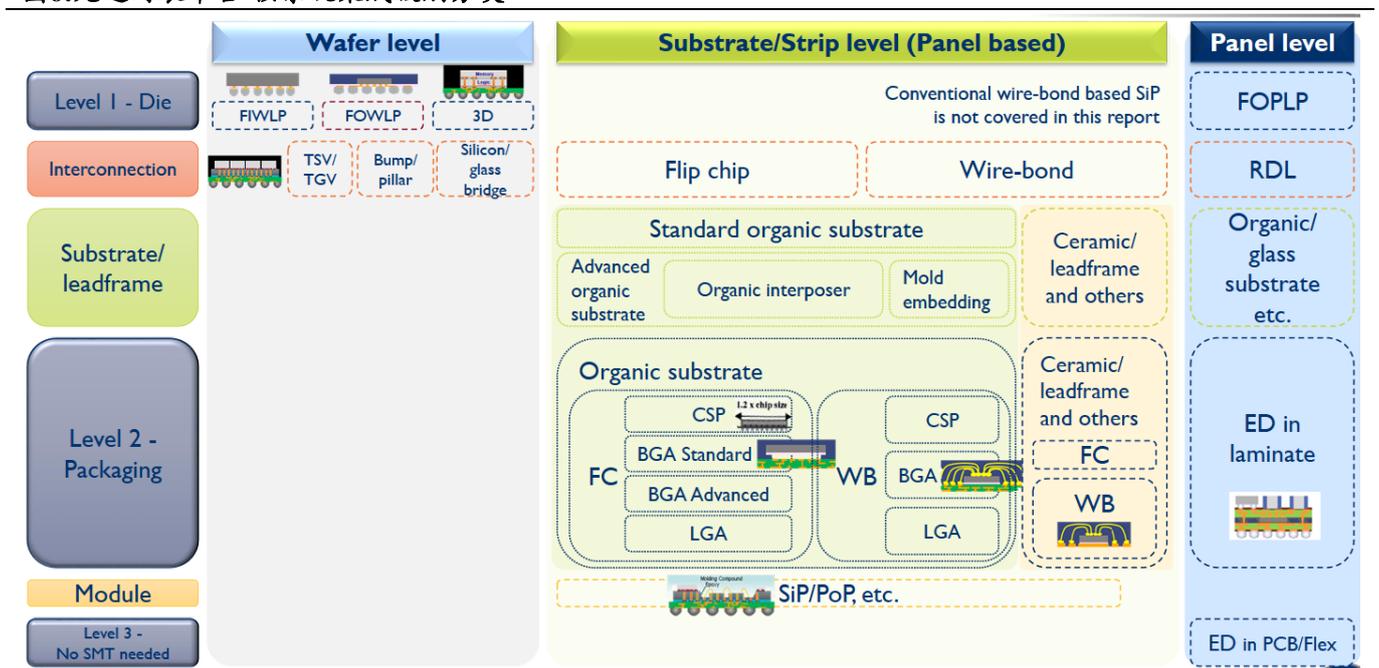
表2:2022 年 IBS 统计不同制程下的单位数量晶体管成本

制程	16nm	10nm	7nm	5nm	3nm
芯片面积(mm ²)	125	87.66	83.27	85	85
晶体管数量(十亿个)	3.3	4.3	6.9	10.5	14.1
晶粒总数/单片晶圆	478	686	721	707	707
晶粒净产出/单片晶圆	359.74	512.44	545.65	530.25	509.04
晶圆价格(美元)	5912	8389	9965	12500	15500
晶粒价格(美元)	16.43	16.43	18.26	23.57	30.45
每 10 亿个晶体管的成本(美元)	4.98	3.81	2.65	2.25	2.16

资料来源：International Business Strategies、芯智讯，甬兴证券研究所

芯片封装由 2D 向 3D 发展，衍生出多种不同的封装技术。在封装技术不断升级迭代的过程中，出现了系统级封装(SiP)等新的封装方式。技术实现的方法包括 2.5D 封装(Interposer、RDL)、3D 封装(TSV)、倒装 FC(Flip Chip)、凸块(Bumping)、晶圆级封装 WLP(Wafer Level Package)、CoWoS (Chip on Wafer on Substrate)、InFO (Integrated Fan-Out)、EMIB (Embedded Multi-die Interconnect Bridge)等先进封装技术。根据 Yole 在《Status of the Advanced Packaging Industry》中所提及，先进封装技术若按照系统集成级别分类，则可划分为晶圆级、基板级以及面板级封装，每一类别中有着不同的先进封装技术应用。

图6:先进封装平台-按系统集成级别分类

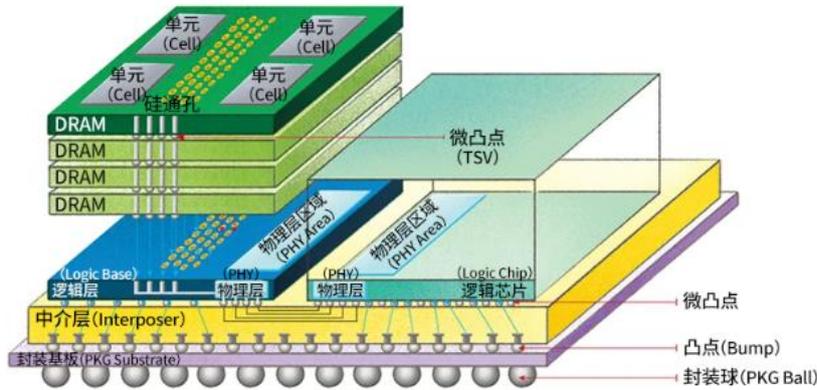


资料来源：Yole 《Status of the Advanced Packaging Industry》，甬兴证券研究所

2.5D 封装是一种先进的异构芯片封装，具备低成本、高性能和可靠性等优势。根据电子工程专辑，在 2.5D 封装中，芯片被并排放置在中介层(interposer)的顶部，通过芯片上微小凸块(uBump)和中介层内的布线来实现彼此之间的互连。中介层通过硅通孔(TSV)来实现不同层之间的互连，然后通过锡球(C4)焊接到传统 2D 封装基板上。这种设计架构提供了更高的集成度和性能，允许多个芯片之间的高速数据传输和资源共享，从而实现了更强大的计算能力和更高效的能源利用。根据 ASE 官网，2.5D 封装具备多种优势，其优势主要包括：超高布线密度(L/S: 0.4/0.4 微米)，超高 I/O 密度(大于 400 μbumps/mm²)和 I/O 间距可扩展性，支持同构/异构存储器、电源/光学器件集成，可嵌入去耦电容或有源器件的中间件，以及出色的封装可靠性。2.5D 封装在现代微电子技术领域中扮演着至关重要的角色，并被广泛应用于各种领域，如高性能计算、人工智能、网络通信等。2.5D 架

构已与堆叠式内存模块（例如高带宽内存）搭配使用，以进一步提高性能。

图7:2.5D 封装技术示意



资料来源：SK 海力士官网、HANOL 出版社，甬兴证券研究所

成熟的 2.5D 封装可以实现从成本、性能到可靠性的完美平衡，在生成式大模型兴起的背景下，2.5D 封装应用前景广阔。我们认为，在人工智能、大数据和云计算等兴起的应用场景下，运算速率、带宽、成本和功耗已经成为新一代算力芯片衡量基准，先进封装技术大有用武之地。由于先进制程在短期内难以突破摩尔定律的客观条件，2.5D 先进封装技术通过集成各类先进的 CPU/GPU 和高带宽内存，满足了市场对于 AI 芯片的迫切需求。根据电子工程专辑，与 SoC (System on Chip)系统级芯片相比，SoC 系统级芯片面临成本高和产量低的难点，同时特别是在成本和可靠性方面突破其相关技术也面临着巨大的挑战；而 2.5D 封装技术在保证性能的情况下，产量及成本都大幅下降，这使得其成为一种更加可行的解决方案。相较于 2D 封装 SiP (System in Package)和 SoB (System on Board)技术，2.5D 封装技术具备更高的灵活性和机动性，同时成本更低。

表3:2.5D 封装对比其他先进封装形式

先进封装形式	优势	劣势
SoC 系统级芯片	功耗较低，性能优秀	成本高产量低，整个方案集成在一个先进工艺颗粒中，实现成本和可靠性都是巨大的挑战
2D 封装 SiP 与 SoB	成本较低	布线密度受限，导致整个产品带宽受限，尺寸偏大
3D 封装	功耗较低，超大带宽	在长期可靠性和散热方面受限，目前主要应用于 HBM 领域
2.5D 封装	成本、性能与可靠性的平衡	

资料来源：电子工程专辑，甬兴证券研究所

2. 2.5D 封装发展迅速，CoWoS 有望引领先进封装

芯片封装由 2D 向 3D 发展的过程中，衍生出多种不同的封装技术。其中，2.5D 封装是一种先进的异构芯片封装，可以实现从成本、性能到可靠性的完美平衡。目前英伟达的算力芯片采用的是台积电的 CoWoS 方案，这是一项 2.5D 多芯片封装技术，该方案具备提供更高的存储容量和带宽的优势，适用于处理存储密集型任务，如深度学习、5G 网络、节能的数据中心等。目前 CoWoS 封装技术已经成为了众多国际算力芯片厂商的首选，是高端性能芯片封装的主流方案之一。我们认为，英伟达算力芯片的需求增长大幅提升了 CoWoS 的封装需求，CoWoS 有望进一步带动先进封装加速发展。

2.1. CoWoS 技术是高端性能封装的主流方案

全球各大厂对纷纷对先进封装技术注册独立商标。近年来，在先进封装飞速发展的背景下，开发相关技术的公司都将自己的技术独立命名注册商标，如台积电的 InFO、CoWoS，日月光 FoCoS，Amkor 的 SLIM、SWIFT，三星的 I-Cube、H-Cube 以及 Intel 的 Foveros、EMIB 等。

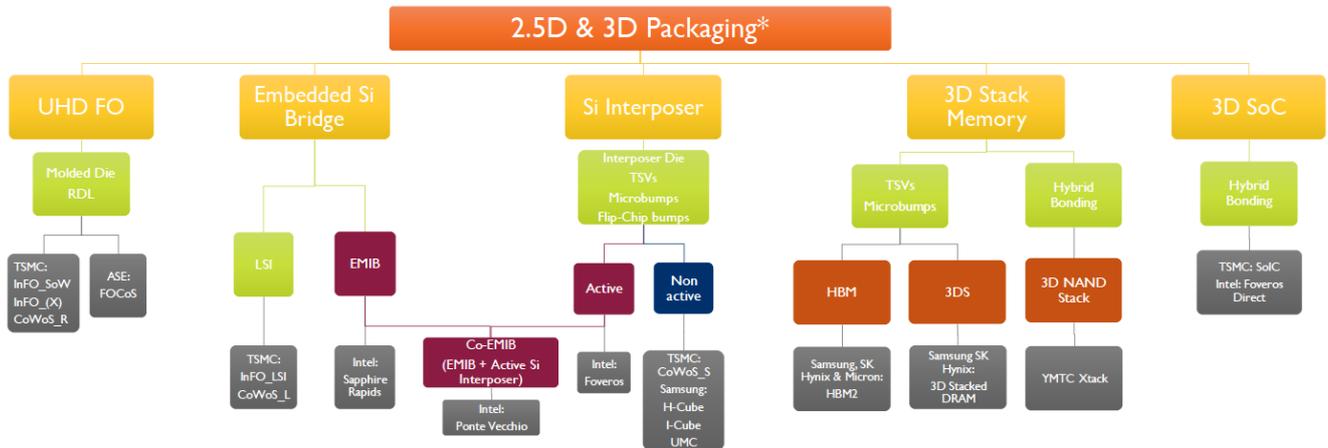
表4:先进封装大厂与其独立商标

主要封装大厂	简称	介绍
台积电	InFO-OS	将多个高级逻辑芯片一起封装，并通过 RDL 层进行互联，增加了 substrate
	InFO-LSI	使用硅桥以及 RDL 层代替整块硅，达到了性能与成本的平衡
	InFO-SOW	芯片与用于高性能计算的电源和散热模块集成在一起，无需使用基板和印刷电路板
	CoWoS-S	硅片中介层
	CoWoS-R	重布线层 RDL 为中介层
三星	CoWoS-L	使用小芯片 (Chiplet) 和 RDL 作为中介层
	FOSiP	异构集成和扇出型系统级封装
	X-Cube	eXtended-Cube，通过 TSV 互联
ASE	I-Cube	异构集成技术，可将一个或多个逻辑管芯和多个高带宽内存芯片互联，使用硅中介层
	FoCoS	扇出型封装技术，将两个或多个芯片重组为扇出模组，再置于基板上实现多芯片以及小芯片 (Chiplet) 的整合

资料来源：台积电官网、三星半导体官网、ASE 官网、IT 之家，甬兴证券研究所整理

台积电的 CoWoS 技术是高端性能封装的主流方案之一。我们认为，随着 2.5D 和 3D 封装解决方案变得越来越复杂，先进封装主要参与者的封装组合也在增加。根据 Yole 《High End Performance Packaging 2022》，高端性能封装平台包括例如超高密度扇出型封装 (UHD FO)、嵌入式硅桥 (Embedded Si Bridge)、硅中介层 (Si Interposer)、三维堆栈内存 (3D Stack Memory) 以及 3D SoC 技术。嵌入式硅桥有两种解决方案：LSI (台积电) 和 EMIB (英特尔)。硅中介层技术包括台积电的 CoWoS、三星的 X-Cube 以及英特尔的 Foveros 等解决方案。EMIB 与 Foveros 的结合产生了 Co-EMIB 技术，主要应用于英特尔的 Ponte Vecchio 平台。三维堆栈内存分为三类，分别为 HBM、3DS 和 3D NAND 堆栈。

图8:以 2.5/3D 为代表的高端封装技术平台

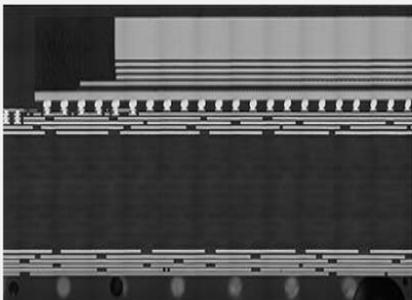


资料来源: Yole 《High End Performance Packaging 2022》, 甬兴证券研究所

CoWoS 的主要优势是节约空间、增强芯片之间的互联性和降低功耗。台积电 (TSMC) 的 CoWoS (Chip on Wafer on Substrate) 是一项 2.5D 多芯片封装技术,最早发布于 2011 年的《Advanced Reliability Study of TSV Interposers and Interconnects for the 28nm Technology FPGA》论文中。在过去十年, CoWoS 封装已经经过了五代的发展。目前采用 CoWoS 封装的产品主要分布于消费领域和服务器领域,包括英伟达、AMD 等推出的算力加速卡。

CoWoS 被应用于制造英伟达 GPU 所需要的工艺流程中,具备高技术壁垒特点,目前需求较大。我们认为, CoWoS 封装技术具备高集成度、高性能、芯片组合灵活性以及优秀稳定性与可靠性等特点,随着技术的不断进步和市场需求的不断增长, CoWoS 封装技术有望在未来继续取得突破,并在多重领域中得到应用。

图9:应用 CoWoS 封装技术的 Nvidia P100 加速卡



通过采用 HBM2 的 CoWoS 技术实现更高效率

通过加入采用 HBM2 的晶圆基底芯片 (CoWoS) 技术, Tesla P100 将计算性能和数据紧密集成在同一个程序包内,提供的内存性能是 NVIDIA Maxwell™ 架构的三倍以上。这大幅缩短了为数据密集型应用程序算出解决方案的时间。

资料来源: Nvidia, 甬兴证券研究所

CoWoS 目前市场需求较大,根据中国台湾电子时报报道,台积电订单已满载,我们预计 2024 年供不应求的局面或将能得到逐步缓解;我们认为,请务必阅读报告正文后各项声明

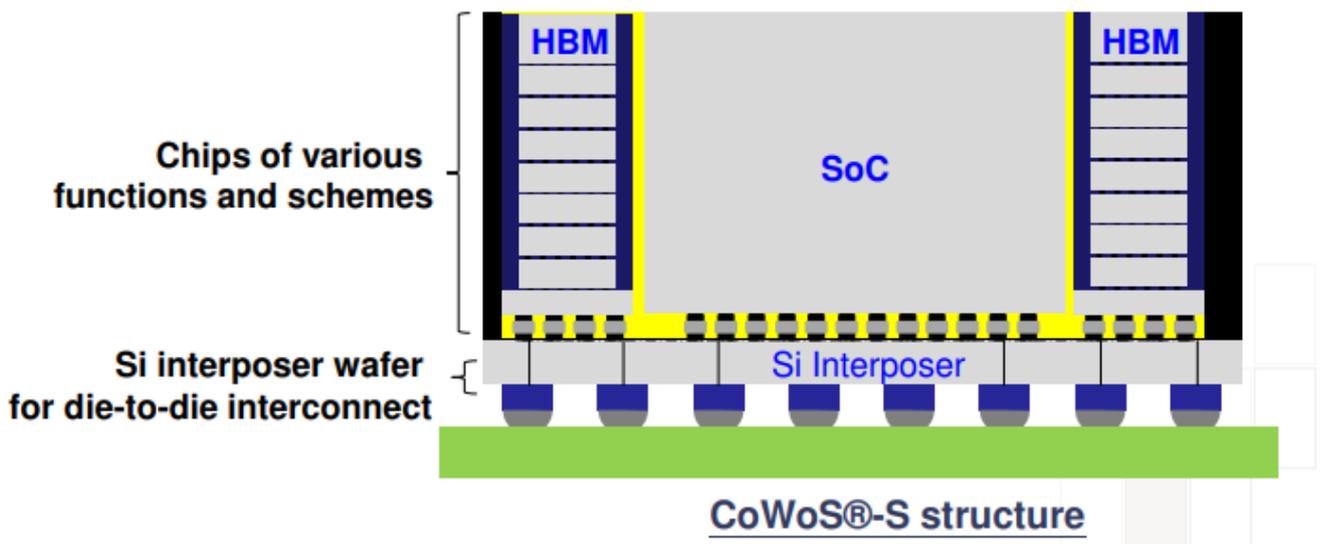
受益于大模型百花齐放，算力需求快速攀升带动 HPC 增长，TSMC 产能不足可能会导致 Nvidia、AMD 等 AI 芯片大厂将目光转向其他 OSAT 以解燃眉之急，具备 2.5D 封装技术的国内封装大厂有望从中受益。根据 AnandTech 报道，2023 年采用 CoWoS 封装技术的单块 5148mm²面积大小系统级封装（SiP）晶圆，若其应用于英伟达 H100 加速卡制造，则单块晶圆预估售价将达到约 30,000 美元。

2.2. CoWoS 是台积电拿到英伟达大单的关键

CoWoS 是台积电先进封装独立商标，为高性能计算应用提供一流性能和高集成密度。根据中国台湾大学资料，CoWoS 是一种整合生产技术，先将芯片通过 CoW（Chip on Wafer）的封装制程连接至硅晶圆，再把 CoW 与基板相连接，整合成 CoWoS（Chip on Wafer on Substrate）。我们认为，CoWoS 作为一种共同封装 HBM 和逻辑芯片以获得训练和推理工作负载最佳性能的重要封装方式，有望成为算力加速卡主流封装技术之一。

我们认为，目前主流解决方案为 CoWoS-S，随着算力加速卡需求持续攀升，使用 CoWoS 封装技术的需求有望持续扩大。根据台积电官网，CoWoS 平台为高性能计算应用提供了同类最佳的性能和最高的集成密度。这种晶圆级系统集成平台可提供多种插层尺寸、HBM 立方体数量和封装尺寸。它可以实现大于 2 倍封装尺寸（或约 1,700 平方毫米）的中阶层，集成具有四个以上 HBM2/HBM2E 立方体的领先 SoC 芯片。

图10:CoWoS-S 封装技术架构

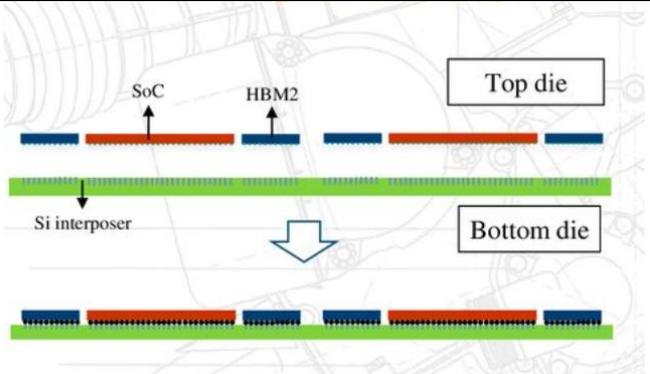


资料来源：TSMC 《2021 HotChips TSMC Packaging Technologies for Chiplets and 3D》，甬兴证券研究所

CoWoS 工艺流程包含多项步骤，根据中国台湾大学资料，我们总结 CoWoS 封装流程可大致划分为三个阶段。在第一阶段，将裸片（Die）与中介层（Interposer）借由微凸块（uBump）进行连接，并通过底部填充（Underfill）

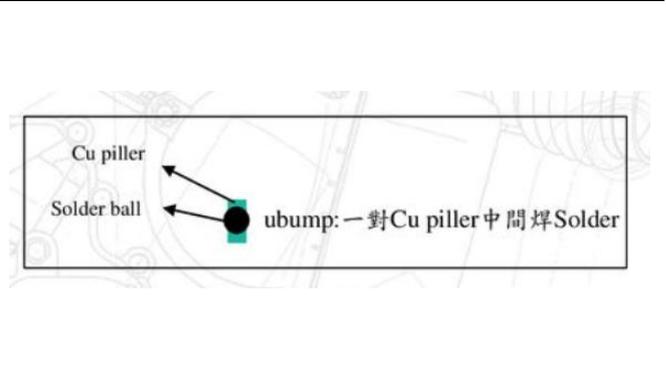
保护芯片与中介层的连接处。

图11:裸片与中介层连接



资料来源：中国台湾大学工学院，甬兴证券研究所

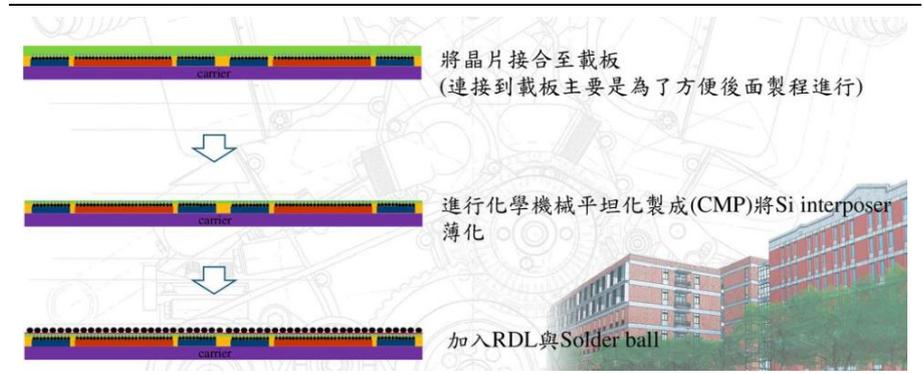
图12:微凸块技术链连接方式



资料来源：中国台湾大学工学院，甬兴证券研究所

在第二阶段，将裸片（Die）与载板（Carrier）相连接，根据艾邦半导体网，封装基板（载板）是一类用于承载芯片的线路板，属于 PCB 的一个技术分支，也是核心的半导体封测材料，具有高密度、高精度、高性能、小型化及轻薄化的特点，可为芯片提供支撑、散热和保护的作用，同时也可作为芯片与 PCB 母板之间提供电气连接及物理支撑。在裸片与载板相连接后，利用化学抛光技术（CMP）将中介层进行薄化，此步骤目的在于移除中介层凹陷部分。

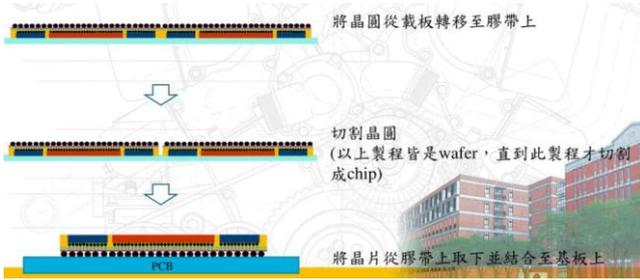
图13:裸片与载板连接



资料来源：中国台湾大学工学院，甬兴证券研究所

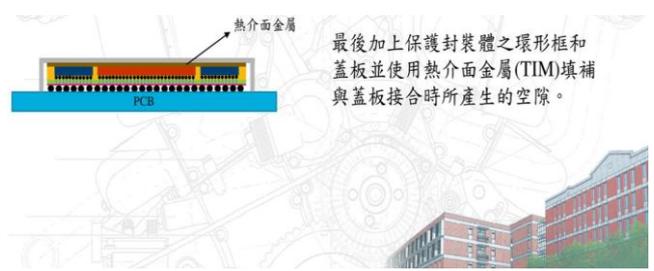
在第三阶段，切割晶圆形成芯片，并将芯片连结至封装基板。最后加上保护封装的环形框和盖板，使用热介面金属（TIM）填补与盖板接合时所产生的空隙。

图14:切割晶圆制成芯片



资料来源：中国台湾大学工学院，甬兴证券研究所

图15:加装环形框与盖板



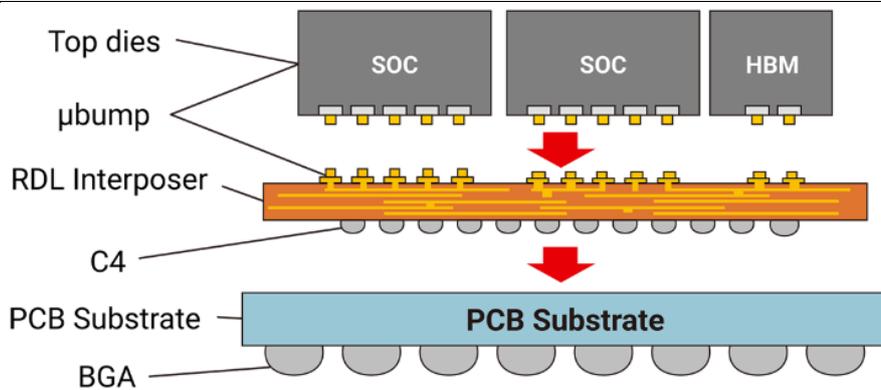
资料来源：中国台湾大学工学院，甬兴证券研究所

我们认为，CoWoS 封装技术应用广泛，目前主要应用于高性能计算、-通信网络、图像处理以及汽车电子等相关领域。我们认为，在高性能计算领域，CoWoS 封装具备整合多个处理器芯片、高速缓存和内存于同一封装中的能力，从而实现卓越的计算性能和数据吞吐量，这一特性在数据中心、超级计算机和人工智能应用领域具有突出的重要性，目前 CoWoS 产品聚焦于具备 HBM 记忆模块的高端产品。我们认为，目前随着 Ai 浪潮兴起，高性能加速卡在需求端大幅上升，CoWoS 主要针对高性能计算 (HPC) 市场，需求量较大。

CoWoS 布局三类条线，满足复杂需求。CoWoS 可细分为 S、R、LSI 三类条线，分别为硅中介层 (Si Interposer)、重布线层 (RDL) 与局部硅互连技术 (LSI)。

根据台积电官网，CoWoS-R 采用 InFO 技术并应用 RDL 中介层，以提供芯片间的互连服务，重点应用于 HBM (高带宽内存) 和 SoC 异构集成中。RDL 中介层由聚合物和铜引线构成，具备一定的灵活性，并能够拓展封装尺寸以满足更为复杂的功能需求。

图16:CoWoS-R 封装技术示意

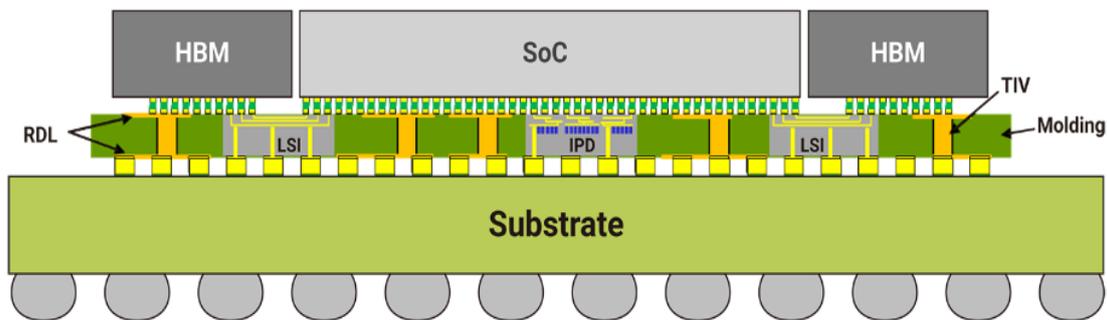


资料来源：TSMC 官网，甬兴证券研究所

CoWoS-R 技术的主要特点包括以下三方面。首先，RDL 互连器由多达 6L 层铜线组成，最小间距为 4um（线宽/间距为 2um）。第二，互连具有良好的信号和电源完整性性能，路由线的 RC 值较低，可实现较高的传输数据速率。共面 GSGSG 和层间接地屏蔽以及六个 RDL 互连提供了卓越的电气性能。第三，RDL 层和 C4/UF 层因 SoC 与相应基板之间的 CTE 不匹配而提供了良好的缓冲效果。C4 凸块的应变能量密度大大降低。

CoWoS-L 在一定程度上融合了 CoWoS-S 和 InFO 技术的优势，以实现高度灵活的集成。该方案采用中介层与局部硅互联（LSI）进行芯片间的互连，同时利用 RDL 层实现电源和信号传输。该技术将进一步扩展至更大的尺寸，以容纳更多芯片的集成。其特点包括能在高速传输中提供低损耗的高频信号；以及能够在 SoC 芯片下面集成额外的元件。

图17:CoWoS-L 封装技术示意



资料来源：TSMC 官网，甬兴证券研究所

2.3. CoWoS 的技术历程与未来展望

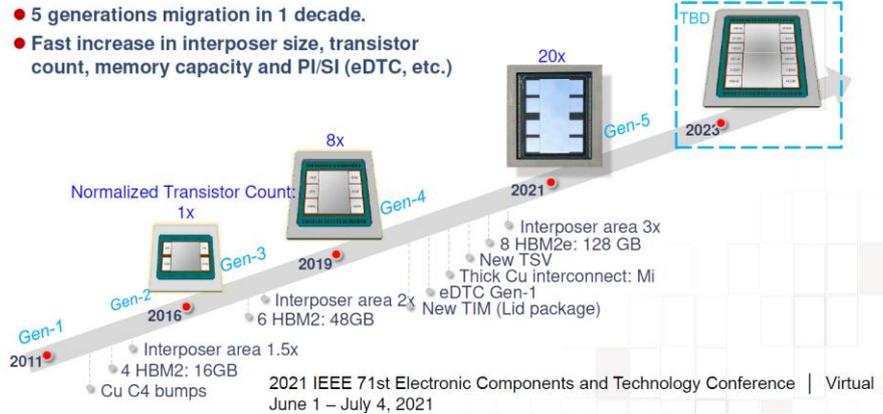
目前 CoWoS 封装技术已经成为了众多国际厂商的优选，前景广阔。。根据台积电，其于 2011 年推出了 2.5D Interposer 技术 CoWoS。2021 年台积电发布第 5 代 CoWoS 技术，其晶体管数量是第 3 代的 20 倍。CoWoS 本身的进化还体现在持续扩大硅中介层的面积，我们认为中介层越大，则能够容纳的裸片数量也越多；根据电子工程专辑，台积电 CoWoS 封装可解决光刻机可处理的极限尺寸（Reticle Limit）的问题。

根据台积电，2011 年首个 CoWoS 诞生，我们认为其为 FPGA、GPU 等高性能产品的集成提供了新的解决方案。2016 年发布第二代 CoWoS 方案，硅中介层尺寸大约是 1.5x reticle limit, 并包含 4 个 HBM2, 总容量为 16GB。2019 年开发的第 4 代 CoWoS, 装有一个逻辑芯片和 6 个 HBM2, 总容量为 48GB (384Gbit), 是第三代容量的 3 倍。

图18:台积电 CoWoS 封装发展历程

CoWoS®-S Rapid Progress

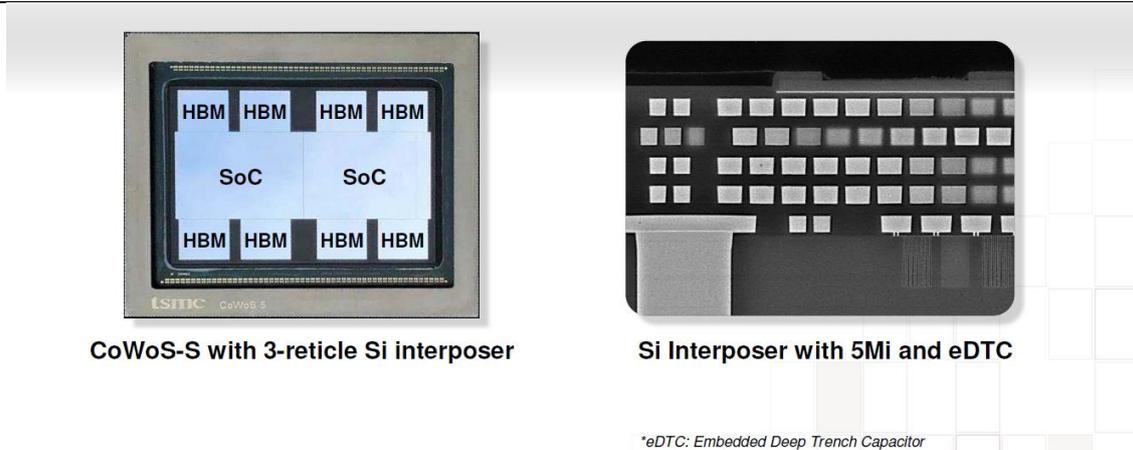
- 5 generations migration in 1 decade.
- Fast increase in interposer size, transistor count, memory capacity and PI/SI (eDTC, etc.)



资料来源: TSMC, 甬兴证券研究所

根据台积电, 在 2021 年 ECTC 大会上, 台积电展示的第五代 CoWoS 概念图是一枚由 11 个裸片组成的大型芯片。中间是两颗比较大的 SoC, 以及 1 颗较小的长条形裸片; 四周用了 8 个 HBM2E 存储堆栈。

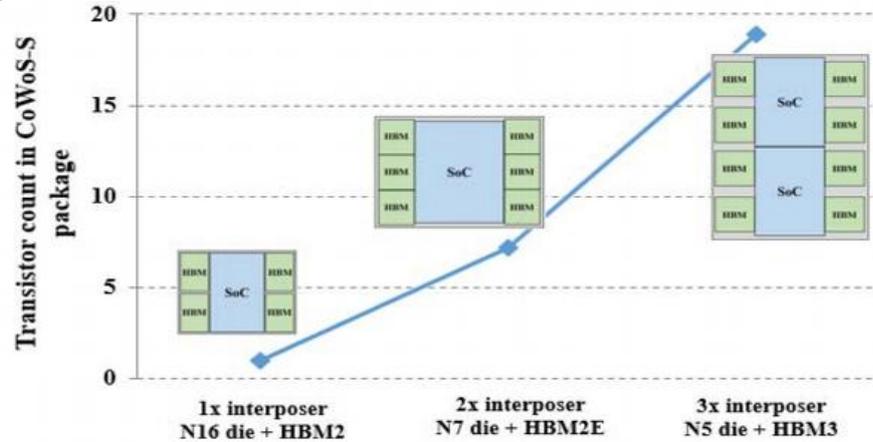
图19:台积电展示利用 CoWoS 所封装芯片



资料来源: TSMC, 甬兴证券研究所

2021 年, 台积电发布第 5 代 CoWoS 技术, 效能大幅提升。根据《Wafer Level System Integration of the Fifth Generation CoWoS-S with High Performance Si Interposer at 2500mm²》, CoWoS-S5 通过将插层尺寸扩大到 3 倍 rectile limit (2500 mm²), 可在单个插层上集成 3 个或更多逻辑芯片组和 8 个 HBM。与上一代 CoWoS 相比, 更大的尺寸与先进的节点顶层芯片相结合, 可多集成近 20 倍的晶体管和 2 倍的内存堆栈 (从 4 个增加到 8 个)、CoWoS-S5 除了增加了硅中介层的尺寸外, 还增加了部分新功能, 以进一步提高其电气和热性能。

图20:随着 CoWoS-S 技术的发展而集成的晶体管数量



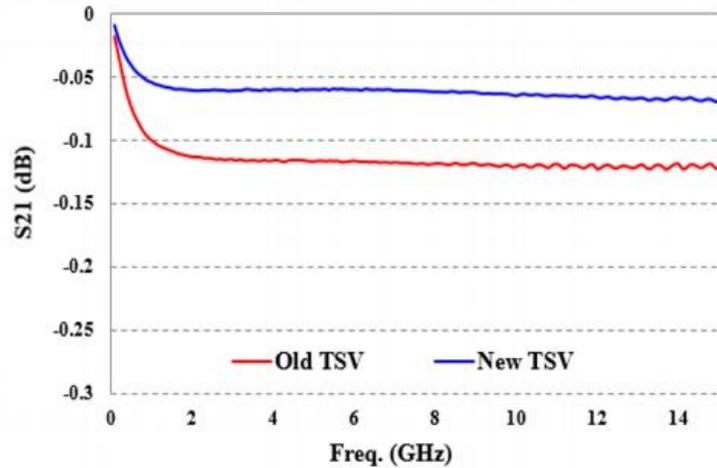
资料来源:《Wafer Level System Integration of the Fifth Generation CoWoS-S with High Performance Si Interposer at 2500mm²》(PK Huang,2021), 甬兴证券研究所

第五代 CoWoS 使用全新 TSV 方案并增加中阶层面积。根据《Wafer Level System Integration of the Fifth Generation CoWoS-S with High Performance Si Interposer at 2500mm²》，第五代封装技术通过增加中介层面积，使用了全新的 TSV 解决方案，以及更厚的铜连接线，有助于产品效能大幅提升。在 CoWoS-S5 中，台积电采用 4 份全幅光罩 (Mask) 进行拼接并通过 RDL 将光罩重合处的互联部分做到一致，通过拼接构成连续线路。

CoWoS-S5 引入新的金属堆栈、新的亚微米层 (双镶嵌线路)，以解决信号完整性问题。根据上述论文，HBM2E 存储堆栈应用于本代 interposer 已得到验证，其传输速率为 3.2GT/s。未来将采用 HBM3，速率将提升至 4GT/s。CoWoS-S5 开发出了 5 层超低电阻互连的新金属方案，以支持 HBM3。新方案将金属迹线片电阻和通孔接触电阻都降低了 50% 以上，但最小线宽/空间仍保持在亚微米以下，满足高密度布线的先决条件。在 CoWoS-S5，对良品率模式进行了监测，没有发现电阻损失或漂移。此外，这种新的互连方案还通过了电迁移 (EM)、应力迁移 (SM) 和时间相关介质击穿 (TDDDB) 测试，没有出现任何故障。

高纵横比硅通孔 (TSV) 是硅互插技术中最关键的部分。根据上述论文，它提供正面到背面的连接，并允许高速电信号从逻辑芯片直接传递到基板和印刷电路板。但 TSV 在高频率下工作时会造成信号损耗和失真，原因是其尺寸较大 (深度约为 100 微米)，所用材料也较多 (埋在有损耗的硅基板内)。CoWoS-S5 重新设计了 TSV，以尽量减少这种影响。对比已进行完优化的 CoWoS-S5 TSV 与上一代产品的射频测量特性，第五代插入损耗 (S21) 更低，从而改善了信号完整性。

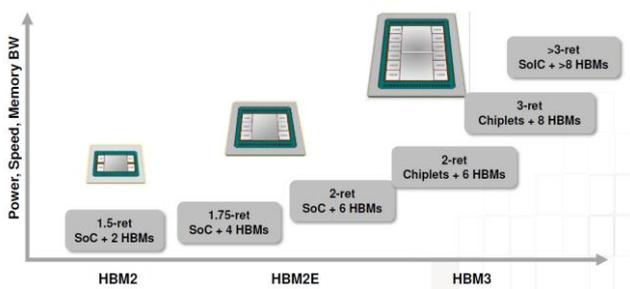
图21:新旧 TSV 插入损耗比较



资料来源:《Wafer Level System Integration of the Fifth Generation CoWoS-S with High Performance Si Interposer at 2500mm²》(PK Huang,2021), 甬兴证券研究所

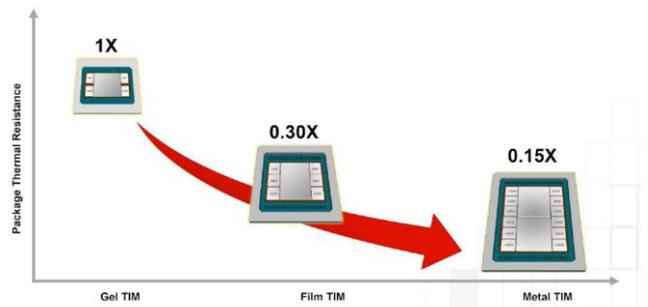
CoWoS-S5 有两种热解决方案,分别是环型封装与带散热器的盖型封装。根据上述论文,环型封装,裸片背面暴露在外,可与散热器直接接触;带散热器的盖型封装,在盖和裸片之间插入热界面材料(TIM),以提供连续的热界面。对于盖型封装方案,凝胶型TIM已使用了很长时间,工艺也比较成熟。然而,3-10 W/K 的热导率和可靠性的覆盖退化无法满足 HPC 和人工智能领域的高功率要求。故在 CoWoS-S5 中,采用了新型非凝胶TIM,其导热系数大于 20 W/K, TIM 覆盖率达到 100%,在 TCG1000x、uHAST264h 和 TSAM 测试后无明显衰减,可靠性测试后热阻衰减小于 10%。

图22:HBM 集成水平与能耗



资料来源: TSMC, 甬兴证券研究所

图23:热控制解决方案进展

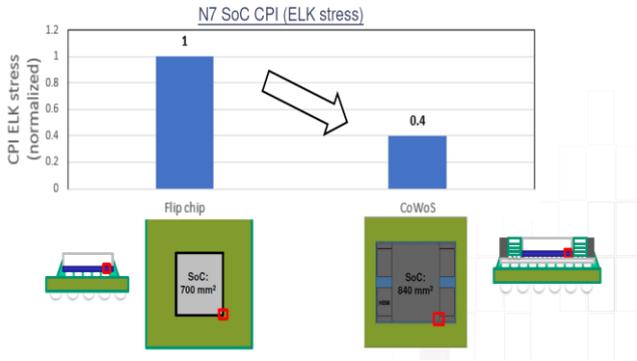


资料来源: TSMC, 甬兴证券研究所

我们认为, CoWoS 解决方案具备提供更高的存储容量和带宽的优势,适用于处理存储密集型任务,如深度学习、5G 网络、节能的数据中心等。除了扩展计算能力、输入/输出和 HBM 集成, CoWoS 技术还具备设计灵活

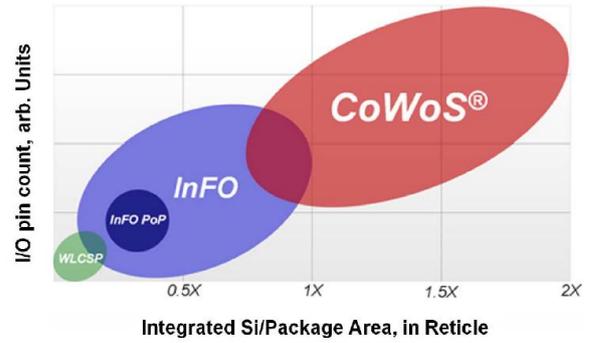
性和更高的良率等优势，以支持先进工艺下的复杂特殊应用芯片设计。根据台积电资料显示，在关键尺寸工艺指数（Critical Dimension Process Index）方面与 ELK（Edge Lift-off Kirk）应力方面，CoWoS-S5 明显低于 FC 倒装封装技术，较低的 CPI 值表示制造过程更接近设计要求，具有更高的精度和一致性。

图24:从 CPI ELK stress 对比 CoWoS 与 Flip-chip



资料来源：2021 TSMC Hotchips，甬兴证券研究所

图25:从封装面积与 I/O 数对比封装技术



资料来源：《Wafer Level Integration of an Advanced Logic Memory System Through the Second-Generation CoWoS Technology》(S. Y. Hou, 2017)，甬兴证券研究所

3. 台积电订单充沛 CoWoS 产能不足，国内封装大厂有望深度受益

CoWoS 是台积电先进封装的独立商标，是其拿到英伟达订单的关键。目前采用 CoWoS 封装的产品主要分布于消费和服务器领域，包括英伟达、AMD 等推出的算力芯片在内。近期台积电订单已充沛，预估到 2024 年供不应求的局面才能得到逐步缓解。我们认为，受于大模型百花齐放，算力需求快速攀升带动 HPC 增长，台积电产能不足可能会导致 AI 芯片大厂将目光转向其他 OSAT，具备 2.5D 封装技术的国内封装大厂有望从中受益。

3.1. 长电科技：国内封测龙头，XDFOI™ Chiplet 已稳定量产

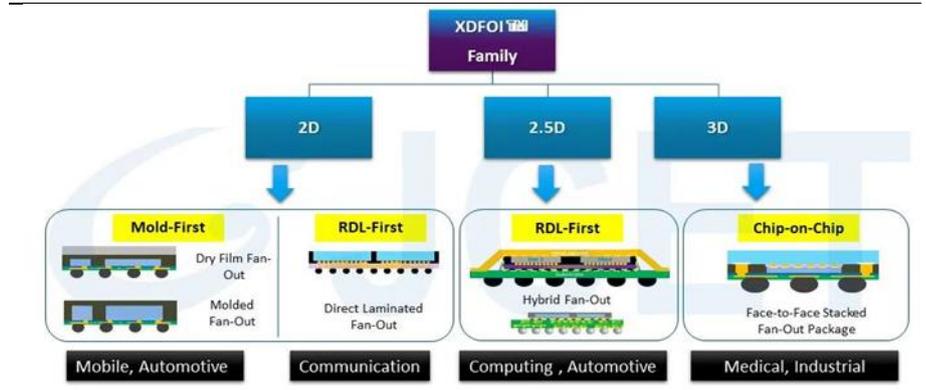
长电科技是全球领先的集成电路制造和技术服务提供商，也是国内封测行业龙头。根据长电科技官网，公司提供全方位的芯片成品制造一站式服务，包括集成电路的系统集成、设计仿真、技术开发、产品认证、晶圆中测、晶圆级中道封装测试、系统级封装测试、芯片成品测试并可向世界各地的半导体客户提供直运服务。长电科技拥有例如高集成度的晶圆级封装（WLP）、2.5D/3D 封装、系统级封装（SiP）、高性能倒装芯片封装和先进的引线键合技术，产品和服务涵盖网络通讯、移动终端、高性能计算、车载电子、大数据存储、人工智能与物联网、工业智造等领域。公司在中国、韩国和新加坡设有六大生产基地和两大研发中心，在 20 多个国家和地区设有业务机构。

在先进封装领域，公司拥有独立产权商标 XDFOI 技术平台。根据长电科技官网，XDFOI™ 全系列极高密度扇出型封装解决方案是新型无硅通孔晶圆级极高密度封装技术，旨在为全球客户高度关注的芯片异构集成提供高性价比，高集成度，高密度互联和高可靠性的解决方案。应用场景主要集中在对集成度和算力有较高要求的 FPGA、CPU、GPU、AI 和 5G 网络芯片等。根据爱集微援引长电科技报道，在设计上，该技术可实现 3-4 层高密度的走线，其线宽/线距最小可达 2 μ 。此外，XDFO 技术所运用的极窄节距凸块互联技术，还能够实现 40x40mm 的封装尺寸，并支持在其内部集成多颗芯片、高带宽内存和无源器件。这些优势可为芯片异构集成提供高性价比、高集成度、高密度互联和高可靠性的解决方案。XDFOI™ 全系列解决方案通过将不同的功能器件整合在系统封装内，大大降低系统成本，缩小封装尺寸，具有广泛的应用场景，主要集中于对集成度和算力有较高要求的 FPGA、CPU、GPU、AI 和 5G 网络芯片等应用产品提供小芯片（Chiplet）和异质封装（HiP）的系统封装解决方案。

XDFOI™ Chiplet 已稳定量产。根据长电科技公告，目前 XDFOI™ Chiplet 高密度多维异构集成系列工艺已按计划进入稳定量产阶段，同步实现国际客户 4nm 节点多芯片系统集成封装产品出货，是最大封装体面积约为 1500mm²的系统级封装。该技术是一种面向 Chiplet 的极高密度、多

扇外型封装高密度异构集成解决方案，其利用协同设计理念实现了芯片成品集成与测试一体化，涵盖 2D、2.5D、3D 集成技术。经过持续研发与客户产品验证，长电科技 XDFOI™ 不断取得突破，已在高性能计算、人工智能、5G、汽车电子等领域应用，为客户提供了外型更轻薄、数据传输速率更快、功率损耗更小的芯片成品制造解决方案，满足日益增长的终端市场需求。

表5:长电科技 XDFOI 封装平台



资料来源：长电科技、爱集微，甬兴证券研究所

3.2. 通富微电：携手 AMD 共同发展，深度布局先进封装

与 AMD 建立战略合作伙伴关系，2022 年封装市场市占率位居全球第四名，先进封装收入超过 70%。根据投资者互动平台，2016 年公司联合国家集成电路产业投资基金斥资 3.71 亿美元收购 AMD 位于中国苏州和马来西亚槟城两大高端封测基地，获得了生产 CPU、GPU、服务器等产品的高端封测技术和大规模量产平台，并与 AMD 大客户建立了战略合作伙伴关系。根据公司公告，2022 年公司积极调整产品业务结构，加大市场调研与开拓力度，持续服务好大客户，凭借 7nm、5nm、FCBGA、Chiplet 等先进技术优势，不断强化与 AMD 等行业领先企业的深度合作，巩固和扩大先进产品市占率。2022 年，公司实现营业收入 214.29 亿元，同比增长 35.52%。在全球前十大封测企业中，公司营收增速连续 3 年保持第一；2022 年，公司在全球前十大封测企业中市占率增幅第一，营收规模排名进阶，首次进入全球四强。

通富微电封装技术与 AMD 协同发展，合作范围广泛，客户粘性较强。根据投资者互动平台，2016 年公司出资 3.71 亿美元收购了 AMD 位于中国苏州和马来西亚槟城两个封测厂各 85% 的股权。公司是 AMD 最大封测供应商，AMD 也成为公司大客户。公司有涉及 AMD 芯片 Instinct MI300 的封测项目，并涉及 AMD AI PC 芯片的封测项目。

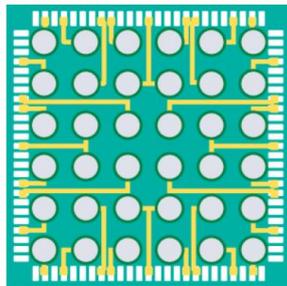
公司重视技术开发。根据公司公告，2023 上半年公司完成业界领先的高集成、双面塑封 SIP 模组的技术开发，高阶手机射频前端模组 PAMiD 和 L-PAMiD 等多款产品以及高端可穿戴产品双面模组已进入大批量量产

阶段；FC 技术开发方面，公司已具备超大尺寸芯片封装能力，初步完成先进 TIM（石墨烯等）材料开发；完成 Cu 底板塑封大功率模块的技术开发，实现了大功率模块的产品升级，在功率密度、散热及功耗等性能改善方面进一步得到了提升，现已进入大批量量产阶段；为行业头部企业开发的车载 MCU 也已通过考核并进入量产阶段。

我们认为，通富微电正构建国内相对较完善的 Chiplet 封装解决方案，公司在 Chiplet、WLP、SiP、Fanout、2.5D、3D 堆叠等先进封装方面均有布局 and 储备。根据投资者互动平台，公司通过在多芯片组件、集成扇出封装、2.5D/3D 等先进封装技术方面的提前布局，可为客户提供多样化的 Chiplet 封装解决方案，现已具备 7nm、Chiplet 先进封装技术规模量产能力。包括自建 2.5D/3D 产线全线通线，1+4 产品及 4 层/8 层堆叠产品研发稳步推进；基于 Chip Last 工艺的 Fan-out 技术，实现 5 层 RDL 超大尺寸封装（65×65mm）；超大多芯片 FCBGA MCM 技术，实现最高 13 颗芯片集成及 100×100mm 以上超大封装。

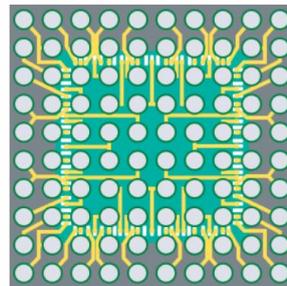
我们认为，通富微电已经具备较为成熟的 Fan-Out 封装技术，Fan-Out 是与 CoWoS 较类似的 2.5D 封装。根据 ASE 日月光官网，Fan-out 即为扇出型封装，通常指 I/O Bump 在裸片（Die）投影面积外部，从而提供了更多的 I/O Bump。扇出型封装通过重布线层（RDL），允许将 I/O 重新分配到芯片表面以外之处，从而支持更薄的封装。

图26:扇入型与扇出型晶圆级封装



Fan-In WLP

All RDL traces are routed in towards the center of the die



Fan-Out WLP

RDL traces are routed both inwards and outwards beyond the limits of the die

资料来源：ASE，甬兴证券研究所

公司不断研发 FO 相关技术。根据通富微电官网，FO 技术被应用于 MIC、RF、CPU、GPU 等。根据公司公告，公司研发智能芯片晶圆级基板扇出型封装（FOPoS），或将成为国内第一家有自主能力提供高阶扇出型封装服务的厂家。

表6:通富微电扇出型封装特征

主要特征	封装类型	关键优势
FO size	32x26mm	相较于 2.5D 传统封装成本更低、良好的电气性能、高 I/O 引脚数
制程	16nm	
RDL L/S	2/2um	
RDL layer	3 layers	

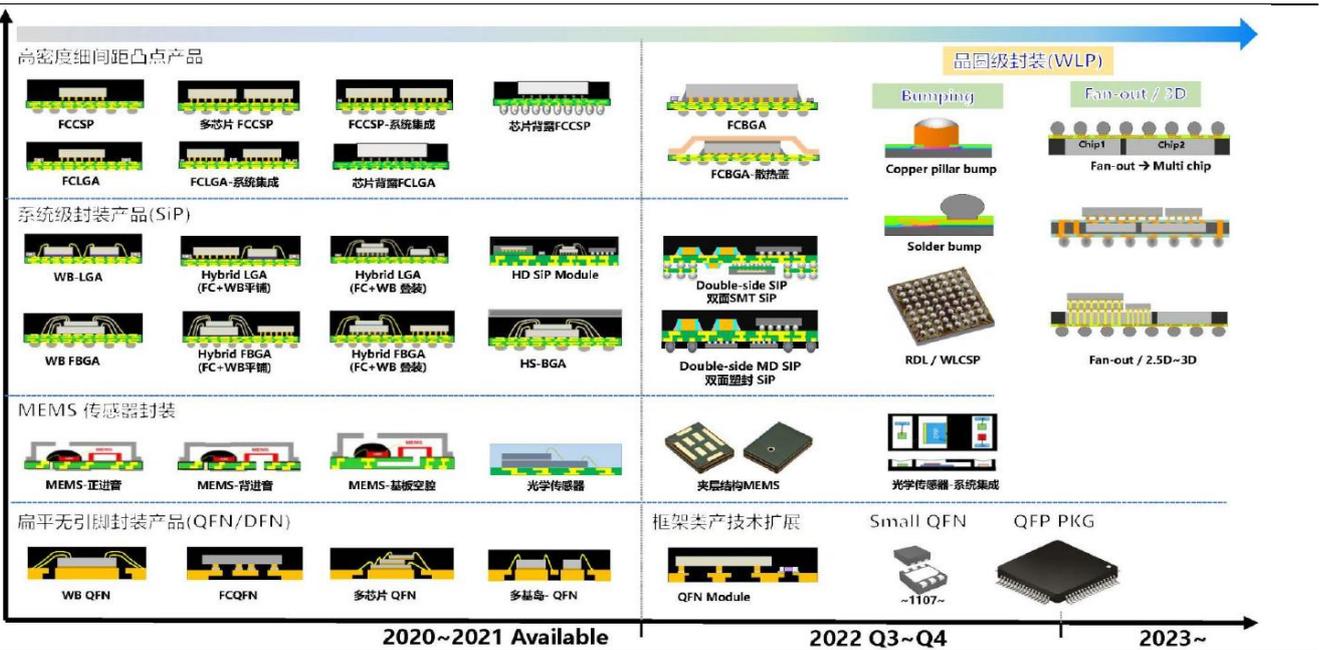
资料来源:通富微电官网,甬兴证券研究所

3.3. 甬矽电子: 先进封装后起之秀, CoWoS 已有相关储备

先进封装行业新秀, 成长迅速。根据招股说明书, 甬矽电子于 2017 年 11 月成立, 从诞生之初即聚焦集成电路封测业务中的先进封装领域。公司全部产品均为中高端先进封装形式, 封装产品主要包括“高密度细间距凸点倒装产品 (FC 类产品)、系统级封装产品 (SiP)、扁平无引脚封装产品 (QFN/DFN)、微机电系统传感器 (MEMS)” 4 大类别, 下辖 9 种主要封装形式, 共计超过 1,900 个量产品种。

持续推动先进封装研发, 积极扩展现有产品线。根据公司公告, 2022 年公司完成了基于 FC+WB Stacked die 的 Hybrid BGA 混合封装技术开发及量产; 应用于 5G 通讯的高密度射频模组 PAMiF 的量产, 及完成 DiFEM 和 PAMiD 封装工艺开发; 双面模组(HD DSSiP)封装技术的开发; 汽车电子应用的高清图像 Sensor 封装工艺开发; 高集成小型化的电磁屏蔽(EMI Shielding)技术开发及量产; 高密度引脚双圈 QFN (Dual Row QFN, DR-QFN) 产品及量产。推动二期项目开展, 扩大现有产品线; 先进制程加快导入, 尽量投入量产。公司坚持中高端先进封装业务定位, 积极推动二期项目建设, 扩大公司产能规模。公司积极布局先进封装和汽车电子领域, 积极布局包括 Bumping、晶圆级封装、FC-BGA、汽车电子的 QFP 等新的产品线。

图27:甬矽电子主要产品路线



资料来源:甬矽电子招股书,甬兴证券研究所

在先进封装方面，甬矽电子近年来技术研发速度加快，储备一系列与 CoWoS 封装相关的技术。根据公司招股书，2020 年，甬矽电子投入 193.89 万元，完成关于重布线层 (RDL) 芯片铜线以及基于 Interposer 应用 SiP 系统级封装的相关技术研发；2021 年，公司投入 437.1 万元，已完成关于叠封装芯片 Overhang 球焊打线能力的研究；2022 年，公司投入 186.95 万元，正研发堆叠封装 (PoP) 技术。从技术储备上来看，甬矽电子已为后续研发类似 CoWoS 封装技术奠定扎实基础。

表7:甬矽电子关于 CoWoS 封装的相关技术储备

年份	项目	投入金额 (万元)	状态
2019	运算类高散热芯片封装技术开发	160.63	已完成
2019	多层芯片堆叠技术研究	232.02	已完成
2020	RDL 芯片铜线技术建立	193.89	已完成
2020	基于 interposer 应用 SiP 系统级封装技术	228.21	已完成
2021	多芯片平铺超低弧球焊打线能力研究	353.54	已完成
2021	叠封装芯片 Overhang 球焊打线能力研究	437.1	已完成
2022	堆叠封装 (PoP) 技术研发	186.95	在研

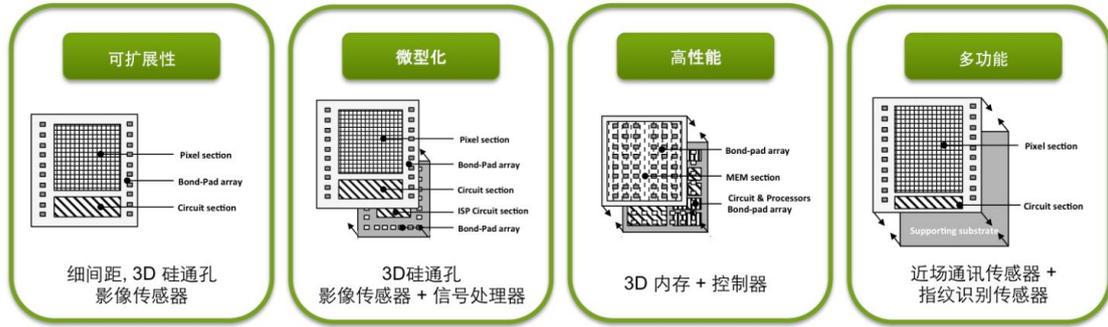
资料来源：甬矽电子招股书，甬兴证券研究所

3.4. 晶方科技：CIS 封装龙头，拥有晶圆级 TSV 技术能力

专注传感器封装，具备晶圆级封装能力。根据公司公告，公司专注于传感器领域的封装测试业务，拥有多样化的先进封装技术，同时具备 8 英寸、12 英寸晶圆级芯片尺寸封装技术规模量产封装线，涵盖晶圆级到芯片级的一站式综合封装服务能力，为全球晶圆级芯片尺寸封装服务的主要提供者与技术引领者。封装产品主要包括图像传感器芯片、生物身份识别芯片、MEMS 芯片等，该等产品广泛应用在手机、安防监控、身份识别、汽车电子、3D 传感等电子领域。

公司拥有 8 英寸和 12 英寸 TSV 封装能力。根据公司官网，晶方科技率先投资了 TSV 技术，并开发了完整的晶圆级 CSP 封装工艺，晶圆级 TSV 封装是真正的“中道”技术。2012 年，晶方科技做出战略投资决策，建立了国内首条 300 毫米“中道”TSV 规模化量产生产线，结合晶圆级封装，倒装和嵌入式技术，为 2.5D 和 3D 先进封装的需求提供解决方案。根据投资者互动平台，晶方科技在 2005 进入 TSV 先进封装技术领域，经过多年发展公司在此领域拥有技术、工艺、市场及知识产权等方面的显著领先优势，同时拥有 8 英寸和 12 英寸 TSV 封装能力，已大规模商业化应用到 CIS、MEMS、射频等市场应用。汀兰巷及长阳街厂区都致力于为客户提供晶圆级 TSV 等先进封装技术服务，另外长阳厂区还提供 FAN-OUT、LGA 等芯片级封装及模块服务。我们认为，公司具备较强晶圆级 TSV 封装能力，有望在 2.5D/3D 等先进封装需求攀升过程中持续受益。

图28:晶方科技在 TSV 推进研发



资料来源: 晶方科技官网, 甬兴证券研究所

4. 风险提示

1) 中美贸易摩擦加剧的风险

未来若中美摩擦加剧，美方加大对国内企业的制裁力度，则存在部分公司的经营受到较大影响的风险。

2) 下游终端需求不及预期的风险

未来若下游终端需求不及预期，则存在产业链相关公司业绩发生较大波动的风险。

3) 国产替代不及预期的风险

未来若国产替代不及预期，则存在国内企业的业绩面临承压的风险。

分析师声明

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格并注册为证券分析师，以勤勉尽责的职业态度，专业审慎的研究方法，独立、客观地出具本报告，保证报告采用的信息均来自合规渠道，并对本报告的内容和观点负责。负责准备以及撰写本报告的所有研究人员在此保证，本报告所发表的任何观点均清晰、准确、如实地反映了研究人员的观点和结论，并不受任何第三方的授意或影响。此外，所有研究人员薪酬的任何部分不曾、不与、也将不会与本报告中的具体推荐意见或观点直接或间接相关。

公司业务资格说明

甬兴证券有限公司经中国证券监督管理委员会核准，取得证券投资咨询业务许可，具备证券投资咨询业务资格。

投资评级体系与评级定义

股票投资评级：	分析师给出下列评级中的其中一项代表其根据公司基本面及（或）估值预期以报告日起 6 个月内公司股价相对于同期市场基准指数表现的看法。
买入	股价表现将强于基准指数 20%以上
增持	股价表现将强于基准指数 5-20%
中性	股价表现将介于基准指数±5%之间
减持	股价表现将弱于基准指数 5%以上
行业投资评级：	分析师给出下列评级中的其中一项代表其根据行业历史基本面及（或）估值对所研究行业以报告日起 12 个月内的基本面和行业指数相对于同期市场基准指数表现的看法。
增持	行业基本面看好，相对表现优于同期基准指数
中性	行业基本面稳定，相对表现与同期基准指数持平
减持	行业基本面看淡，相对表现弱于同期基准指数

相关证券市场基准指数说明：A 股市场以沪深 300 指数为基准；港股市场以恒生指数为基准；新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准指数。

投资评级说明：

不同证券研究机构采用不同的评级术语及评级标准，投资者应区分不同机构在相同评级名称下的定义差异。本评级体系采用的是相对评级体系。投资者买卖证券的决定取决于个人的实际情况。投资者应阅读整篇报告，以获取比较完整的观点与信息，投资者不应以分析师的投资评级取代个人的分析与判断。

特别声明

在法律许可的情况下，甬兴证券有限公司（以下简称“本公司”）或其关联机构可能会持有报告中涉及的公司所发行的证券或期权并进行交易，也可能为这些公司提供或争取提供投资银行、财务顾问以及金融产品等各种服务。因此，投资者应当考虑到本公司或其相关人员可能存在影响本报告观点客观性的潜在利益冲突，投资者请勿将本报告视为投资或其他决定的唯一参考依据。也不应当认为本报告可以取代自己的判断。

版权声明

本报告版权属于本公司所有，属于非公开资料。本公司对本报告保留一切权利。未经本公司事先书面许可，任何机构或个人不得以任何形式翻版、复制、转载、刊登和引用本报告中的任何内容。否则由此造成的一切不良后果及法律责任由私自翻版、复制、转载、刊登和引用者承担。

重要声明

本报告由本公司发布，仅供本公司的客户使用，且对于接收人而言具有保密义务。本公司并不因相关人员通过其他途径收到或阅读本报告而视其为本公司的客户。客户应当认识到有关本报告的短信提示、电话推荐及其他交流方式等只是研究观点的简要沟通，需以本公司发布的完整报告为准，本公司接受客户的后续问询。本报告首页列示的联系人，除非另有说明，仅作为本公司就本报告与客户的联络人，承担联络工作，不从事任何证券投资咨询服务业务。

本报告中的信息均来源于我们认为可靠的已公开资料，本公司对这些信息的真实性、准确性及完整性不作任何保证。本报告中的信息、意见等均仅供客户参考，该等信息、意见并未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。客户应当对本报告中的信息和意见进行独立评估，并应同时思量各自的投资目的、财务状况以及特定需求，必要时就法律、商业、财务、税收等方面咨询专家的意见。客户应自主作出投资决策并自行承担投资风险。本公司特别提示，本公司不会与任何客户以任何形式分享证券投资收益或分担证券投资损失，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。市场有风险，投资须谨慎。对依据或者使用本报告所造成的一切后果，本公司和关联人员均不承担任何法律责任。

本报告所载的意见、评估及预测仅反映本公司于发布本报告当日的判断。该等意见、评估及预测无需通知即可随时更改。过往的表现亦不应作为日后表现的预示和担保。在不同时期，本公司可发出与本报告所载意见、评估及预测不一致的研究报告。本公司不保证本报告所含信息保持在最新状态。同时，本公司的销售人员、交易人员以及其他专业人士可能会依据不同假设和标准、采用不同的分析方法而口头或书面发表与本报告意见及建议不一致的市场评论或交易观点。本公司没有将此意见及建议向报告所有接收者进行更新的义务。投资者应当自行关注相应的更新或修改。