

电子

深度报告

领先大市-A(维持)

先进封装大势所趋，国产供应链机遇大于挑战

2024年6月17日

行业研究/行业深度分析

电子板块近一年市场表现



资料来源：最闻

相关报告：

【山证电子】山西证券电子行业周跟踪：WSTS上调全球半导体市场规模，看好周期底+政策链布局机会 2024.6.12

【山证电子】3440亿国家大基金三期落地，台积电扩张先进制程和先进封装产能-山西证券电子行业周跟踪 2024.6.3

分析师：

高宇洋

执业登记编码：S0760523050002

邮箱：gaoyuyang@sxzq.com

傅盛盛

执业登记编码：S0760523110003

邮箱：fushengsheng@sxzq.com

徐怡然

执业登记编码：S0760522050001

邮箱：xuyiran@sxzq.com

投资要点：

➢ **摩尔定律面临一系列瓶颈。**摩尔定律指引过去五十多年全球半导体行业的发展，但当前也面临着一系列瓶颈。（1）芯片内单个晶体管大小逼近原子极限，硅芯片将达到物理极限；（2）当栅极宽度小于5nm时，将会产生隧道效应，电子会自行穿越通道，从而造成“0”、“1”逻辑错误；（3）单位面积的功耗会由于晶体管集成度提高而提高，温度太高影响晶体管性能；（4）5nm制程的芯片设计需要超过5亿美元成本，制造成本更高。

➢ **先进封装是超越摩尔定律、提升芯片性能的关键。**先进封装也称为高密度封装，通过缩短I/O间距和互联长度，提高I/O密度，进而实现芯片性能的提升。相比传统封装，先进封装拥有更高的内存带宽、能耗比、性能，更薄的芯片厚度，可以实现多芯片、异质集成、芯片之间高速互联。英伟达从2020年开始采用台积电CoWoS技术封装其A100 GPU系列产品，相比上一代产品V100，A100在BERT模型的训练上性能提升6倍，BERT推断时性能提升7倍。Bump、RDL、TSV、Hybrid Bonding是实现先进封装的关键技术。WLP、2.5D、3D是当前主流的几种先进封装技术。

➢ **先进封装大势所趋，AI加速其发展。**先进封装技术的应用范围广泛，涵盖了移动设备、高性能计算、物联网等多个领域。现代智能手机中大量使用了CSP和3D封装技术，以实现高性能、低功耗和小尺寸的目标；在高性能计算领域，2.5D和3D集成技术被广泛应用于处理器和存储器的封装，显著提升了计算性能和数据传输效率。Yole预计，全球先进封装市场规模有望从2023年的468.3亿美元增长到2028年的785.5亿美元。得益于AI对高性能计算需求的快速增长，通信基础设施是先进封装增长最快的领域，2022-2028年预计实现17%的复合增长。

➢ **内资封测厂商积极布局先进封装，国产设备、材料环节持续获得技术突破。**封装，海外Foundry在2.5D/3D封装、混合键合等技术方面较为领先；内资封测厂更熟悉后道环节、异质异构集成，因此在SiP、WLP等技术相对有优势，同时也在积极布局2.5D/3D、Chiplet等。**设备**，相较于先进制造，先进封装对制程节点要求不高，国产设备基本具备前段核心工艺与后段封装测试的自主发展能力与进口替代潜力。**材料**，关键材料性能要求升级，国产厂商在电镀液、CMP材料、光刻胶、掩膜版、剥离液、环氧塑封料、硅微粉、玻璃基板等领域替代在加快。

➢ **投资建议：封装环节**建议关注长电科技、通富微电、华天科技、晶方科技、甬矽电子、顾中科技、汇成股份等。**设备环节**建议关注北方华创、中微公司、拓荆科技、芯源微、盛美上海、华海清科、芯碁微装、中科飞测等。**材料环节**建议关注上海新阳、安集科技、鼎龙股份、华海诚科、联瑞新材、艾森股份、沃格光电等。

风险提示：需求波动风险、竞争加剧风险、研发进展不及预期风险、国际政治贸易风险等。



请务必阅读最后一页股票评级说明和免责声明

1



目录

1. 先进封装提升芯片性能，Bump、RDL、TSV 等技术赋能 AP.....	5
1.1 封装是半导体后道制程，主要起芯片保护、连接作用.....	5
1.2 Bump、RDL、TSV、混合键合技术赋能先进封装.....	6
1.3 WLP、2.5D、3D 是当前主流的几种先进封装.....	11
2. 先进封装大势所趋，2028 年全球市场规模有望 785.5 亿美元.....	13
2.1 摩尔定律面临瓶颈，先进封装大势所趋.....	13
2.2 2028 年全球市场规模有望 785.5 亿美元，通信基础设施领域增长最快.....	15
2.3 算力时代，先进封装有望迎来加速发展.....	16
3. 产业链梳理.....	17
3.1 封装环节：Foundry 与 OSAT 各有侧重，内资厂商积极布局先进封装.....	17
3.2 设备环节：国产设备持续突破，进口替代进程加速.....	19
3.3 材料环节：关键材料性能要求升级，高端品类国产化空间巨大.....	23
4. 投资建议与风险提示.....	31
4.1 投资建议.....	31
4.2 风险提示.....	31

图表目录

图 1：半导体产业链分设计、制造、封装和测试.....	5
图 2：半导体封装的四大作用.....	5
图 3：先进封装拥有更高的内存带宽、能耗比.....	7
图 4：Bump、RDL、TSV 是实现先进封装关键技术.....	7
图 5：应用于 CoWoS、InFo 等先进封装中的 Bump.....	7
图 6：当前，先进封装凸块间距已经到 20-10 μ m.....	7
图 7：RDL 起着 XY 平面电气延伸和互联的作用.....	8
图 8：RDL 转接层在 CoWoS-R 中的应用.....	8
图 9：TSV 应用于 2.5D/3D 封装.....	9



图 10: 贯穿芯片体的 3D TSV 的立体示意图.....	9
图 11: 传统 bump 键合 VS 铜对铜直接连接.....	10
图 12: 混合键合没有凸块, 直接铜对铜键合.....	10
图 13: 不同键合方式连接密度.....	10
图 14: 混合键合可以提供更高的互连密度.....	10
图 15: 扇入式 (a) 和扇出式 (b) WLP 对比.....	11
图 16: 扇入式 (a) 和扇出式 (b) WLP 对比.....	11
图 17: 2.5D 的 CoWoS 封装.....	12
图 18: 2.5D 的 EMIB 封装.....	12
图 19: 海力士 HBM 内存堆叠采用 3D 封装技术.....	12
图 20: 芯片上集成的晶体管数量一直在快速增长.....	13
图 21: 半导体制造工艺持续升级.....	13
图 22: 摩尔定律面临放缓.....	14
图 23: 5nm 制程的芯片设计成本超过 5 亿美元.....	14
图 24: 先进封装是超越摩尔定律的关键.....	14
图 25: 台积电 CoWoS-L 技术.....	14
图 26: 全球先进封装市场规模, 亿美元.....	15
图 27: 2028 年先进封装预计占封装市场 54.8%.....	15
图 28: 先进封装市场格局集中.....	16
图 29: 2022-2028 年, 下游通信领域复合增速最高.....	16
图 30: 2023 年大预言模型开始爆发.....	16
图 31: 全球 AI 服务器出货量预计, 万台.....	16
图 32: 采用 CoWoS 封装的英伟达 A100.....	17
图 33: 英伟达 A100 CoWoS 封装切面图.....	17
图 34: 先进封装市场格局集中.....	18
图 35: OSAT 与 IDM、晶圆代工厂技术布局有差异.....	18



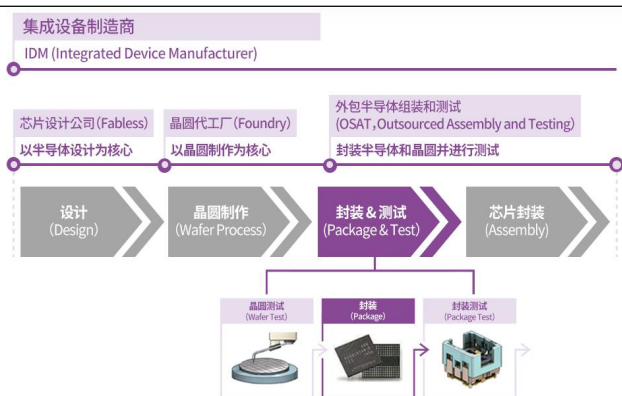
图 36: 先进封装核心技术处于前后制程交叉区域.....	19
图 37: 倒片封装凸点制作过程.....	20
图 38: 重布线层制作过程.....	20
图 39: TSV 技术工艺流程.....	21
图 40: W2W 与 D2W 工艺流程.....	21
图 41: 先进封装设备体系.....	22
图 42: 铜柱凸点结构图.....	24
图 43: TSV 工艺流程中的铜填充.....	24
图 44: 硫酸铜镀液中的电镀反应.....	24
图 45: 整平剂效果对比.....	24
图 46: CMP 抛光工作原理.....	25
图 47: CMP 抛光工艺示意图.....	25
图 48: CMP 抛光液组成成分.....	26
图 49: TSV 阻挡层去除原理.....	26
图 50: HB 工艺流程中的磨平露铜环节.....	26
图 51: 发泡聚氨酯硬垫电镜微孔断层表面.....	27
图 52: 光刻工序原理图.....	28
图 53: 光刻去胶工序原理图.....	28
图 54: 环氧塑封料与底填胶应用场景.....	29
图 55: 不规则角形硅微粉图示.....	29
图 56: 球形硅微粉图示.....	29
图 57: 应用玻璃基与 TGV 技术的三维异质集成结构.....	30
表 1: 全球集成电路封装技术经历了五个发展阶段.....	6
表 2: RDL 在头部 OSAT、Foundry 厂主要产品中的应用.....	8

1. 先进封装提升芯片性能，Bump、RDL、TSV 等技术赋能 AP

1.1 封装是半导体后道制程，主要起芯片保护、连接作用

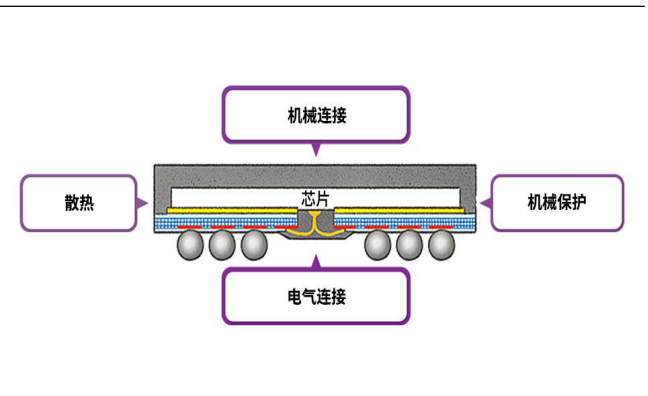
半导体封装主要有机械保护、电气连接、机械连接和散热四大功能。半导体产业链可以分为 IC 设计、晶圆制造（前道工艺）、封装测试（后道工艺）三个核心环节。半导体封装，指用特定材料、工艺技术将芯片密封在塑料、金属或陶瓷等材料制成的封装体内，从而保护芯片免受物理性和化学性损坏。通过封装，还可以使芯片能够与其他电子元件进行连接，实现信息的输入输出。半导体封装主要有机械保护、电气连接、机械连接和散热四大功能。芯片封装完成后，需要进行性能测试，以确保封装的芯片符合性能要求。

图 1：半导体产业链分设计、制造、封装和测试



资料来源：海力士官网、HANOL 出版社、山西证券研究所

图 2：半导体封装的四大作用



资料来源：海力士官网、HANOL 出版社、山西证券研究所

集成电路封装技术的发展可分为四个阶段。第一阶段是 20 世纪 70 年代开始应用的通孔插装技术；第二阶段是 20 世纪 80 年代的贴片式封装技术；第三阶段是 20 世纪 90 年代开始应用的 BGA、WLP、CSP 技术；第四阶段是 20 世纪末开始的 MCM、SIP、3D 堆叠、Bumping 等；第五阶段是 20 世纪前 10 年开始应用的 SoC、MEMS、TSV、FC、SAB、Fan-Out、Fan-in 等技术。

表 1：全球集成电路封装技术经历了五个发展阶段

阶段	时间	封装	具体典型的封装形式
第一阶段	20 世纪 70 年代以前	通孔插装型封装	晶体管封装 (TO)、陶瓷双列直插封装 (CDIP)、塑料双列直插封装 (PDIP)
第二阶段	20 世纪 80 年代以后	表面贴装型封装	塑料有引线片式载体封装 (PLCC)、塑料四边引线扁平封装 (PQFP)、小外形表面封装 (SOP)、无引线四边扁平封装 (PQFN)、小外形晶体管封装 (SOT)、双边扁平无引脚封装 (DFN)
第三阶段	20 世纪 90 年代	球栅阵列封装 (BGA)	塑料焊球阵列封装 (PBGA)、陶瓷焊球阵列封装 (CBGA)、带散热器焊球阵列封装 (EBGA)、倒装芯片焊球阵列封装 (FC-BGA)
		晶圆级封装 (WLP)	
第四阶段	20 世纪末开始	芯片级封装 (CSP)	引线框架 CSP 封装、柔性插入板 CSP 封装、刚性插入板 CSP 封装、圆片级 CSP 封装
		多芯片组封装 (MCM)	多层陶瓷基板 (MCM-C)、多层薄膜基板 (MCM-D)、多层印制板 (MCM-L)
			系统级封装 (SiP)
第五阶段	21 世纪前 10 年开始		三维立体封装 (3D)
			芯片上制作凸点 (Bumping)
			微电子机械系统封装 (MEMS)
			晶圆级系统封装-硅通孔 (TSV)
			倒装焊封装 (FC)
			表面活化室温连接 (SAB)
		扇外型集成电路封装 (Fan-Out)	
		扇入型集成电路封装 (Fan-in)	

资料来源：甬矽电子招股书、山西证券研究所

1.2 Bump、RDL、TSV、混合键合技术赋能先进封装

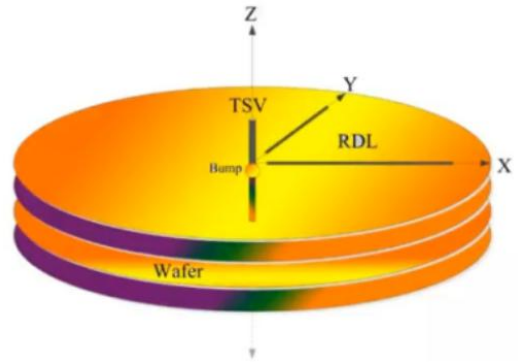
先进封装 (Advanced Packaging, AP) 也称为高密度封装, 通过缩短 I/O 间距和互联长度, 提高 I/O 密度, 进而实现芯片性能的提升。相比传统封装, 先进封装拥有更高的内存带宽、能耗比、性能, 更薄的芯片厚度, 可以实现多芯片、异质集成、芯片之间高速互联。Bump、RDL、TSV、Hybrid Bonding 等是实现先进封装的关键技术。

图 3：先进封装拥有更高的内存带宽、能耗比

指标	传统封装	FO WLP	2.5D/3D
内存带宽	低	中	高
能耗比	低	高	高
芯片厚度	高	低	中
芯片发热	中	低	高
封装成本	低	中	高
性能	低	中	高
形态	平面、芯片之间缺乏高速互联	多芯片、异质集成、芯片之间高速互联	

资料来源：《人工智能芯片先进封装技术》、山西证券研究所

图 4：Bump、RDL、TSV 是实现先进封装关键技术

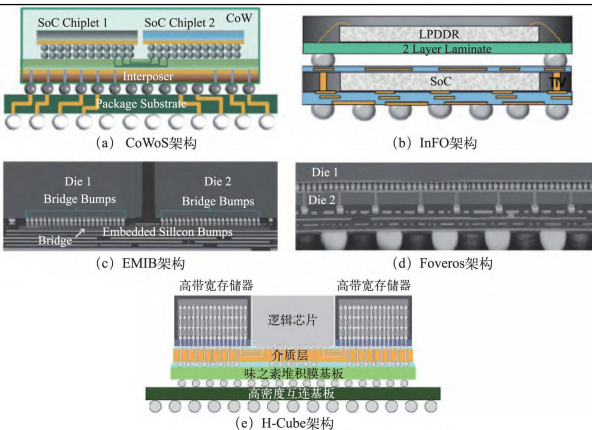


资料来源：CEIA 电子智造、山西证券研究所

凸块 (Bump)

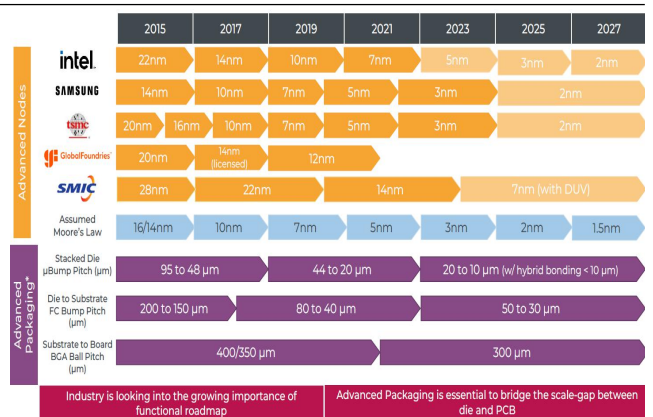
传统封装的电路连接主要依赖引线框架，先进封装的电路连接则主要通过凸块完成。通过在芯片表面制作金属凸块，提供芯片电气互连的“点”接口，反应了先进制程以“以点代线”的发展趋势。Bump 技术以几何倍数提高了单颗芯片引脚数的物理上限，进而大幅提高了芯片封装的集成度、缩小了模组体积，广泛应用于 WLP、CSP、2.5D/3D 等先进封装。随着工艺技术的发展，Bump 的尺寸和间距也变得越来越小。

图 5：应用于 CoWoS、InFo 等先进封装中的 Bump



资料来源：《先进封装中凸点技术的研究进展》、山西证券研究所

图 6：当前，先进封装凸块间距已经到 20-10 μm

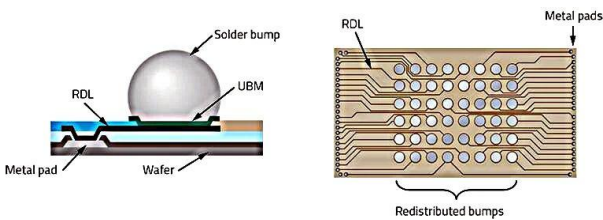


资料来源：Yole 《Technology & Market Trends for Advanced Packaging》(Yole)、山西证券研究所

重布线层 (Redistribution Layer, RDL)

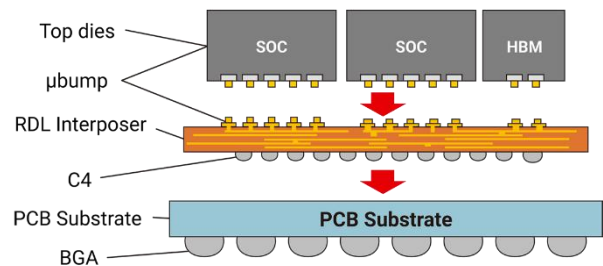
RDL 是在晶圆表面沉积金属层和介质层并形成相应的金属布线图形，来对芯片的 I/O 端口进行重新布局，将其布置到新的、节距占位可更为宽松的区域，其主要作用是 XY 平面电气延伸和互联。RDL 去除了昂贵且耗时的键合工艺，同时可以大幅提高 I/O 密度，改善电气性能和减少芯片面积。

图 7: RDL 起着 XY 平面电气延伸和互联的作用



资料来源: CINNO 公众号、山西证券研究所

图 8: RDL 转接层在 CoWoS-R 中的应用



资料来源: 台积电官网、山西证券研究所

RDL 广泛应用于 FIWLP、FOWLP、2.5D/3D 等先进封装。(1) FIWLP、FOWLP 封装，RDL 将 IO Pad 进行扇入或者扇出，形成不同类型的晶圆级封装。(2) 2.5D 封装，RDL 将网络互联并分布到不同的位置，从而将硅基板上方的芯片的 Bump 和基板下方的 Bump 连接。(3) 3D 封装，如果堆叠上下是不同类型的芯片，需要通过 RDL 将上下层芯片的 IO 进行对准，从而完成电气互联。

表 2: RDL 在头部 OSAT、Foundry 厂主要产品中的应用

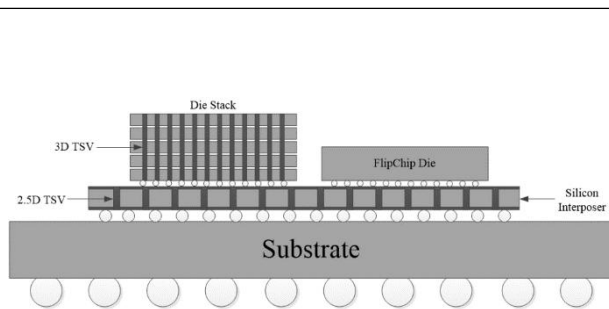
企业	FC	WLP	2.5/3D	Chiplet	RDL
日月光	✓	✓	✓	✓	>6 层 L/S 1-1.5 μm
安靠	✓	✓	✓	✓	>4 层 L/S 1-2 μm
台积电	✓	✓	✓	✓	6-14 层 L/S 2 μm 及以下
三星	✓	✓	✓	✓	>4 层 L/S 2 μm
长电科技	✓	✓	✓	✓	5 层 L/S 2 μm
通富微电	✓	✓	✓	✓	5 层 L/S 2 μm
华天科技	✓	✓	✓	✓	>4 层 L/S 2 μm

资料来源: 未来半导体公众号、山西证券研究所

硅通孔 (Through Silicon Via, TSV)

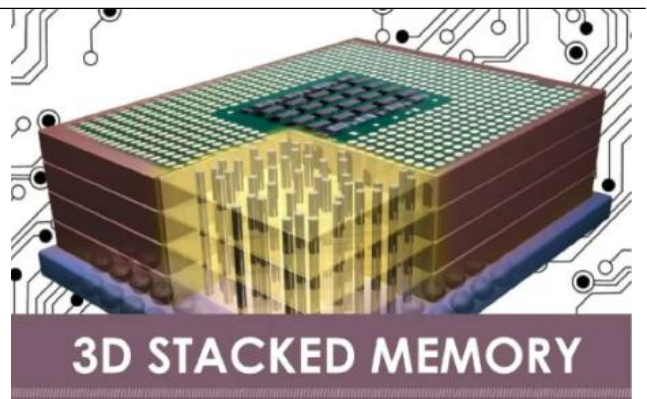
TSV 是一种垂直互连技术。国际半导体技术路线蓝图将 TSV 定义为连接硅晶圆两面并与硅衬底和其他通孔绝缘的电互连结构。相比平面互连，TSV 可以减小互连长度和信号延迟，降低寄生电容和电感，实现芯片间的低功耗和高速通信，增加宽带、提高集成度、实现封装小型化。TSV 按照集成类型的不同分为 2.5D TSV 和 3D TSV。2.5D TSV 指位于硅转接板 Inteposer 上的 TSV；3D TSV 指贯穿芯片体之中，连接上下层芯片的 TSV。

图 9：TSV 应用于 2.5D/3D 封装



资料来源：CEIA 电子智造公众号、山西证券研究所

图 10：贯穿芯片体的 3D TSV 的立体示意图

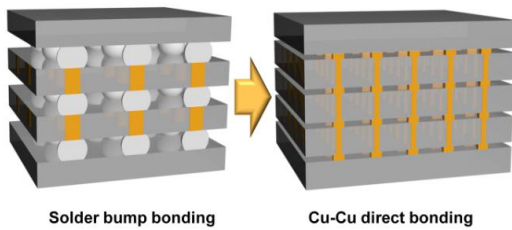


资料来源：MCT 迈铸半导体公众号、山西证券研究所

混合键合（Hybrid Bonding, HB）

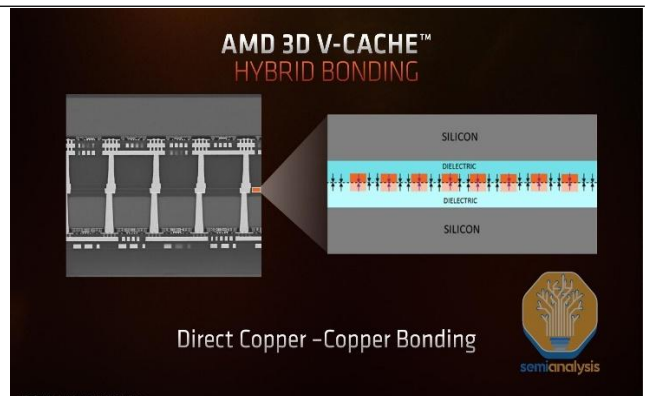
混合键合是对 **Bump** 技术的进一步升级。Bump 技术中，当接触间距减小到 $10\mu\text{m}$ 左右时，凸点尺寸的减小会增加金属间化合物（IMC）形成的风险，从而降低导电性和机械性能。混合键合又称为直接键合互连（Direct Bond Interconnect, DBI），通过两个芯片覆盖介电材料如二氧化矽(SiO_2)，介电材料嵌入与芯片相连的铜接点，接着将两芯片接点面对合，再进行热处理让两芯片铜接点受热膨胀对接。混合键合最大的特点是无凸块，它从基于焊料的凸块技术转向直接铜对铜连接。

图 11：传统 bump 键合 VS 铜对铜直接连接



资料来源：未来半导体公众号、Rlab、山西证券研究所

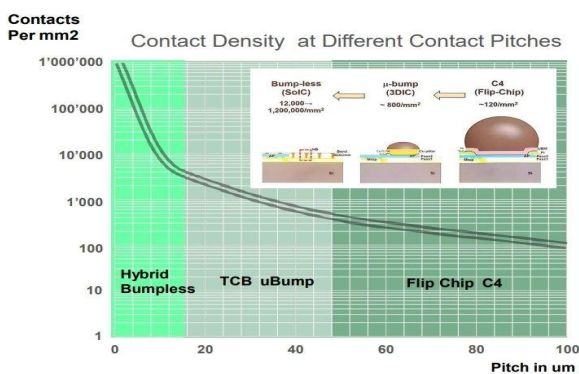
图 12：混合键合没有凸块，直接铜对铜键合



资料来源：semianalysis 网站、山西证券研究所

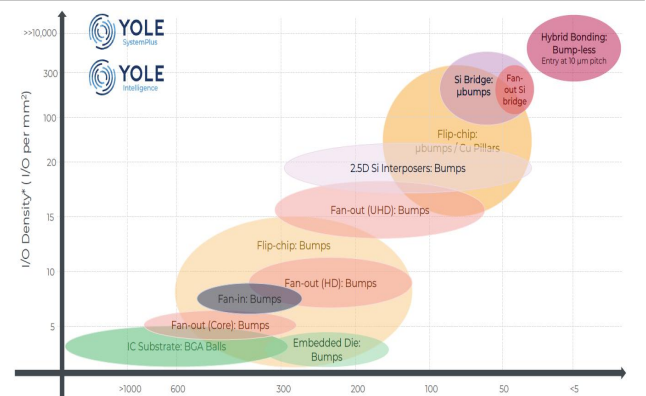
混合键合可以提供更高的互连密度和键合可靠性。(1) 相较 Bump 技术，混合键合最大优势是缩小接点间距，Bump 键合最小接点间距约 $10\mu\text{m}$ ，混合键合能缩小至 $1\mu\text{m}$ 甚至更低。(2) 芯片更小接点间距意味相同尺寸，混合键合能做出更多 I/O 接点，甚至能在 1cm^2 芯片做出百万个 I/O 接点，相较传统覆晶焊锡接合，接点数能提升千倍以上。(3) 铜-铜触点间以分子尺度融合，取消了焊料连接，因此避免了与焊料相关的问题，实现键合可靠性的提高。

图 13：不同键合方式连接密度



资料来源：半导体行业观察公众号、technews、山西证券研究所

图 14：混合键合可以提供更高的互连密度



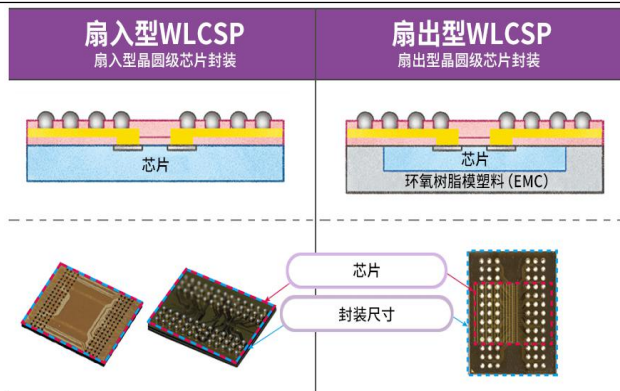
资料来源：《Advanced Packaging Market and Technology Trends》(Yole)、山西证券研究所

1.3 WLP、2.5D、3D 是当前主流的几种先进封装

晶圆级封装（Wafer Level Chip Scale Packaging, WLP）

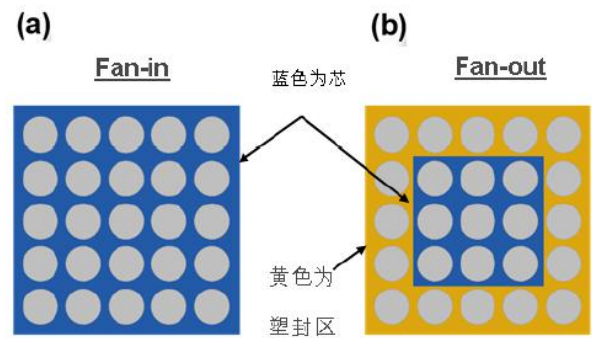
WLP 指在晶圆前道工序完成后，直接对晶圆进行封装，再切割分离成单一芯片，WLP 封装后的芯片尺寸和裸芯片几乎一致，符合消费类电子产品轻、小、短、薄化的市场趋势，且具有低成本、散热佳等优点。WLP 有 Fan-in（扇入式）和 Fan-Out（扇出式）两种类型。FIWLP（Fan-in WLP）尺寸与芯片本身尺寸相同，不足是 I/O 数量一般较少。FOWLP（Fan-Out WLP）实现在芯片面积范围外充分利用 RDL 做连接，相比同面积的 FIWLP，FOWLP 拥有更多引脚数。

图 15：扇入式（a）和扇出式（b）WLP 对比



资料来源：海力士官网、HANOL 出版社、山西证券研究所

图 16：扇入式（a）和扇出式（b）WLP 对比

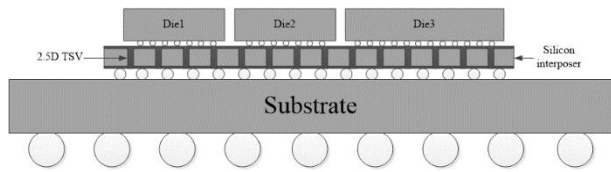


资料来源：《先进封装技术综述》、山西证券研究所

2.5D 封装

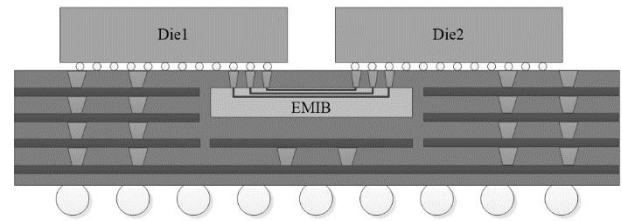
2.5D 封装有两种类型。一种是通过中介层实现芯片和基板的连接，先在中介层上层封装芯片、再将中介层封装在封装基板上的一种封装工艺，中介层是一块拥有 TSV 和 RDL 布线的晶圆，典型代表是台积电的 CoWoS。另一种是通过“桥”在相邻芯片之间建立连接，首先用具有高 I/O 密度的硅块作为“桥梁”，其次将“桥”嵌入封装基板的空腔内，典型代表是英特尔的 EMIB 封装。

图 17: 2.5D 的 CoWoS 封装



资料来源：萨科微半导体官网、山西证券研究所

图 18: 2.5D 的 EMIB 封装



资料来源：萨科微半导体官网、山西证券研究所

3D 封装

3D 封装指通过 TSV 技术，实现多个芯片垂直堆叠并互连。3D 封装中，芯片相互靠得很近，所以延迟会更少，此外互连长度的缩短，能减少相关寄生效应，使器件以更高的频率运行，从而转化为性能改进，并更大程度的降低成本。HBM 中的内存堆叠、HMC、3D NAND Stack、3D Fabric、Foveros Direct 等属于 3D 封装。

图 19: 海力士 HBM 内存堆叠采用 3D 封装技术



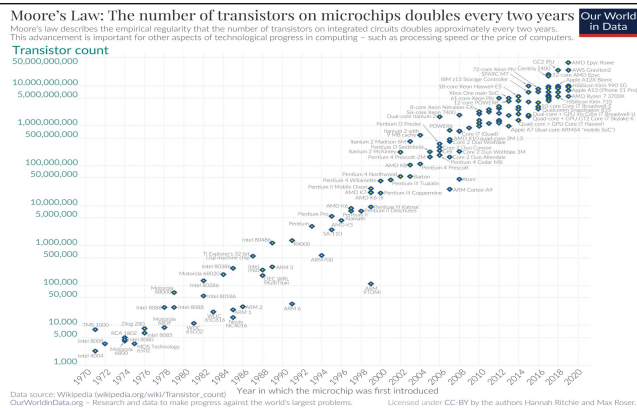
资料来源：海力士官网、山西证券研究所

2. 先进封装大势所趋，2028 年全球市场规模有望 785.5 亿美元

2.1 摩尔定律面临瓶颈，先进封装大势所趋

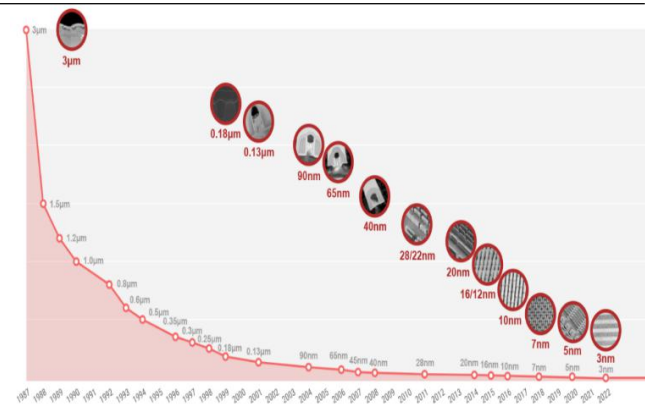
摩尔定律指引过去五十多年全球半导体行业的发展。摩尔定律（Moore's Law）由时任仙童半导体研发总监的戈登·摩尔于 1965 提出，半导体芯片上集成的晶体管数量将每年增加一倍。1975 年，摩尔当时的同事，英特尔高管大卫·豪斯将摩尔定律进一步完善为：在功耗不增加的前提下，每隔 18 个月集成电路单位面积内晶体数量翻倍。过去五十多年，半导体芯片上集成的晶体管数量基本沿着摩尔定律在增加。产业界主要通过工艺制程的创新将越来越多的晶体管整合到更小的芯片上，1970 年半导体加工制程约为 10 μm，2022 年台积电 3nm 制程已经实现量产。

图 20：芯片上集成的晶体管数量一直在快速增长



资料来源：wikipedia 官网、Our World in Data、山西证券研究所

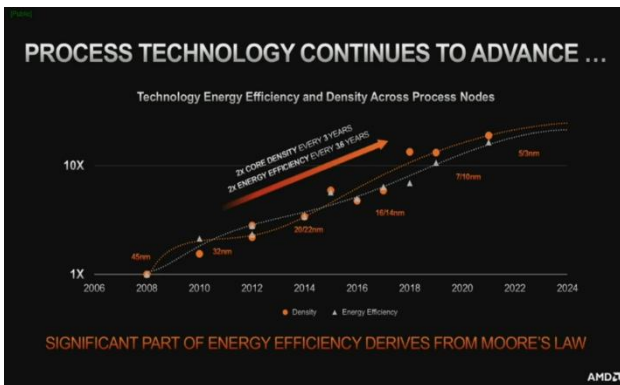
图 21：半导体制造工艺持续升级



资料来源：TSMC 官网、山西证券研究所

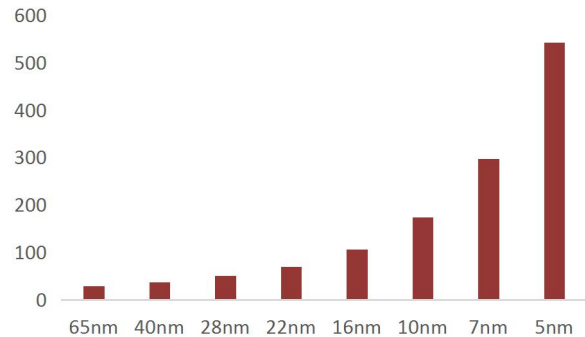
摩尔定律面临放缓和瓶颈。自 2008 年 45nm 节点以来，台积电只能做到每隔 3 年让 AMD 的 CPU 内核晶体管密度翻倍，能效要每隔 3.6 年才能实现翻倍。摩尔定律主要面临以下瓶颈：（1）芯片内单个晶体管大小逼近原子极限，硅芯片将达到物理极限（原子尺直径约为 0.1nm，1nm 的晶体管沟道长度不到 10 个硅原子）；（2）漏电流，当栅极（Gate）的宽度小于 5nm 时，将会产生隧道效应，电子会自行穿越通道，从而造成“0”、“1”逻辑错误；（3）功耗和散热，单位面积的功耗会由于晶体管集成度提高而提高，温度太高影响晶体管性能；（4）成本，5nm 制程的芯片设计需要超过 5 亿美元成本，制造成本更高。

图 22：摩尔定律面临放缓



资料来源：半导体产业研究公众号、AMD、山西证券研究所

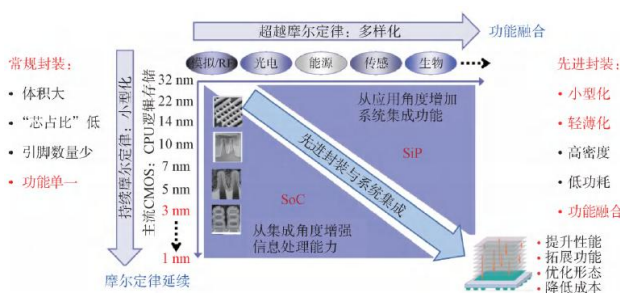
图 23：5nm 制程的芯片设计成本超过 5 亿美元



资料来源：《Technology and Market Trends of High-End Performance Packaging—2.5D & 3D》（Yole、UCIe Consortium）、山西证券研究所

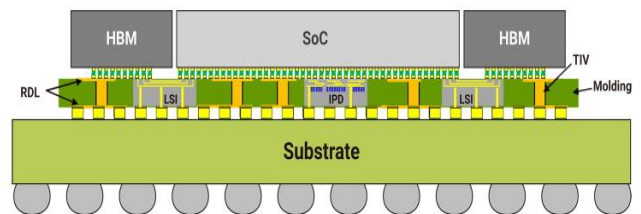
先进封装是超越摩尔定律、提升芯片性能的关键。随着硅芯片将达到物理极限，通过缩小晶体管实现芯片性能提升成本越来越高，以芯粒异质集成为核心的先进封装技术，成为了集成电路发展的关键路径和突破口。相比传统封装，先进封装具有小型化、轻薄化、高密度、低功耗和功能融合等优点，不仅可以提升性能、拓展功能、优化形态、降低成本。目前最有代表性且已经实现大规模量产的先进封装是采用 TSMC CoWoS（Chip-on-Wafer-on-Substrate）封装形式的英伟达 GPU 芯片。

图 24：先进封装是超越摩尔定律的关键



资料来源：《先进封装技术的发展与机遇》、山西证券研究所

图 25：台积电 CoWoS-L 技术

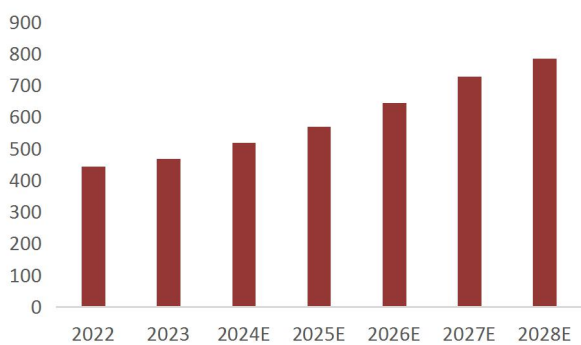


资料来源：TSMC 官网、山西证券研究所

2.2 2028 年全球市场规模有望 785.5 亿美元，通信基础设施领域增长最快

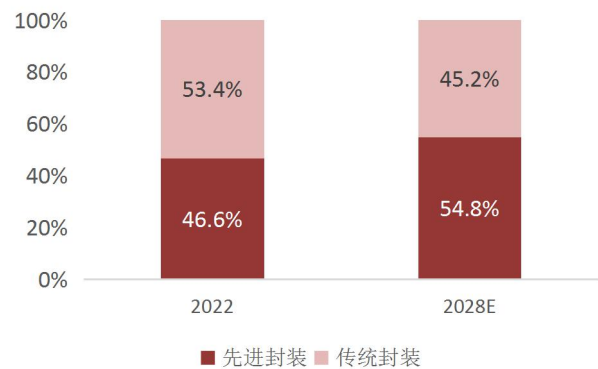
2028 年全球市场规模有望 785.5 亿美元。先进封装技术的应用范围广泛，涵盖了移动设备、高性能计算、物联网等多个领域。现代智能手机中大量使用了 CSP 和 3D 封装技术，以实现高性能、低功耗和小尺寸的目标；在高性能计算领域，2.5D 和 3D 集成技术被广泛应用于处理器和存储器的封装，显著提升了计算性能和数据传输效率。Yole 预计，全球先进封装市场规模有望从 2023 年的 468.3 亿美元增长到 2028 年的 785.5 亿美元。先进封装占封装市场比例预计由 2022 年的 46.6% 提升至 2028 年的 54.8%。

图 26：全球先进封装市场规模，亿美元



资料来源：《Advanced packaging market and technology trend》(Yole)、山西证券研究所

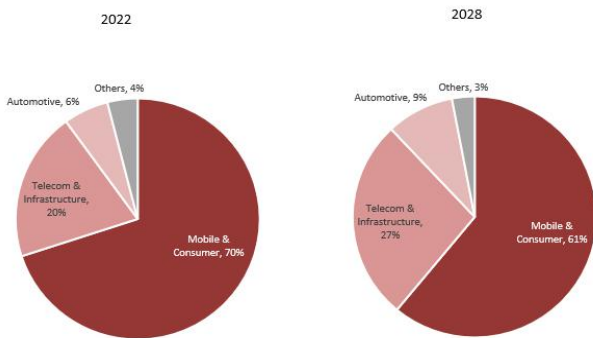
图 27：2028 年先进封装预计占封装市场 54.8%



资料来源：《Advanced Packaging Market and Technology Trends》(Yole)、山西证券研究所

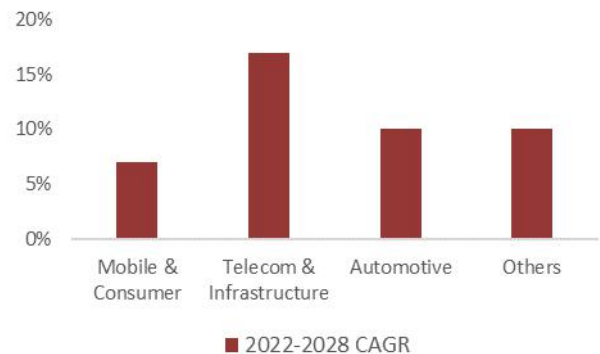
下游手机消费市场占比最大，通信基础设施领域增长最快。Yole 预计，未来手机消费领域仍是先进封装最大的市场，2028 年预计占比 61%，不过相较 2022 年的 70% 有所下降。通信基础设施领域和汽车领域占比有所提升，2028 年预计分别达到 27% 和 9%。从增速看，通信基础设施是先进封装增长最快的领域，2022-2028 年预计实现 17% 的复合增长。

图 28：先进封装市场格局集中



资料来源：《Advanced packaging market and technology trend》(Yole)、山西证券研究所

图 29：2022-2028 年，下游通信领域复合增速最高



资料来源：《Advanced packaging market and technology trend》(Yole)、山西证券研究所

2.3 算力时代，先进封装有望迎来加速发展

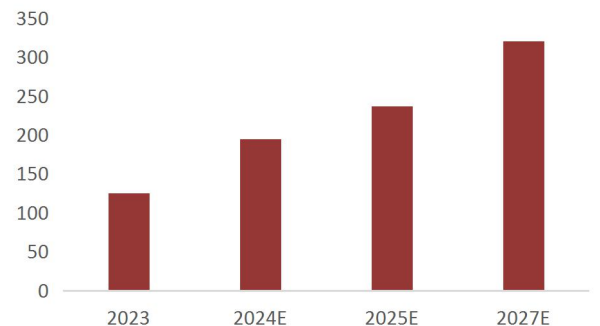
生成式 AI 热潮持续带动全球 AI 服务器出货成长。各大云端服务商正竞相布局大型语言模型 (LLM) 和生成式 AI 应用，如 Open AI 的 ChatGPT、Google 推出 Gemini、Amazon 在训练新的 LLM，以及国内各大厂商的大模型。LLM 和生成式 AI 应用的大发展带动了全球 AI 服务器的需求，MIC 预估，2024 年全球 AI 服务器出货量为 194.2 万台，且将一路成长至 2027 年 320.6 万台，2022-2027 年间年复合成长率(CAGR)为 24.7%，其中包含价格昂贵并采用高端 GPU 的 AI 训练服务器，以及采用中低端 GPU、FPGA、ASIC 的 AI 推理服务器。

图 30：2023 年大预言模型开始爆发



资料来源：《大语言模型综合能力测评报告 2023》(InfoQ 研究中心、新浪财经)、山西证券研究所

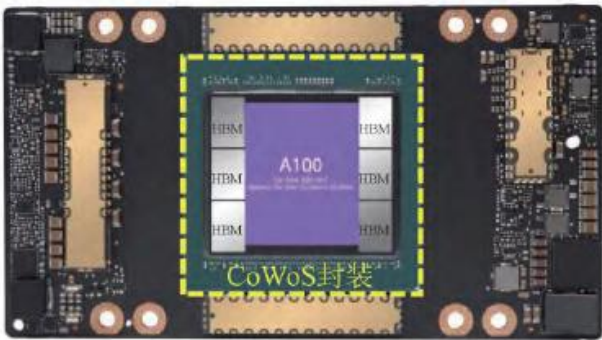
图 31：全球 AI 服务器出货量预计，万台



资料来源：MIC、国际电子商情公众号、Foxconn 工业互联网云网科技公众号、山西证券研究所

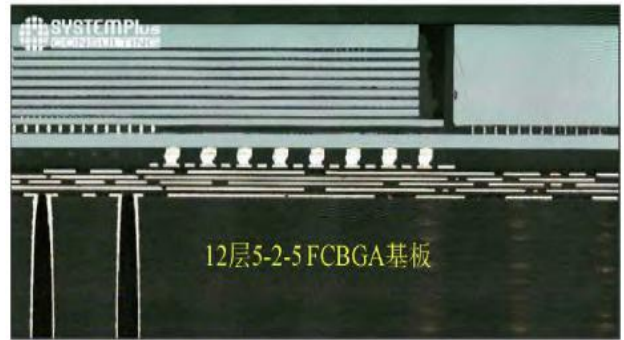
算力时代，先进封装有望迎来加速发展。先进封装可以突破带宽瓶颈，提升芯片性能。存储器的“存储墙”限制了计算芯片性能的发挥，GDDR5 的带宽极限为 32GB/s。由逻辑芯片和多层 DRAM 堆叠而成的 HBM 技术可以突破带宽瓶颈，HBM1 和 HBM2 的带宽分别为 128GB/s 和 256GB/s，HBM3 可突破 1.075TB/s。通过先进封装，如台积电 CoWoS 技术，将 HBM 和处理器集成，可以显著提升芯片性能。英伟达从 2020 年开始采用台积电 CoWoS 技术封装其 A100 GPU 系列产品。随着 AI 及 HPC 等高算力芯片对先进封装技术的需求日益提升，先进封装行业有望迎来加速发展。

图 32：采用 CoWoS 封装的英伟达 A100



资料来源：《先进封装技术的发展与机遇》、山西证券研究所

图 33：英伟达 A100 CoWoS 封装切面图



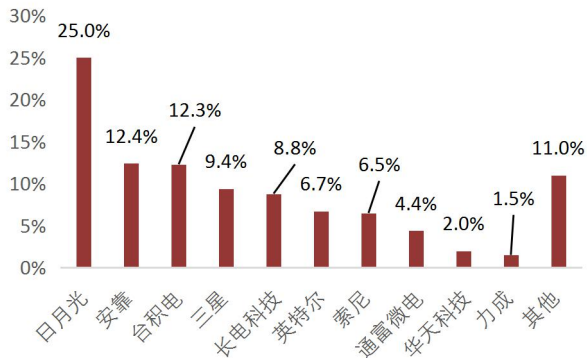
资料来源：《先进封装技术的发展与机遇》、山西证券研究所

3. 产业链梳理

3.1 封装环节：Foundry 与 OSAT 各有侧重，内资厂商积极布局先进封装

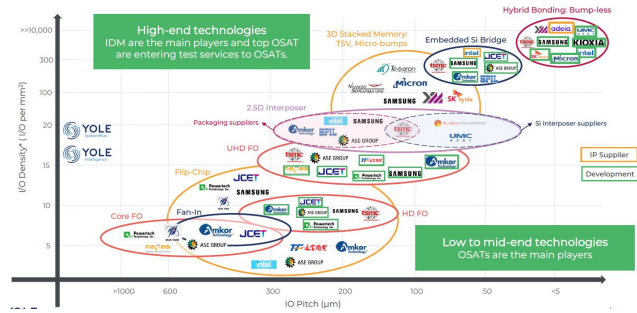
Top 10 厂商先进封装份额 89%，封测厂与晶圆代工厂各有侧重。当前，OSAT、Foundry、IDM 厂商都在大力发展先进封装。Yole 数据显示，2022 年日月光、安靠和台积电分别以 25.0%、12.4%、12.3% 份额位居先进封装市场前三；Top 5 厂商市占率 67.9%，Top 10 厂商份额达到 89%，行业高度集中。从厂商类型看，OSAT、Foundry、IDM 分别占有 65.1%、12.3%、22.6% 份额。IDM、Foundry 由于在前道环节经验更丰富，能更快掌握需要蚀刻等前道步骤的 TSV 技术，在 2.5D/3D 封装、混合键合等技术方面较为领先；OSAT 更熟悉后道环节、异质异构集成，因此在 SiP、WLP 等技术相对有优势。

图 34：先进封装市场格局集中



资料来源：《Advanced packaging market and technology trend》(Yole)、山西证券研究所

图 35：OSAT 与 IDM、晶圆代工厂技术布局有差异



资料来源：《Advanced packaging market and technology trend》(Yole)、山西证券研究所

中国大陆厂商中，长电科技、通富微电、华天科技在先进封装领域相对领先，晶方科技、甬矽电子、颀中科技、汇成股份等公司亦积极布局。

长电科技，公司在 WLP、2.5D/3D、系统级 (SiP) 封装技术方面均有布局。在高性能先进封装领域，公司推出的 XDFOI® Chiplet 高密度多维异构集成系列工艺已按计划进入稳定量产阶段，该技术涵盖 2D、2.5D、3D 集成技术。子公司长电微电子晶圆级微系统集成高端制造项目，计划 2024H1 开始设备进场。该项目聚焦全球领先的 2.5D/3D 高密度晶圆级封装，面向全球高性能、高算力市场。

通富微电，公司在 Chiplet、2D+等封装技术方面均有储备。截至 2023 年 12 月 31 日，公司累计国内外专利申请达 1544 件，先进封装技术布局占比超六成。超大尺寸 2D+封装技术、3 维堆叠封装技术、大尺寸多芯片 chip last 封装技术已通过客户验证。

华天科技，公司持续开展先进封装技术和工艺研发，推进 FOPLP 封装工艺开发和 2.5D 工艺验证，通过汽车级 AECQ100 Grade0 封装工艺验证，具备 3D NAND Flash 32 层超薄芯片堆叠封装能力。

晶方科技，公司是全球将 WLCSP 专注应用在以影像传感器为代表的传感器领域的先行者与引领者，同时拥有领先的硅通孔 (TSV)、WLP、Fanout 等封装技术。

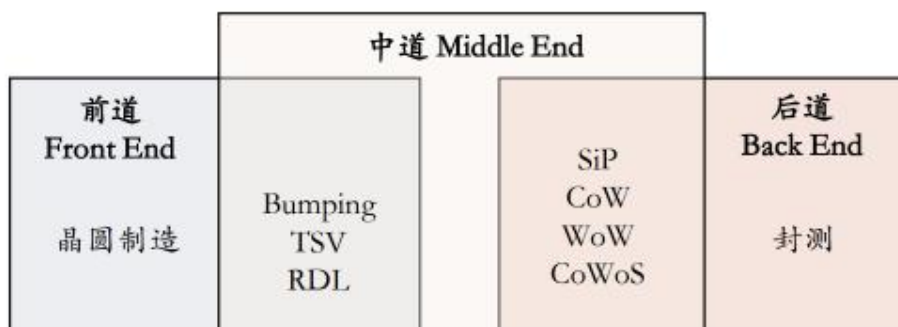
甬矽电子，公司通过实施 Bumping 项目掌握了 RDL 及凸点加工能力，并积极布局扇出式封装 (Fan-out) 及 2.5D/3D 封装工艺。

颀中科技、汇成股份：两家公司在以凸块制造(Bumping)和覆晶封装(FC)为核心的先进封装技术上积累了丰富的丰富经验。

3.2 设备环节：国产设备持续突破，进口替代进程加速

先进封装核心技术融合前后道工序。从流程看，先进封装后段工艺与传统封装相同，区别在于前段工艺引入了 Bumping、RDL、TSV 及 HB 等技术以实现连接优化，通常涉及光刻、刻蚀、电镀、化学机械研磨等前道制造工序，因此先进封装技术本质是前后道工序的交叉与融合。

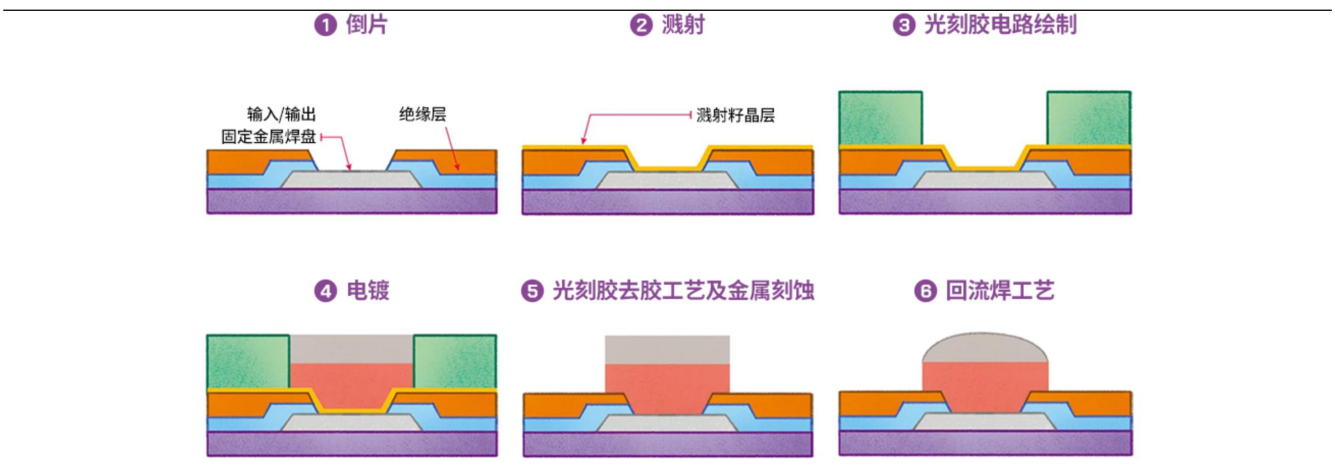
图 36：先进封装核心技术处于前后制程交叉区域



资料来源：艾森股份招股书、山西证券研究所

Bumping 常用的电镀法工艺涉及溅射、光刻、电镀、刻蚀和回流等关键步骤。以倒片封装的铜柱凸点为例，制备工序主要包括：1) 使用 PVD 设备生长出籽晶层；2) 在凸块制作区域进行涂胶、光刻和显影；3) 通过电化学方式镀铜和包裹铜柱的锡银；4) 使用清洗设备去除多余材料，对晶籽层进行刻蚀；5) 利用高温回流设备通过锡银顶端将铜柱与焊盘焊接，最终形成铜凸点。

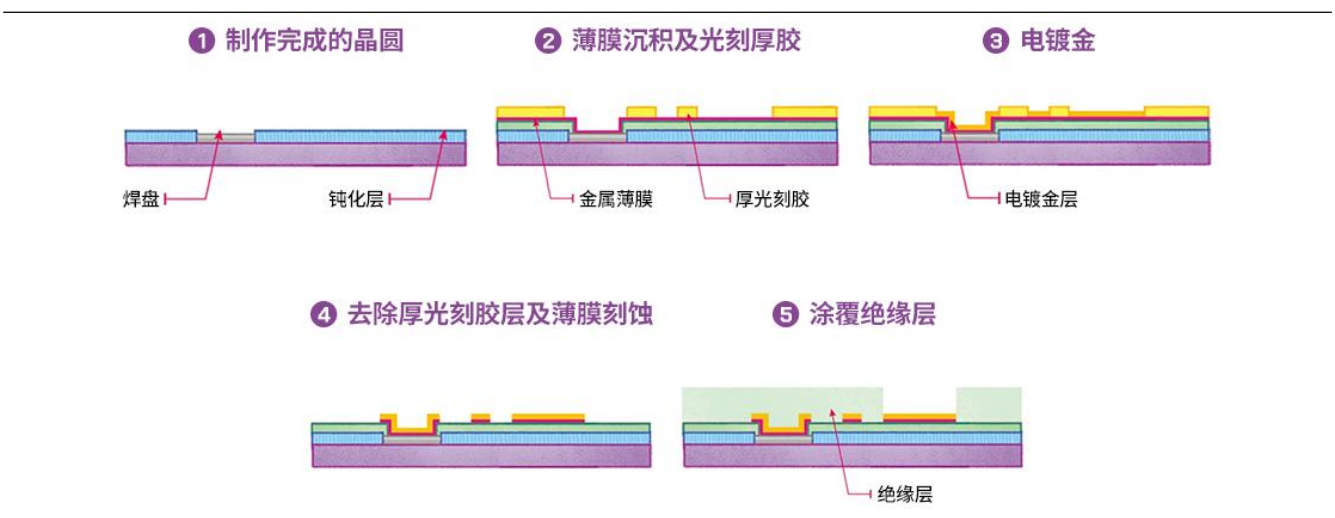
图 37：倒片封装凸点制作过程



资料来源：SK hynix、山西证券研究所

RDL 工艺涉及薄膜沉积、金属溅射、光刻、电镀等关键步骤。重布线层的制备工序主要包括：1) 在晶粒表面覆盖钝化层和 PI 层；2) 通过金属溅射和掩模曝光制造金属层图案；3) 使用电镀法填充金属层形成引线；4) 去除光刻胶层及薄膜刻蚀；5) 重复多次，在晶粒和塑封料表面交替制作金属层和 PI 层，最终形成多层重布线。

图 38：重布线层制作过程

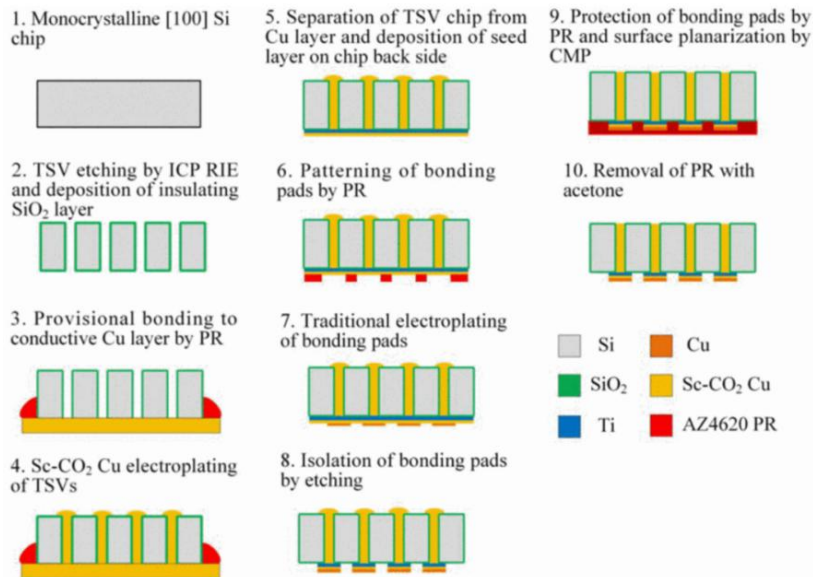


资料来源：SK hynix、山西证券研究所

TSV 工艺主要涉及深孔刻蚀、沉积、电镀、平坦化等关键步骤。硅通孔制备工序主要包括：1) 利用深反应离子刻蚀 (DRIE) 法形成通孔；2) 利用 CVD 方法制作绝缘层，利用 PVD 方法制作阻挡层和种子层；3) 采用电镀法进行铜填充；4) 使用化学机械抛光

(CMP) 去除多余的铜；5) 通过晶圆减薄与键合等后道工序完成堆叠。

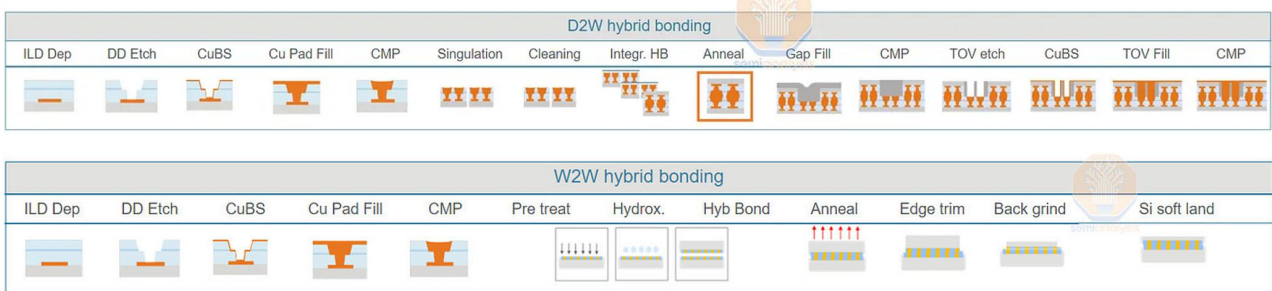
图 39：TSV 技术工艺流程



资料来源：IEEE Conference，山西证券研究所

混合键合主要涉及 TSV 制作、表面平坦化、表面激活、对准及键合后退火等关键步骤。混合键合工艺主要工序包括：1) 通过深反应离子刻蚀来制作形成通孔，利用电镀填充铜；2) 通过 CMP 进行表面平坦化，实现表面平整和控制铜通孔的凹陷度，以防止键合过程中铜过度/生长不足；3) 对于 D2W，执行晶圆分类，并对 KGD 进行分割并在载体晶圆或带框架上重组，以便可以对其进行进一步处理。4) 利用等离子体对表面进行激活；5) 对准并完成预键合，后进行退火促进键合面扩散，最终完成电学连接。

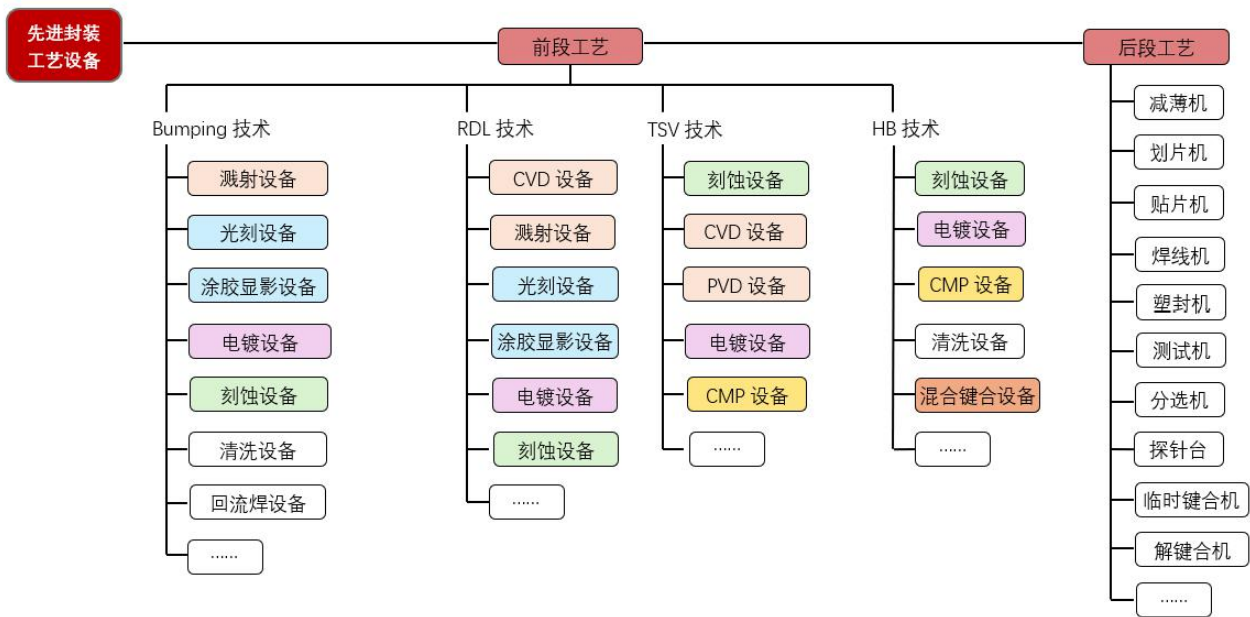
图 40：W2W 与 D2W 工艺流程



资料来源：semianalysis，山西证券研究所

沉积、光刻、刻蚀、电镀、CMP 与键合等工序设备最为关键。先进封装前后段工艺涉及数十种设备，其中以制作各类金属与介质薄膜的沉积设备、制作深孔的刻蚀设备、填充金属导线的电镀设备、实现电路图形的光刻工序设备、对晶圆进行减薄抛光和去除多余杂质的 CMP 设备，以及键合工序设备最为核心。

图 41：先进封装设备体系



资料来源：公开资料整理，山西证券研究所

国内厂商积极布局，进口替代潜力大。相较于先进制造，先进封装对制程节点要求不高，国产设备基本具备前段核心工艺与后段封装测试的自主发展能力与进口替代潜力。

北方华创，在薄膜沉积与刻蚀领域具有较好技术基础，TSV 刻蚀设备已广泛应用于国内主流 Fab 厂和先进封装厂，是国内 TSV 量产线的主力机台，市占率领先。

中微公司，等离子体刻蚀设备技术领先，ICP 技术设备类中的 8 英寸和 12 英寸深硅刻蚀设备 Primo TSV 200E、PrimoTSV 300E 在晶圆级先进封装、2.5D 封装生产线等成熟市场持续获得重复订单，并在 12 英寸的 3D 芯片的硅通孔刻蚀工艺上得到成功验证。

拓荆科技，立足薄膜沉积布局混合键合市场，PECVD、ALD 产品在先进封装领域已实现产业化应用；首台晶圆对晶圆键合产品与复购设备顺利通过客户端验证，性能和产能指标达国际领先水平；芯片对晶圆混合键合前表面预处理产品通过客户端验证，实现产业化应用。

芯源微，先进封装用涂胶显影设备、单片式湿法设备技术成熟，已连续多年作为主流机型批量应用于台积电、盛合晶微、长电科技、华天科技、通富微电、珠海天成等一线大厂；战略性布局 2.5D/3D 封装领域，成功推出临时键合、解键合及 Frame 清洗设备等多款新产品。

盛美上海，先进封装领域主要产品包括清洗设备、电镀设备和湿法设备，全自动槽式清洗设备广泛应用于先进封装领域的清洗、刻蚀、光刻胶去除等工艺；先进封装电镀设备获得国内头部先进封装客户订单；同时还开发了针对 chiplet 助焊剂清洗的负压清洗设备，及先进封装涂胶显影与湿法设备等。

华海清科，主打产品 CMP 设备、减薄设备是芯片堆叠与先进封装技术的关键核心设备，CMP 设备性能卓越，市场占有率持续提升；Versatile-GP300 减薄抛光一体机满足 3D IC 对超精密磨削、CMP 及清洗的一体化工艺需求，在客户端验证顺利。

芯碁微装，直写光刻设备在先进封装中具备无掩膜带来的成本及便捷优势，适用再布线、互联、智能纠偏、大面积芯片封装等领域，当前合作的客户有华天科技、绍兴长电等，设备在客户端进展顺利，并已经获得大陆头部先进封装客户的连续重复订单。

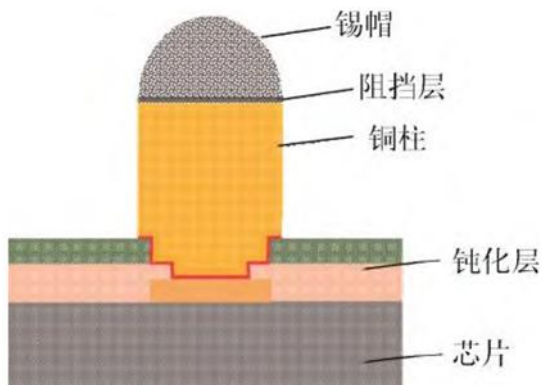
中科飞测，公司无图形晶圆缺陷检测设备已全面覆盖包括晶圆级封装、2.5D/3D 封装等领域的技术要求；图形晶圆缺陷检测设备、三维形貌量测设备已全面覆盖晶圆级先进封装领域中的量产需求和 2.5D、3D 封装领域的技术要求；介质薄膜膜厚量测设备和金属薄膜膜厚量测设备均能满足晶圆级封装和 2.5D/3D 封装的技术要求。

3.3 材料环节：关键材料性能要求升级，高端品类国产化空间巨大

电镀液

电镀液在先进封装中主要应用于铜互连工艺。电镀液即在电镀过程中使用的溶液，由金属离子、酸和添加剂组成。其中，金属离子是待镀物质，酸是溶剂，添加剂又称配套试剂。电镀常用的金属材料包括镍、金、铜、锡和锡银合金等。其中，铜互连贯穿整个芯片制造过程，可应用于集成电路制造大马士革铜互连及先进封装 Bump、RDL、TSV 等环节，是目前电镀材料最大的细分市场。

图 42：铜柱凸点结构图



资料来源：《晶圆微凸点技术在先进封装中的应用研究进展》，刘冰，山西证券研究所

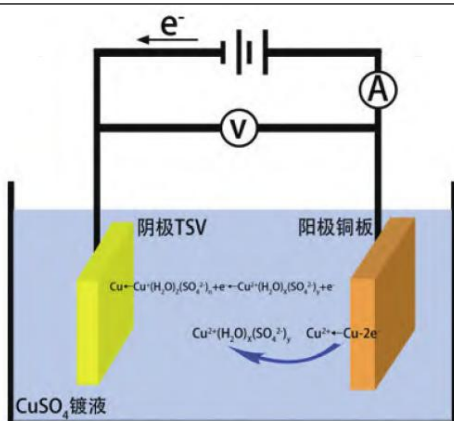
图 43：TSV 工艺流程中的铜填充



资料来源：SK hynix，山西证券研究所

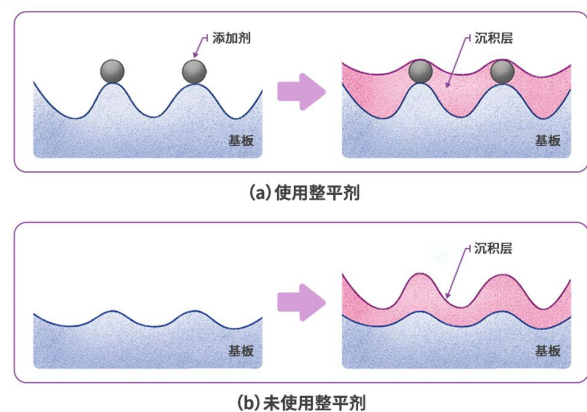
电镀液中添加剂的选择和配比是技术关键。常见酸性溶剂包括硫酸和甲磺酸，因此电镀铜基液主要是硫酸铜体系与甲基磺酸铜体系。前者材料价格较低，应用广泛；后者 Cu^{2+} 含量高，适合更大深宽比的 TSV 填充。电镀添加剂是电镀液配方中的核心组分，对电镀效果影响较大。常见添加剂包括加速剂（Accelerator）、抑制剂（Suppressor）、整平剂（Leveler）等。其中，加速剂能够加速孔底的铜沉积，抑制剂用于抑制孔外铜镀层的沉积，整平剂用于防止材料堆积，提高电镀层平整性。

图 44：硫酸铜镀液中的电镀反应



资料来源：《先进封装中硅通孔（TSV）铜互连电镀研究进展》，谌可馨等，山西证券研究所

图 45：整平剂效果对比



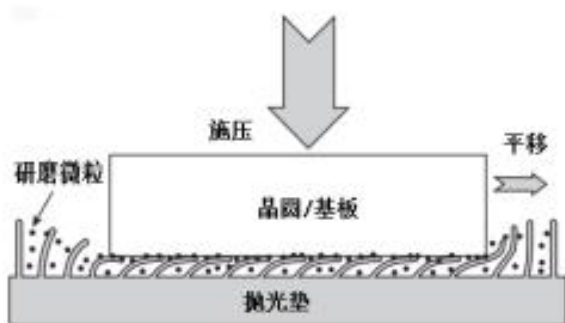
资料来源：SK hynix，山西证券研究所

国产电镀液打破长期进口依赖。晶圆制造用大马士革铜互联电镀添加剂和先进封装用电镀液及配套试剂长期由美国陶氏、乐思、德国安美特等公司占据市场主导地位。国内上海新阳、艾森股份等企业正积极替代导入。上海新阳在晶圆制造及先进封装领域用电镀及添加剂、清洗材料方面，已实现 90-14nm 技术节点全覆盖，先进封装用电镀液及添加剂产品市场份额快速增长。艾森股份先进封装用电镀铜基液（高纯硫酸铜）已正式供应华天科技；先进封装用电镀锡银添加剂已通过长电科技认证，在终端客户认证过程中；先进封装用电镀铜添加剂正处于验证阶段。

CMP 材料

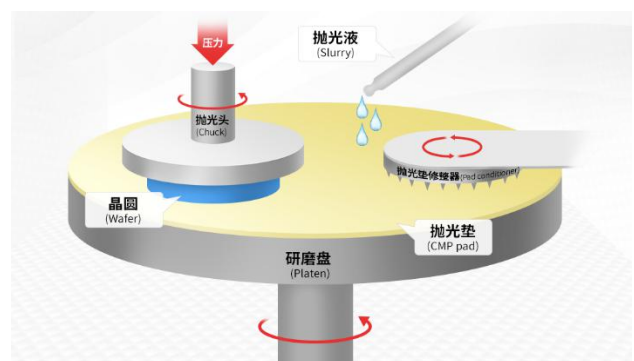
CMP 耗材主要包括抛光液和抛光垫。CMP 技术结合机械抛光和化学抛光优势，利用较软材料来进行抛光以实现晶圆表面的超高平整度。其作业过程中，抛光头将晶圆待抛光面压抵在粗糙的抛光垫上，借助抛光液腐蚀、微粒摩擦、抛光垫摩擦等耦合实现全局平坦化。根据 SEMI 数据，CMP 抛光材料在集成电路制造材料成本中占比 7%。其中 CMP 抛光液、CMP 抛光垫、CMP 清洗液合计占 CMP 抛光材料成本的 85% 以上。

图 46: CMP 抛光工作原理



资料来源：华海清科招股书，山西证券研究所

图 47: CMP 抛光工艺示意图

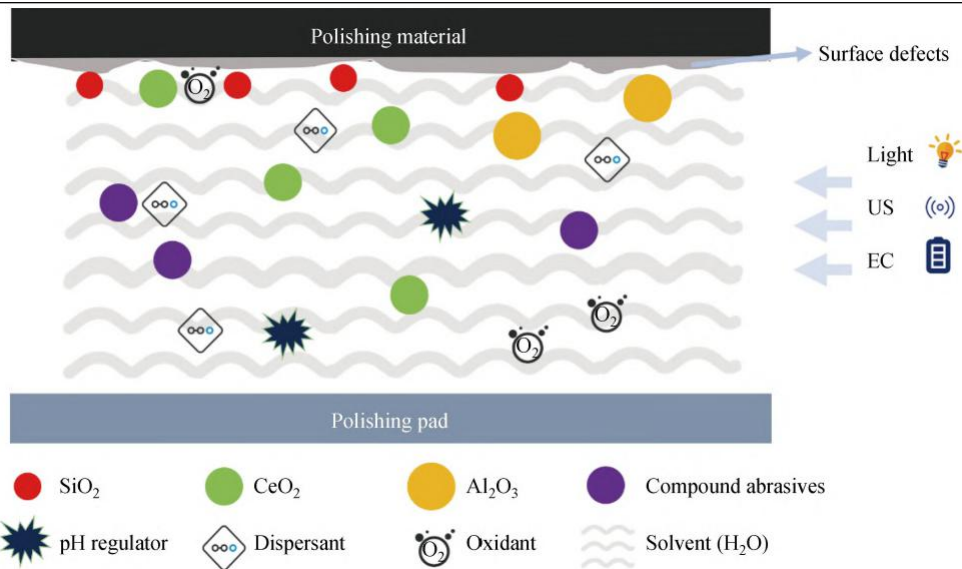


资料来源：SK hynix，山西证券研究所

抛光液的技术核心在于配方。抛光液在抛光材料中价值占比超过 50%，耗用量随着晶圆产量和 CMP 平坦化工艺步骤数增加而增加。其主要原料包括研磨颗粒、各种添加剂和水，其中研磨颗粒主要为硅溶胶和气相二氧化硅。根据应用的不同工艺环节，可以将抛光液分为硅衬底抛光液、铜及铜阻挡层抛光液、钨抛光液、介质材料抛光液、基于氧化铈磨料的抛光液以及用于先进封装的硅通孔（TSV）抛光液等。抛光液种类繁多，即使是技术节点与工艺段

相同，不同抛光对象与不同客户的工艺技术也对配方有不同要求。

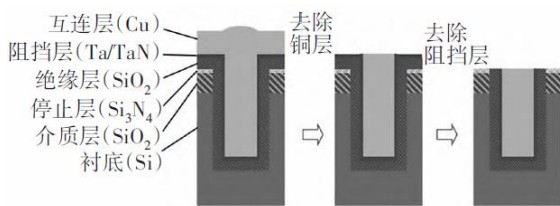
图 48：CMP 抛光液组成成分



资料来源：《化学机械抛光液的研究现状》，王东哲等，山西证券研究所

先进封装 TSV 及 HB 技术主要使用铜及铜阻挡层抛光液。目前 CMP 工艺在先进封装技术中主要有两种应用途径，一种是用于经过铜淀积后的 TSV 正面抛光；另一种是用于位于晶圆表面的 TSV 结构的铜暴露及其平坦化。

图 49：TSV 阻挡层去除原理



资料来源：《硅通孔阻挡层抛光液的研究现状和发展趋势》，刘彬等，山西证券研究所

图 50：HB 工艺流程中的磨平露铜环节

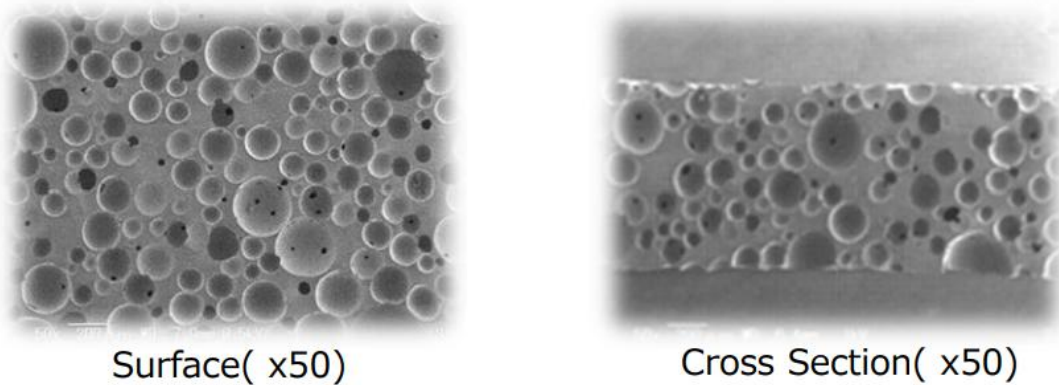


资料来源：《混合键合技术在三维堆叠封装中的研究进展》，赵心然等，山西证券研究所

抛光垫技术核心在于表面特性。抛光垫按是否含有磨料可以分为有磨料抛光垫和无磨料抛光垫；按软硬程度分为软垫和硬垫；按材质的不同可以分为聚氨酯抛光垫、环氧树脂抛光垫、磺化聚异戊二烯共聚物、海藻酸钠、无纺布抛光垫等。抛光垫结构核心是抛光层，还包

括基材层、缓冲层、粘合剂层等辅助功能层。抛光层的基体材料通常是由高分子材料组成，可以含或不含磨料，制备成多孔结构的发泡材料。

图 51：发泡聚氨酯硬垫电镜微孔断层表面



资料来源：NITTA DuPont Incorporated，山西证券研究所

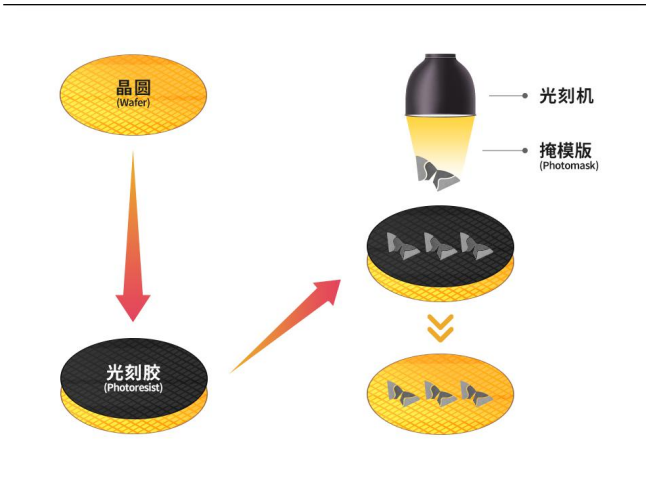
海外企业长期垄断，国产材料持续突破。全球抛光液和抛光垫市场长期被美国和日本企业所垄断。其中，抛光液主要供应商为美国 Cabot Microelectronics、Versum 和日本的 Fujimi，抛光垫主要供应商是美国陶氏。国内抛光液龙头**安集科技**已涵盖铜及铜阻挡层抛光液等多个平台，其中 TSV 和 HB 工艺用多款抛光液和清洗液已作为首选供应进入客户产线并持续上量。国内抛光垫龙头**鼎龙股份**已掌握全流程核心研发技术和生产工艺，应用于聚酰亚胺抛光的抛光垫已取得某主流封装厂客户订单；应用于氧化硅抛光和单晶硅抛光的抛光垫正在某主流封装厂客户端进行测试。

光刻材料

光刻胶、掩膜版和剥离液是先进封装光刻环节的主要耗材。1) **光刻胶**：在先进封装工艺中可用于创建电路图案，还可在后续电镀过程中通过电镀金属丝以形成阻挡层。根据光照的反应原理，光刻胶可分为正性光刻胶（Positive PR）和负性光刻胶（Negative PR）。负性光刻胶粘度通常高于正性光刻胶，旋涂过程中的涂覆厚度更厚，通常被用于形成较高的焊接凸点（Solder Bump）。其中，光敏聚酰亚胺（PSPI）兼具常规型聚酰亚胺（PI）材料的优良性能以及常规光刻胶材料的光敏感特性，在微电子封装技术中被广泛用作钝化层、有害粒子屏蔽层、应力缓冲涂层以及层间绝缘介质。2) **掩膜版**：用于实现光刻图形转移；3) **剥离液**：用

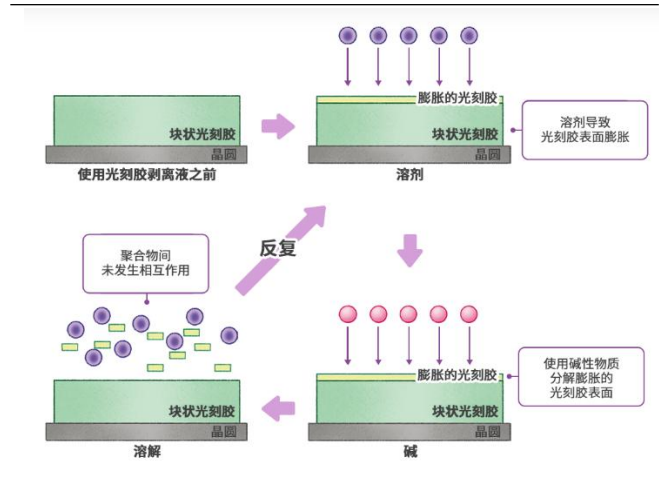
于去除光刻胶，同时注意避免对晶圆造成化学性损伤或产生残留物。

图 52：光刻工序原理图



资料来源：SK hynix，山西证券研究所

图 53：光刻去胶工序原理图



资料来源：SK hynix，山西证券研究所

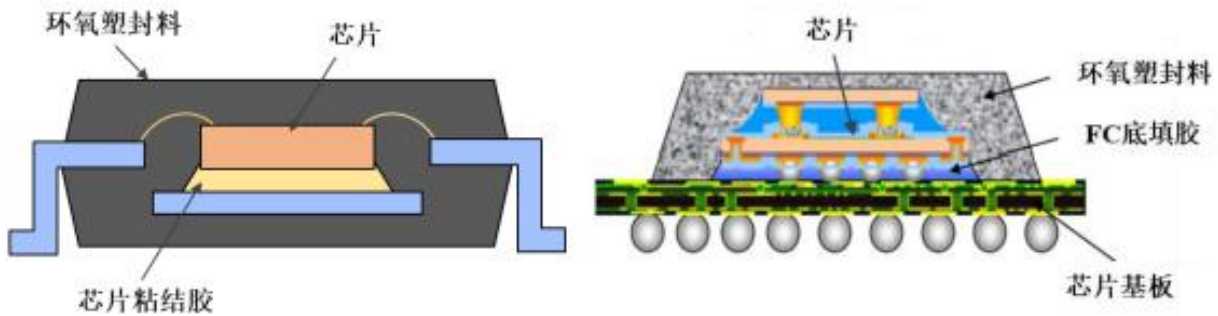
先进封装用光刻胶国产替代进程有望加速。根据应用领域，光刻胶可分为 PCB 光刻胶、显示面板光刻胶和集成电路光刻胶（包括晶圆制造与先进封装），其技术壁垒依次提升。国产光刻胶发展起步较晚，目前主要集中在 PCB 光刻胶、TFT-LCD 光刻胶等产品。先进封装用光刻胶方面，主导市场的海外供应商包括日本 JSR、东京应化、德国 Merck 等。PSPI 产品则高度依赖从 HDM、东丽等美国、日本厂商进口。国内艾森股份、鼎龙股份正加速研发验证中。艾森股份先进封装用 g/i 线负性光刻胶已实现批量供应，并在研先进封装用负性 PSPI。鼎龙股份封装 PI 已布局非光敏 PI、正性 PSPI 和负性 PSPI 等 7 款产品，已送样 5 款，拟在 2024 年内完成验证并开始导入。

保护材料

先进封装保护材料主要包括 EMC 包封材料和底部填充材料。1) 环氧塑封料（EMC）：用于半导体封装的一种热固性化学材料，成本在先进封装类产品主材中约占 4-10%。在塑封过程中，主要采用传递成型法将 EMC 挤压入模腔并将其中的半导体芯片包埋，在模腔内交联固化成型后成为具有一定结构外型的半导体器件。2) 底部填充材料：用于填充基板与芯片间、或以凸点连接的芯片与芯片之间的空隙，以保证 FC 和 TSV 型芯片堆叠工艺中接合处的可靠性。根据工艺顺序可以分为后填充和预填充，根据不同工艺可选材料包括非导电胶、非导电

膜和 EMC 等。

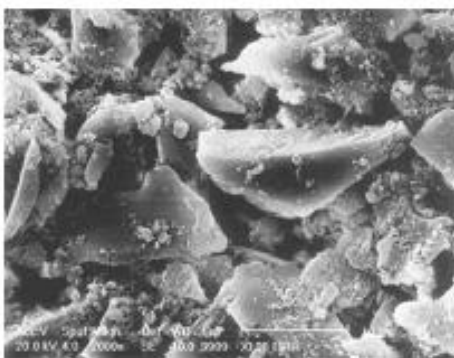
图 54：环氧塑封料与底填胶应用场景



资料来源：华海诚科招股书，山西证券研究所

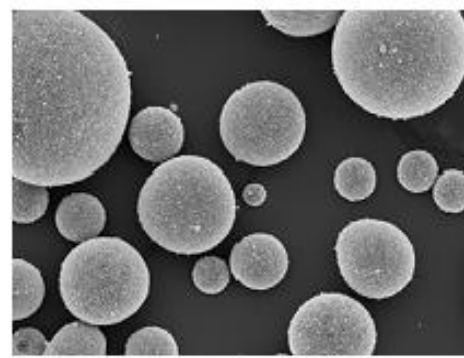
硅微粉是保护材料的关键原材料。硅微粉是一种性能优异的无机非金属功能性填料，可被广泛用于覆铜板、环氧塑封料、电工绝缘材料、胶粘剂、陶瓷和涂料等领域。硅微粉产品根据产品颗粒形貌不同可分为角形硅微粉和球形硅微粉。其中，球形硅微粉填充率高于角形硅微粉，更适用于集成电路芯片封装。

图 55：不规则角形硅微粉图示



资料来源：联瑞新材，山西证券研究所

图 56：球形硅微粉图示



资料来源：联瑞新材，山西证券研究所

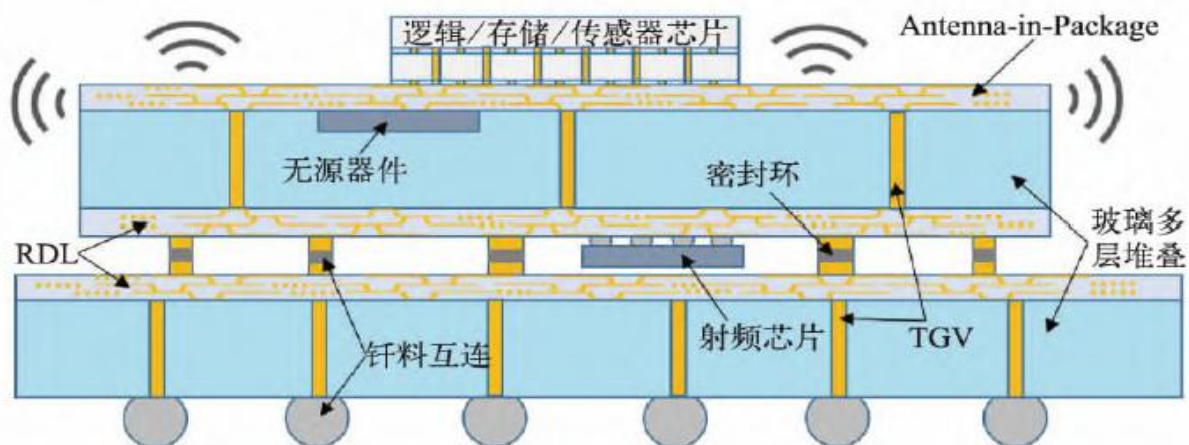
先进封装用高端保护材料国产替代潜力巨大。日本、美国厂商在先进封装用高端材料市场占据垄断地位，国内大部分厂商仍集中在分立器件和中小规模集成电路封装用中低端材料领域，有巨大国产替代空间。**华海诚科**应用于 QFN 等封装形式产品的已小批量生产和销售，

应用于 BGA、SiP 以及 WLP 等领域的高端封装材料已成功研发，正在开发适用于 2.5D/3D 封装的高导热 FC 底填胶和不流动的底填胶。**联瑞新材**打破海外对电子级球型硅微粉技术垄断，微米级和亚微米级球形硅微粉、低放射性球形硅微粉、低放射性高纯度球形氧化铝粉等产品已销售至行业领先客户。

玻璃基板

玻璃通孔技术是 TSV 的升级。玻璃通孔（Through Glass Via, TGV）技术优势体现为：**1）性能：**TGV 以玻璃基板替代传统转接板，玻璃的低损耗、高平整度、可调的热膨胀系数使其具备传输性能优良、可进行细间距布线、以及减少异质集成的应力问题等优点。**2）工艺：**TGV 无需沉积绝缘层，仅需沉积粘附层与种子层即可进行电镀填充，机械、激光或刻蚀等方法组合使用可批量制备通孔，较 TSV 更为简单高效。**3）成本：**玻璃基板可通过玻璃面板级工艺大批量制造，大尺寸易于获取且具备成本优势。

图 57：应用玻璃基与 TGV 技术的三维异质集成结构



资料来源：《芯片三维互连技术及异质集成研究进展》，钟毅等，山西证券研究所

TGV 技术渗透有望加速国内厂商积极布局。目前，国外厂商对玻璃基板的布局处于领先地位，包括美国康宁、申泰，德国 LPKF 和日本 Tecnisco、KISO WAVE 等。其中，美国公司市占率接近 50%。国内厂商中，**沃格光电** TGV 技术能力和产能布局相对领先，公司 TGV 载板已通过行业知名客户验证，芯片板级玻璃封装载板项目一期产能预计于 2024H2 投入量产。

4. 投资建议与风险提示

4.1 投资建议

封装环节：建议关注长电科技、通富微电、华天科技、晶方科技、甬矽电子、顾中科技、汇成股份等。

设备环节：建议关注北方华创、中微公司、拓荆科技、芯源微、盛美上海、华海清科、芯碁微装、中科飞测等。

材料环节：建议关注上海新阳、安集科技、鼎龙股份、华海诚科、联瑞新材、艾森股份、沃格光电等。

4.2 风险提示

市场需求波动风险

先进封装产业链处于快速发展阶段，尽管其可以超越摩尔定律瓶颈，提升芯片性能，但若移动设备、高性能计算、物联网等领域对芯片异质集成的市场需求发展速度不及预期，则可能导致先进封装需求出现下滑。

行业竞争加剧风险

面对异质集成、Chiplet 良好的市场前景，目前国外 IDM、Foundry 与 OSAT 厂商均加速布局先进封装，在技术、设备与材料领域存在一定领先优势。若相关公司不能持续提升核心竞争能力，将可能会在未来的市场竞争中处于不利地位，面临市场竞争加剧导致市场占有率下降的风险。

研发进展不及预期风险

先进封装对核心工艺要求不断提高，技术升级与产能布局需要投入大量研发资金和人员、设备。若相关公司未能及时有效开发出与未来主流技术路线相适应的工艺、设备、材料，或未取得预期效果，将对其竞争优势与盈利能力产生不利影响。

国际政治及贸易政策变化的风险

国内先进封装产业链少部分设备、原材料依赖进口，若未来国际政治及贸易政策进一步恶化，相关公司有可能面临供应中断风险。将可能对相关公司的经营成果产生不利影响。

分析师承诺：

本人已在中国证券业协会登记为证券分析师，本人承诺，以勤勉的职业态度，独立、客观地出具本报告。本人对证券研究报告的内容和观点负责，保证信息来源合法合规，研究方法专业审慎，分析结论具有合理依据。本报告清晰准确地反映本人的研究观点。本人不曾因，不因，也将不会因本报告中的具体推荐意见或观点直接或间接接受任何形式的补偿。本人承诺不利用自己的身份、地位或执业过程中所掌握的信息为自己或他人谋取私利。

投资评级的说明：

以报告发布日后的 6--12 个月内公司股价（或行业指数）相对同期基准指数的涨跌幅为基准。其中：A 股以沪深 300 指数为基准；新三板以三板成指或三板做市指数为基准；港股以恒生指数为基准；美股以纳斯达克综合指数或标普 500 指数为基准。

无评级：因无法获取必要的资料，或者公司面临无法预见的结果的重大不确定事件，或者其他原因，致使无法给出明确的投资评级。（新股覆盖、新三板覆盖报告及转债报告默认无评级）

评级体系：

——公司评级

- 买入： 预计涨幅领先相对基准指数 15%以上；
- 增持： 预计涨幅领先相对基准指数介于 5%-15%之间；
- 中性： 预计涨幅领先相对基准指数介于-5%-5%之间；
- 减持： 预计涨幅落后相对基准指数介于-5%- -15%之间；
- 卖出： 预计涨幅落后相对基准指数-15%以上。

——行业评级

- 领先大市： 预计涨幅超越相对基准指数 10%以上；
- 同步大市： 预计涨幅相对基准指数介于-10%-10%之间；
- 落后大市： 预计涨幅落后相对基准指数-10%以上。

——风险评级

- A： 预计波动率小于等于相对基准指数；
- B： 预计波动率大于相对基准指数。

免责声明：

山西证券股份有限公司(以下简称“公司”)具备证券投资咨询业务资格。本报告是基于公司认为可靠的已公开信息，但公司不保证该等信息的准确性和完整性。入市有风险，投资需谨慎。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。在任何情况下，公司不对任何人因使用本报告中的任何内容引致的损失负任何责任。本报告所载的资料、意见及推测仅反映发布当日的判断。在不同时期，公司可发出与本报告所载资料、意见及推测不一致的报告。公司或其关联机构在法律许可的情况下可能持有或交易本报告中提到的上市公司发行的证券或投资标的，还可能为或争取为这些公司提供投资银行或财务顾问服务。客户应当考虑到公司可能存在可能影响本报告客观性的利益冲突。公司在知晓范围内履行披露义务。本报告版权归公司所有。公司对本报告保留一切权利。未经公司事先书面授权，本报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯公司版权的其他方式使用。否则，公司将保留随时追究其法律责任的权利。

依据《发布证券研究报告执业规范》规定特此声明，禁止公司员工将公司证券研究报告私自提供给未经公司授权的任何媒体或机构；禁止任何媒体或机构未经授权私自刊载或转发公司证券研究报告。刊载或转发公司证券研究报告的授权必须通过签署协议约定，且明确由被授权机构承担相关刊载或者转发责任。

依据《发布证券研究报告执业规范》规定特此提示公司证券研究业务客户不得将公司证券研究报告转发给他人，提示公司证券研究业务客户及公众投资者慎重使用公众媒体刊载的证券研究报告。

依据《证券期货经营机构及其工作人员廉洁从业规定》和《证券经营机构及其工作人员廉洁从业实施细则》规定特此告知公司证券研究业务客户遵守廉洁从业规定。

山西证券研究所：

上海

上海市浦东新区滨江大道 5159 号陆家嘴滨江中心 N5 座 3 楼

太原

太原市府西街 69 号国贸中心 A 座 28 层
电话：0351-8686981
<http://www.i618.com.cn>

深圳

广东省深圳市福田区林创路新一代产业园 5 栋 17 层

北京

北京市丰台区金泽西路 2 号院 1 号楼丽泽平安金融中心 A 座 25 层

