



# 3D DRAM时代或将到来，国产DRAM 有望迎来变革契机

## 3D DRAM行业专题报告

投资评级：推荐（维持）

报告日期：2024年08月08日

- 分析师：毛正
- SAC编号：S1050521120001
- 联系人：张璐
- SAC编号：S1050123120019

研 究 创 造 价 值

## DRAM技术工艺逐渐步入瓶颈期，3D DRAM应运而生

随着摩尔定律推进速度放缓，DRAM技术工艺也逐渐步入瓶颈期。目前DRAM芯片工艺已到10nm级别，尽管10nm还不是DRAM的最后极限，但多年来随着DRAM制程节点不断缩小，工艺完整性、成本、电容器漏电和干扰等方面的挑战愈发明显，要在更小的空间内实现稳定的电荷存储和读写操作变得日益困难。3D NAND Flash早已实现商业化应用，3D DRAM技术尚在研发中，但随着AI浪潮，大容量、高性能存储器需求将大幅增加，3D DRAM有望成为存储器市场的主流产品。

## 存储巨头纷纷布局3D DRAM技术，产业生态或迎变局

2024年3月，三星在加州举行的Memcon 2024会议上公布了其3D DRAM开发路线图，并计划在2025年推出基于其垂直通道晶体管技术的早期版本的3D DRAM。海力士在VLSI 2024会议上公布了其五层堆叠的3D DRAM产品，生产良率已达56.1%。美光则在2019年就开始了3D DRAM的研究工作。存储巨头纷纷布局3D DRAM技术，产业生态或迎变局。

## 3D DRAM正处产业化前期，成长空间极大，给予3D DRAM行业投资评级：推荐

3D DRAM完美契合AI应用对高性能和大容量存储器的需求增长，行业主要厂商正在逐渐加大对3D DRAM技术的开发投入，并且通过专利保护的方式为未来的市场竞争和技术主导权做准备。3D DRAM正处产业化前期，成长空间极大，给予行业“推荐”评级，建议关注产业链相关标的：中微公司、拓荆科技、中科飞测、精智达、华海清科等。

# 重点关注公司及盈利预测

公司代码	名称	2024-08-07 股价	EPS			PE			投资评级
			2023	2024E	2025E	2023	2024E	2025E	
688012.SH	中微公司	152.55	2.88	3.23	4.08	52.97	47.23	37.39	买入
688072.SH	拓荆科技	132.41	3.52	2.96	4.10	65.69	44.78	32.29	未评级
688120.SH	华海清科	138.43	4.55	4.25	5.57	41.22	32.53	24.85	未评级
688361.SH	中科飞测	54.57	0.44	0.63	0.94	124.02	86.62	58.05	买入
688627.SH	精智达	43.56	1.24	1.80	2.49	35.13	24.20	17.49	增持

资料来源：Wind，华鑫证券研究（注：未评级公司盈利预测取自wind一致预期）

宏观经济增长不及预期的风险；

海外科技管制进一步加强的风险；

本土科技创新突破不及预期的风险；

下游需求恢复不及预期的风险；

行业景气度复苏不及预期的风险；

推荐标的业绩不及预期的风险。

# 目录

## CONTENTS

1. DRAM技术工艺逐渐步入瓶颈期，HBM助力DRAM赶上AI浪潮
2. 3D DRAM应运而生，有望改变DRAM行业生态
3. 全球存储巨头纷纷布局3D DRAM技术
4. 相关标的

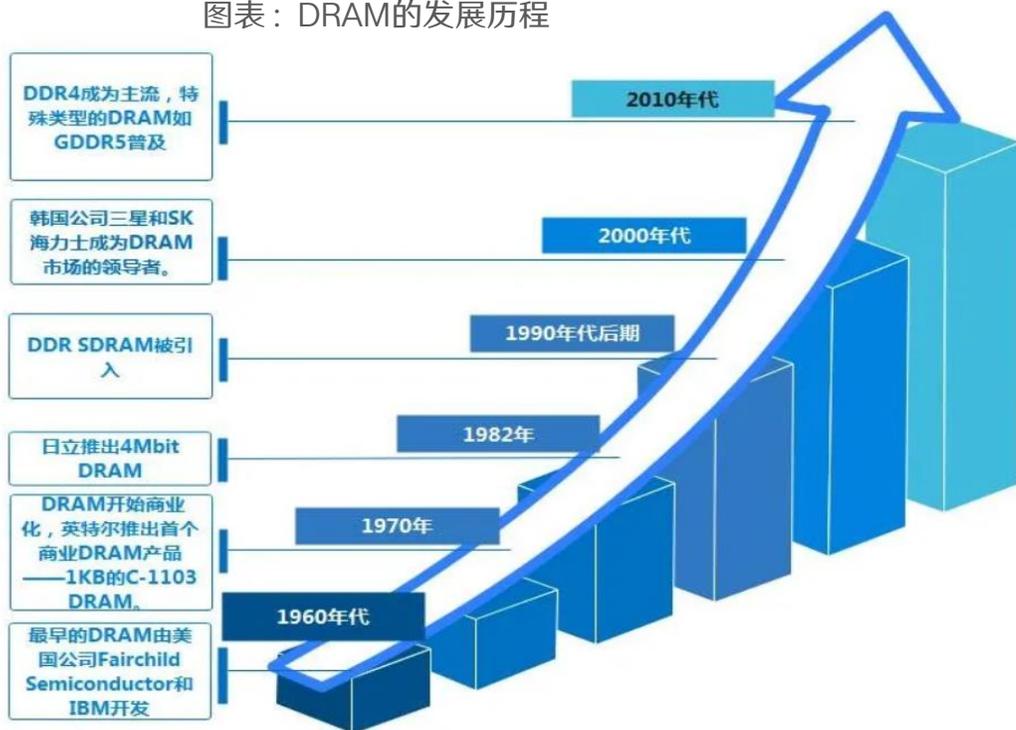
# 01 DRAM 技术工艺逐渐步入瓶颈期， HBM 助力 DRAM 追赶 AI 浪潮

研究创造价值

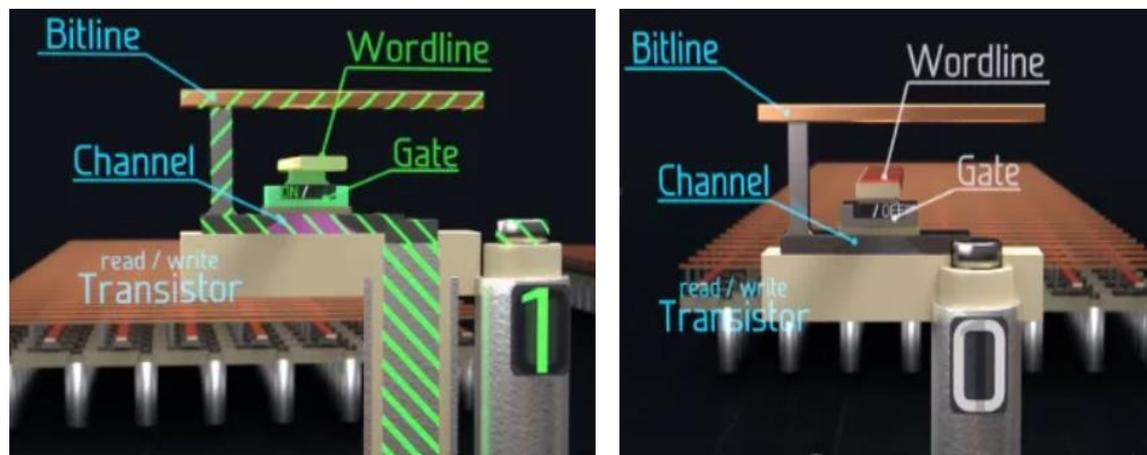
# 1.1 DRAM具备高速数据访问和传输能力

DRAM动态随机存取存储器的基本工作原理是在一个存储单元中存储一个比特（0或1）的信息，并通过刷新机制来保持这些信息的稳定性。DRAM中的数据会在断电后很快消失，因此属于易失性存储器，其具有高速、容量大和相对低成本的特点。DRAM的高速数据访问和传输能力，使其能够高效地满足多线程处理、实时计算和大规模数据操作等需要快速数据访问的场景，因此广泛应用于个人计算机、服务器、智能手机、平板电脑等电子设备中，主要用于存储临时数据，如操作系统、应用程序和用户数据。DRAM的基本存储单元由一个晶体管（Transistor）和一个电容器（Capacitor）构成，也被称为1T1C。晶体管作为开关控制是否允许电荷的流入或流出，电容器则用来存储电荷，当电容器充满电后表示1，未充电时则存储0。

图表：DRAM的发展历程



图表：DRAM的工作原理

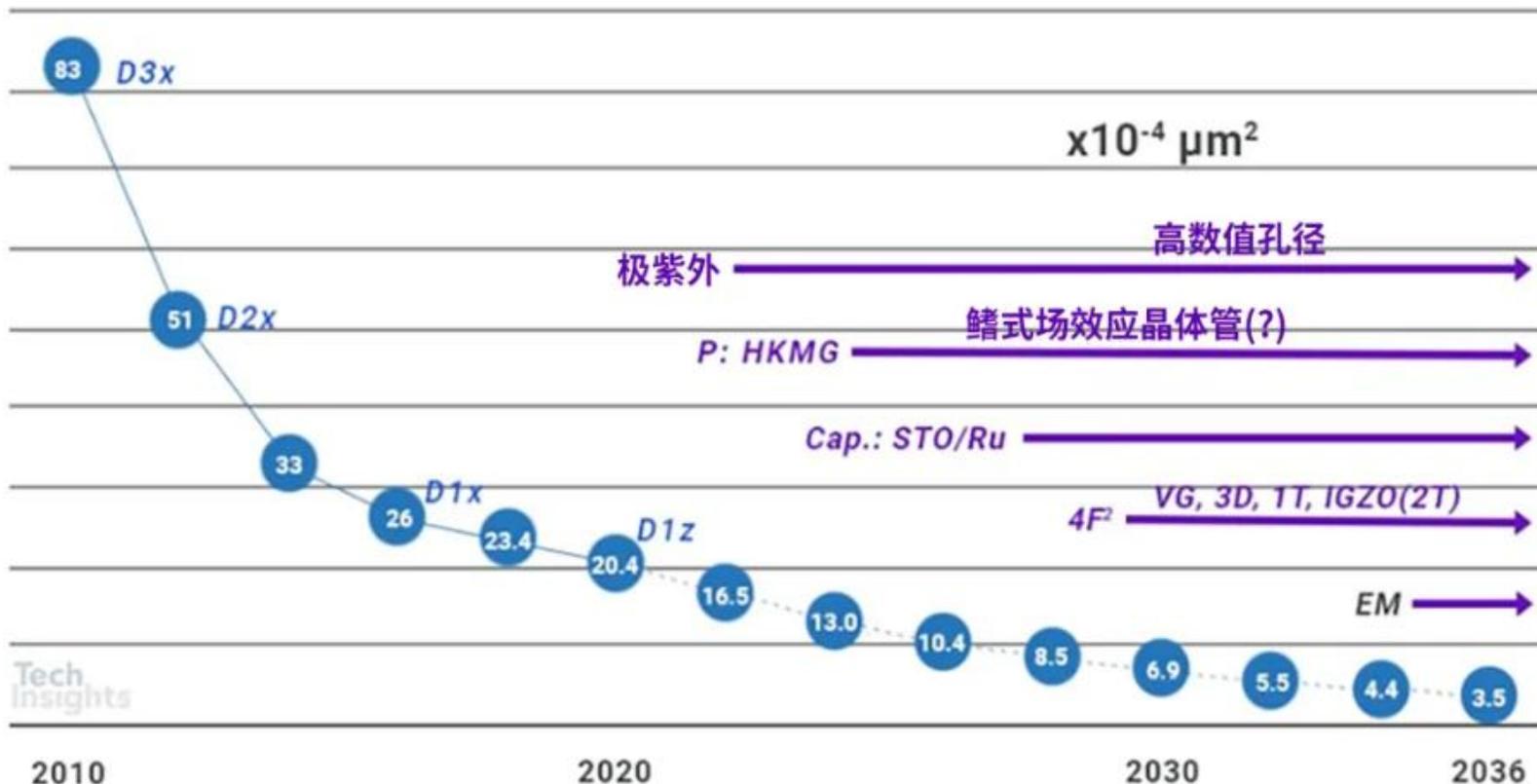


资料来源：智研瞻，Branch Education，华鑫证券研究

## 1.2 DRAM沿用2D方式缩小器件尺寸遇阻

随着摩尔定律推进速度放缓，DRAM技术工艺也逐渐步入了瓶颈期。从技术角度上看，随着晶体管尺寸越来越小，芯片上集成的晶体管就越多，这意味着一片芯片能实现更高的内存容量。目前DRAM芯片工艺已经突破到了10nm级别，虽然10nm还不是DRAM的最后极限，但多年来随着DRAM制程节点不断缩小，工艺完整性、成本、电容器漏电和干扰等方面的挑战愈发明显，要在更小的空间内实现稳定的电荷存储和读写操作变得日益困难。

图表：DRAM单元大小趋势与预测



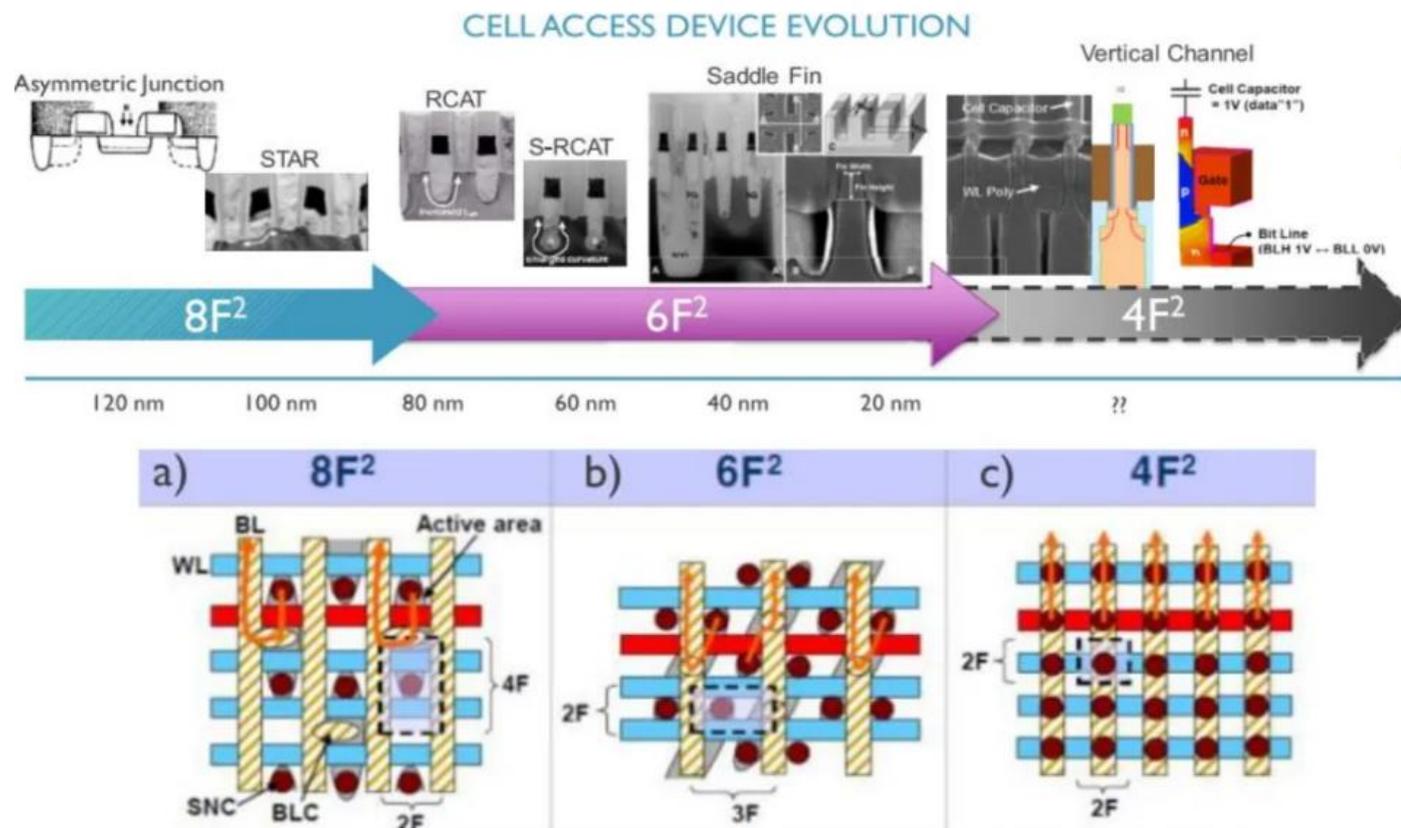
根据Tech Insights分析，通过增高电容器减小面积以提高位密度（即进一步减小单位存储单元面积）的方法即将变得不可行。因为用于电容器制造的刻蚀和沉积工艺无法处理极端（高）的深宽比。半导体行业预计能够在单位存储单元面积达到约10.4E-4μm<sup>2</sup>前（也就是大约2025年）维持2D DRAM架构。

资料来源：Tech Insights，泛林集团，华鑫证券研究

## 1.2 DRAM沿用2D方式缩小器件尺寸受阻

随着线宽进入10nm范围，电容器漏电和干扰等物理限制的问题明显增加。物理极限（如量子隧穿效应、漏电流增加、热稳定性下降等）、材料科学挑战（如电介质厚度减少导致的电容减小、泄漏电流增大等）以及制造工艺的精密控制要求，都使得DRAM在继续沿用2D方式缩小器件尺寸（如所谓的 $4F^2$  缩放）时遭遇严重阻碍。为了补救这种情况，产业界引入了high-k材料和极紫外（EUV）光刻设备等新材料和新设备。

图表：DRAM存储单元演进路线



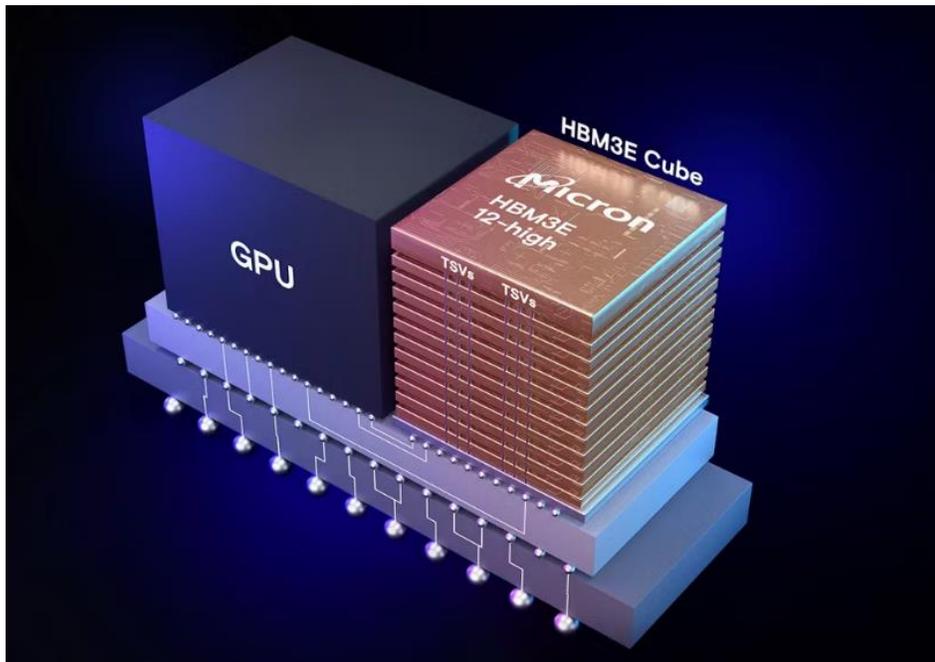
随着2D DRAM缩放难度增大，研发投入、制造成本以及良率控制问题日益突出。在技术节点不断微缩的过程中，单位面积内增加更多比特所需的投资呈非线性增长，而性能提升和成本节省却可能不如预期。这种成本效益的失衡使得继续沿用传统路径进行DRAM缩放不再经济可行，成为产业中难以回避的财务难题，因此新的DRAM技术发展迫在眉睫。

资料来源：半导体行业观察，华鑫证券研究

# 1.3 HBM帮助DRAM从传统的2D过渡到3D

随着数据量爆炸性增长，尤其是AI人工智能、云计算、大数据分析等领域对高速、大容量、低延迟内存的需求持续攀升，市场对更高密度、更低功耗、更大带宽的 DRAM 产品有着强烈需求。然而，现有 2D DRAM 技术的发展速度已无法满足这些需求的增长速度，形成了供需之间的矛盾，进一步加剧了DRAM不再有效缩放问题的紧迫性。为了解决这个难题，业内常见的有High Bandwidth Memory (HBM)、Computational In-Memory (CIM)、Emerging Memories（新型存储器）、CXL等技术，它们旨在通过不同的方式（如堆叠封装、计算与存储一体化、采用新材料新机制等）来绕过传统 2D DRAM 的缩放限制，提升存储密度和性能，其中HBM这两年已经成为与高性能GPU搭配使用的最炙手可热的存储产品。

图表：HBM示意图



**HBM彻底改变了高性能计算系统管理数据流的方式。**与传统内存解决方案相比，它最显著的特点之一是带宽大幅增加。HBM通过使用硅通孔（TSV）和微凸块互连的堆叠DRAM芯片来实现这一目标。这种创新设计允许更短的数据路径，从而提高了数据速度和电气效率。HBM使DRAM从传统的2D形态过渡到3D。但是，目前的HBM还不能算是真正的3D DRAM技术，其主要在封装层面利用3D先进封装技术将DRAM裸芯片堆叠在一起以提升数据吞吐量。

资料来源：美光，华鑫证券研究

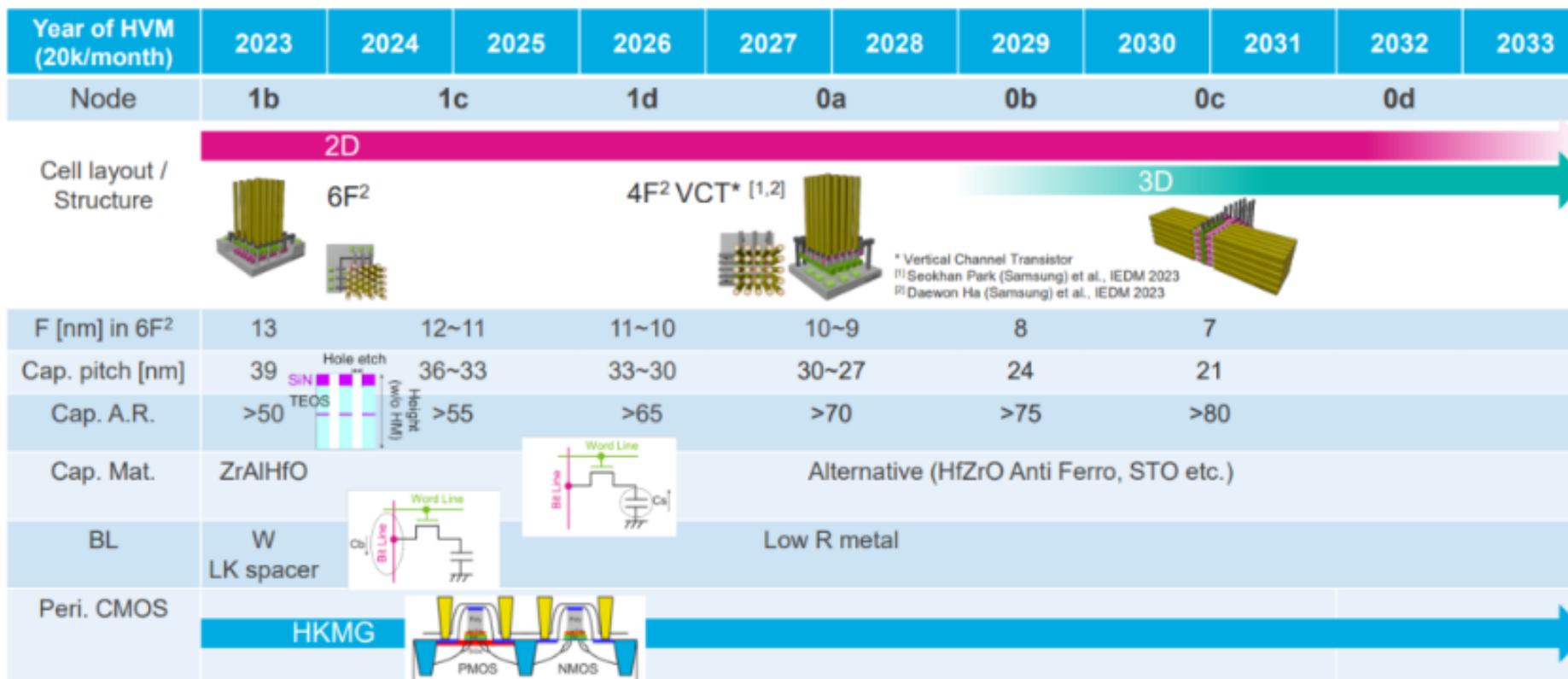
# 0 2 3D DRAM应运而生，有望改变DRAM行业生态

研究创造价值

## 2.1 3D DRAM成为下一代DRAM的关键发展方向

AI应用浪潮之下，高性能存储器需求持续攀升，以HBM为代表的DRAM炙手可热。同时，为进一步满足市场需求，存储厂商也在酝酿新一轮DRAM技术“革命”。HBM技术开启了DRAM 3D化之路，让DRAM从传统2D走向了3D，不过当前的HBM并不能被认同为3D DRAM技术。三星4F Square VCT DRAM与3D DRAM概念更为接近，但这不是3D DRAM唯一的方向与目标，存储厂商对3D DRAM有着更丰富设想。

图表：DRAM技术路线演绎

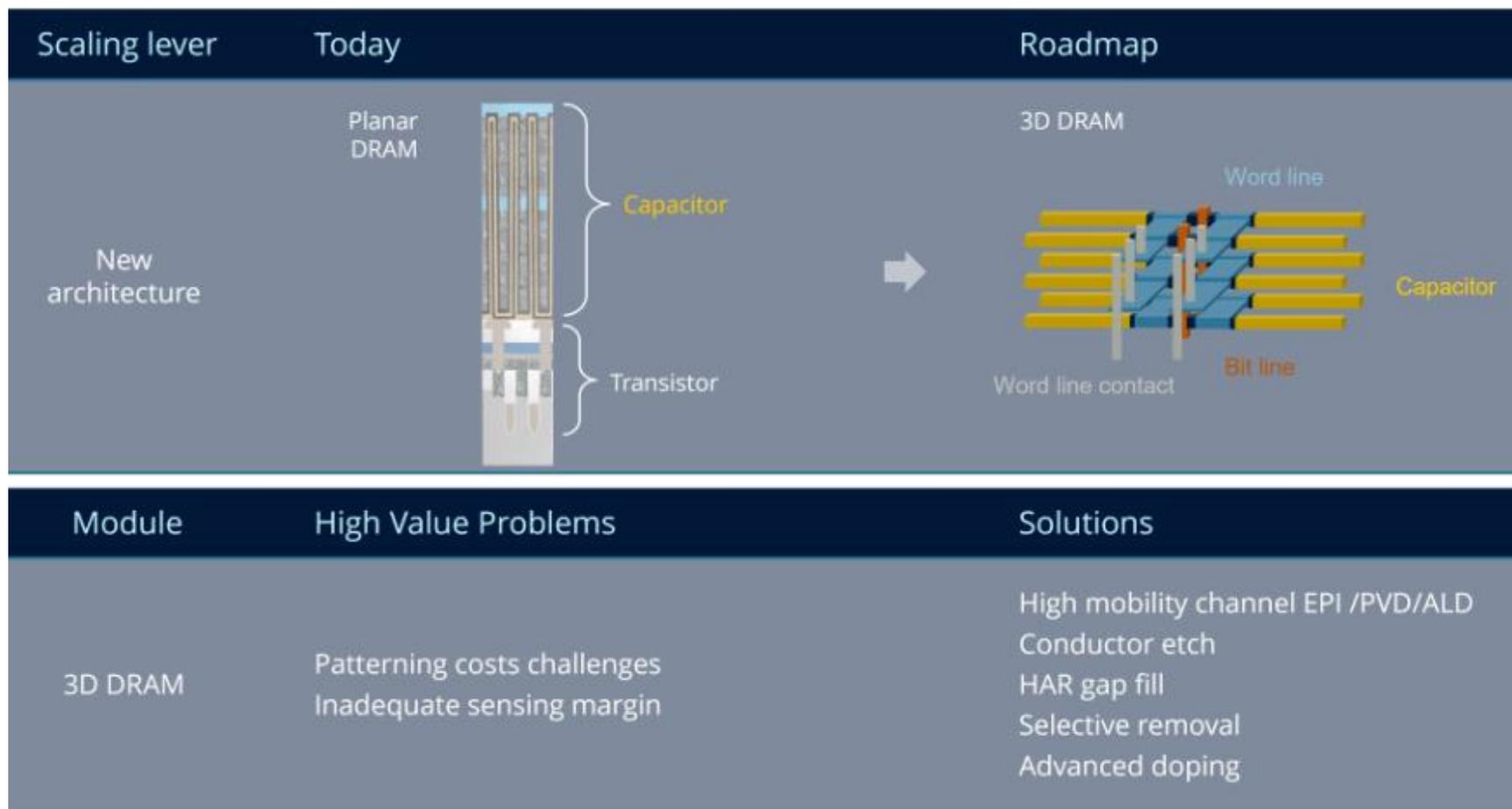


资料来源：东京电子，全球半导体观察，华鑫证券研究

## 2.1 3D DRAM成为下一代DRAM的关键发展方向

3D DRAM（三维动态随机存取存储器）是一种具有新颖存储单元结构的新型DRAM技术。与水平放置存储单元的传统DRAM不同，3D DRAM垂直堆叠存储单元大大增加了单位面积的存储容量并提高了效率，成为下一代DRAM关键发展方向。

图表：传统DRAM与3D DRAM比较



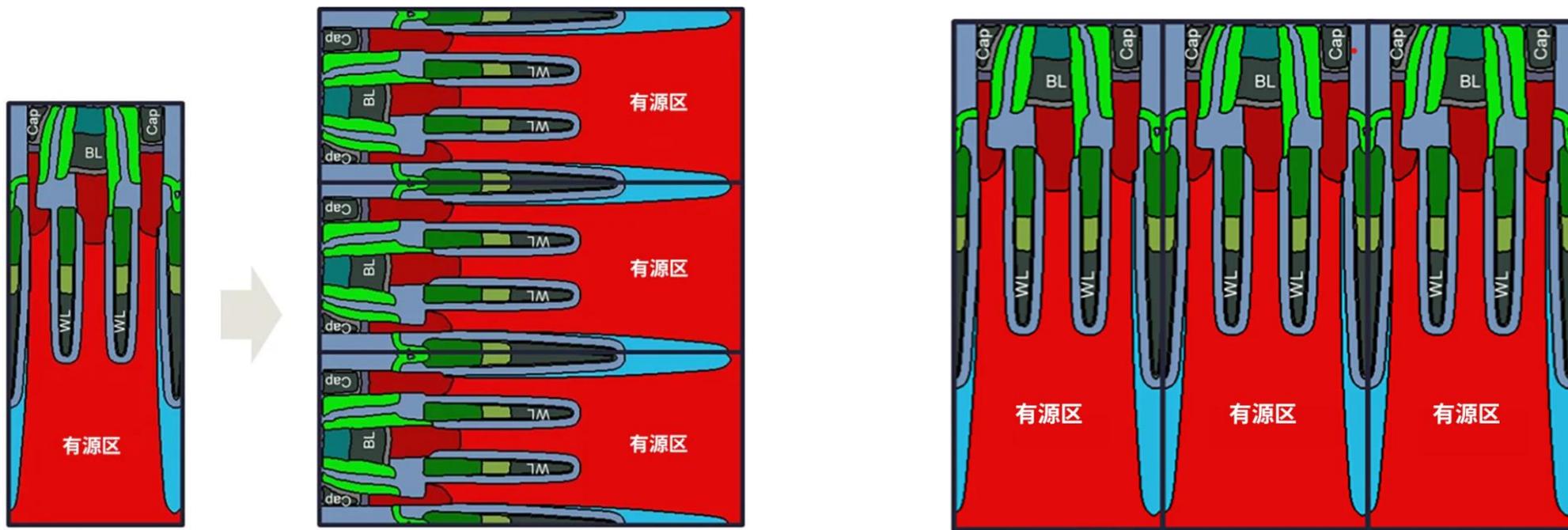
在存储器市场，3D NAND Flash已实现商业化应用，3D DRAM技术尚在研发中，但随着AI、大数据等应用的蓬勃发展，大容量、高性能存储器需求将大幅增加，3D DRAM有望成为存储器市场的主流产品。

资料来源：应用材料，全球半导体观察，华鑫证券研究

## 2.2 3D DRAM堆栈需要设计重构

为了推进DRAM微缩，很自然地需要将2D DRAM组件侧放并堆叠起来。但这面临几个难题：1) 水平方向需要横向刻蚀，但由于凹槽尺寸差异很大，横向刻蚀非常困难；2) 在堆栈刻蚀和填充工艺中需要使用不同的材料，这给制造带来了困难；3) 连接不同3D组件时存在集成难题。泛林集团认为，为了让这一方案更具竞争力，需要缩短电容器(Cap)的长度（电容器的长度不能和高度一样）并进行堆叠，以提升单位面积的存储单元数量。

图表：2D DRAM架构垂直定向视图（左）与翻转再进行结构堆叠图（右）



资料来源：泛林集团，华鑫证券研究

## 2.2 3D DRAM堆栈需要设计重构

泛林集团为成功实现DRAM的3D堆栈，重新设计了架构，在减小硅区域的同时为电容器的工艺处理提供更多空间，从而缩小纳米薄片的面积。首先，将位线移到了纳米薄片的另一侧，使电流通过晶体管栅极穿过整个纳米薄片，这能够从总体上增加电容器工艺处理的空间，并减小硅区域的面积。其次，引入栅极全包围晶体管，以进一步缩小硅有源区。此外，还将曾经又窄又高的电容器变得又短又宽。之所以能够做到这一点，是因为把位线移到架构的中心，从而获得了更多空间。

图表：泛林集团重新设计的DRAM架构



— 初始的旋转 DRAM D1Z 设计

— 将位线移到纳米薄片的另一侧  
— 引入栅极叉片设计  
— 缩短有源区长度

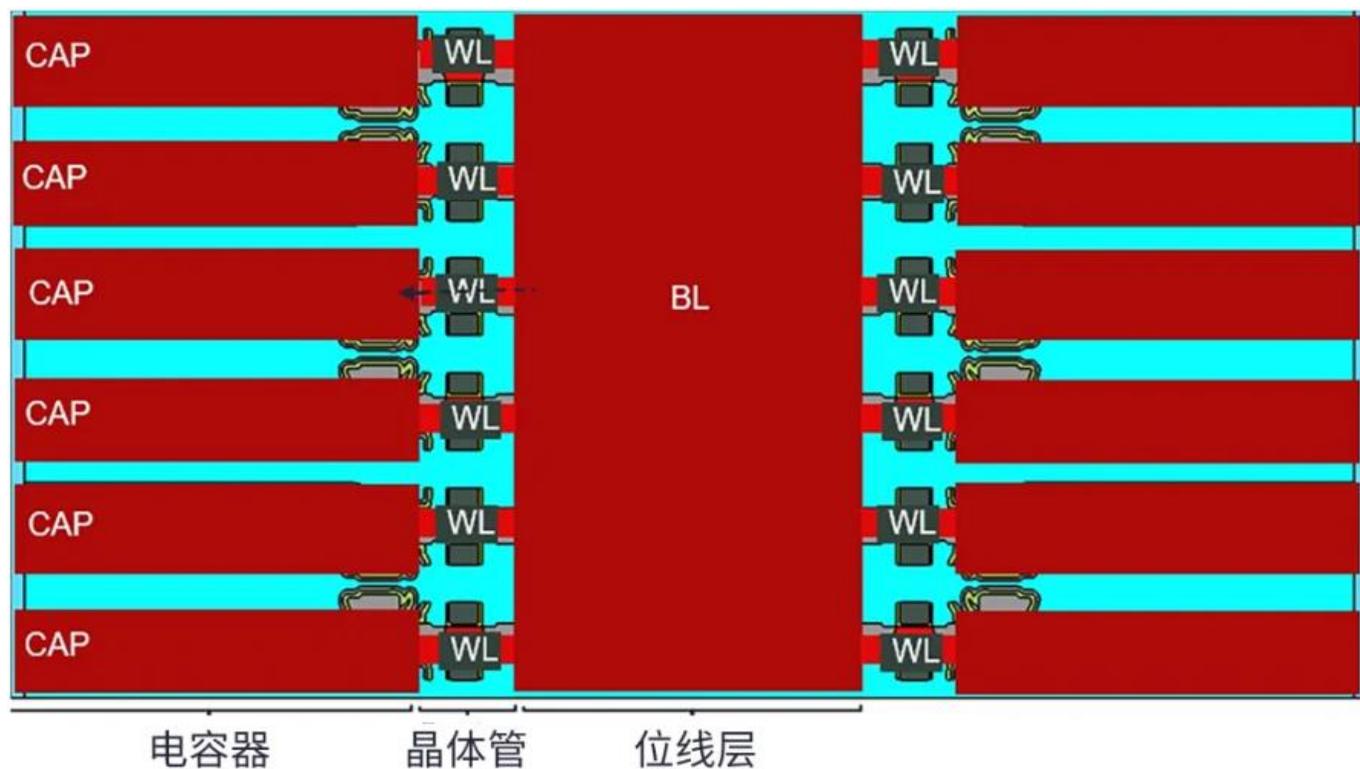
— 引入栅极全包围纳米薄片晶体管  
— 引入更宽更短的电容器

资料来源：泛林集团，华鑫证券研究

## 2.2 3D DRAM堆栈需要设计重构

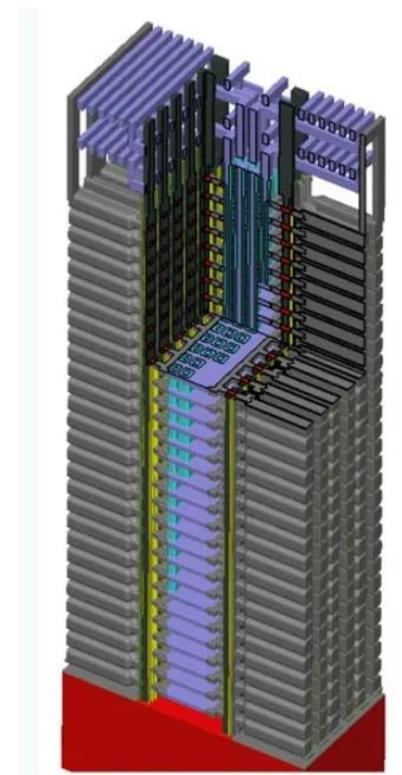
通过在位线接触点两侧放置晶体管/电容器的方式增加每个位线接触点的晶体管/电容器数量之后，就可以堆叠这种重新配置的纳米薄片了。泛林集团所模拟实现的堆叠3D DRAM的第一次迭代有28层高，将比现在的D1z高两个节点（单位存储单元面积约 $13E-4\mu m^2$ ）。随着层数越多，位数越多，密度也就越大。

图表：通过增加每条位线上晶体管/电容器的数量优化设计



资料来源：泛林集团，华鑫证券研究

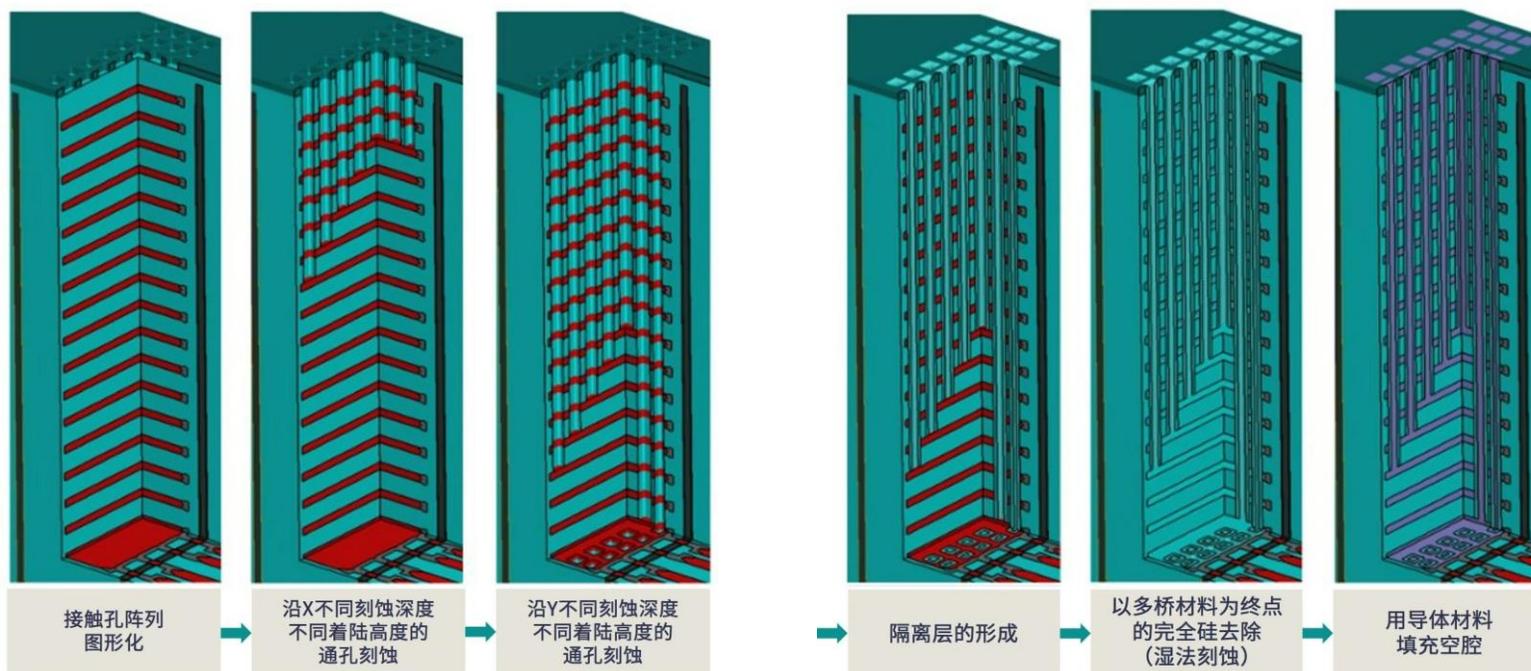
图表：28层高的3D DRAM结构



## 2.2 3D DRAM堆栈需要设计重构

3D DRAM除了需要新架构之外，还必须就金属化和连接性做出改变。几种新的方法可以促使电流通过中央的位线堆叠，包括连接各层的水平MIM（金属 - 绝缘层 - 金属）电容器阵列，以及将栅极包裹在硅晶体管周围（栅极全包围）。当电流通过时，只有目标位线（层）被激活。在被激活的层中，电流可以连接到正确的晶体管。

**28层3D纳米薄片的关键组件包括：**一叠栅极全包围纳米薄片硅晶体管、两排晶体管之间的位线层、24个垂直字线位线层和晶体管之间以及晶体管和电容器之间的互连水平、MIM电容器阵列。为了避免3D NAND中使用的台阶式结构的局限性，泛林建议引入穿过硅堆栈层且可以在特定层停止（每层一个通孔）的通孔阵列结构，将接触点置于存储单元内部。沟槽制作完成后，引入只存在于侧墙的隔离层。高沟槽用于引入刻蚀介质以去除硅，然后在空沟槽中引入导电金属。

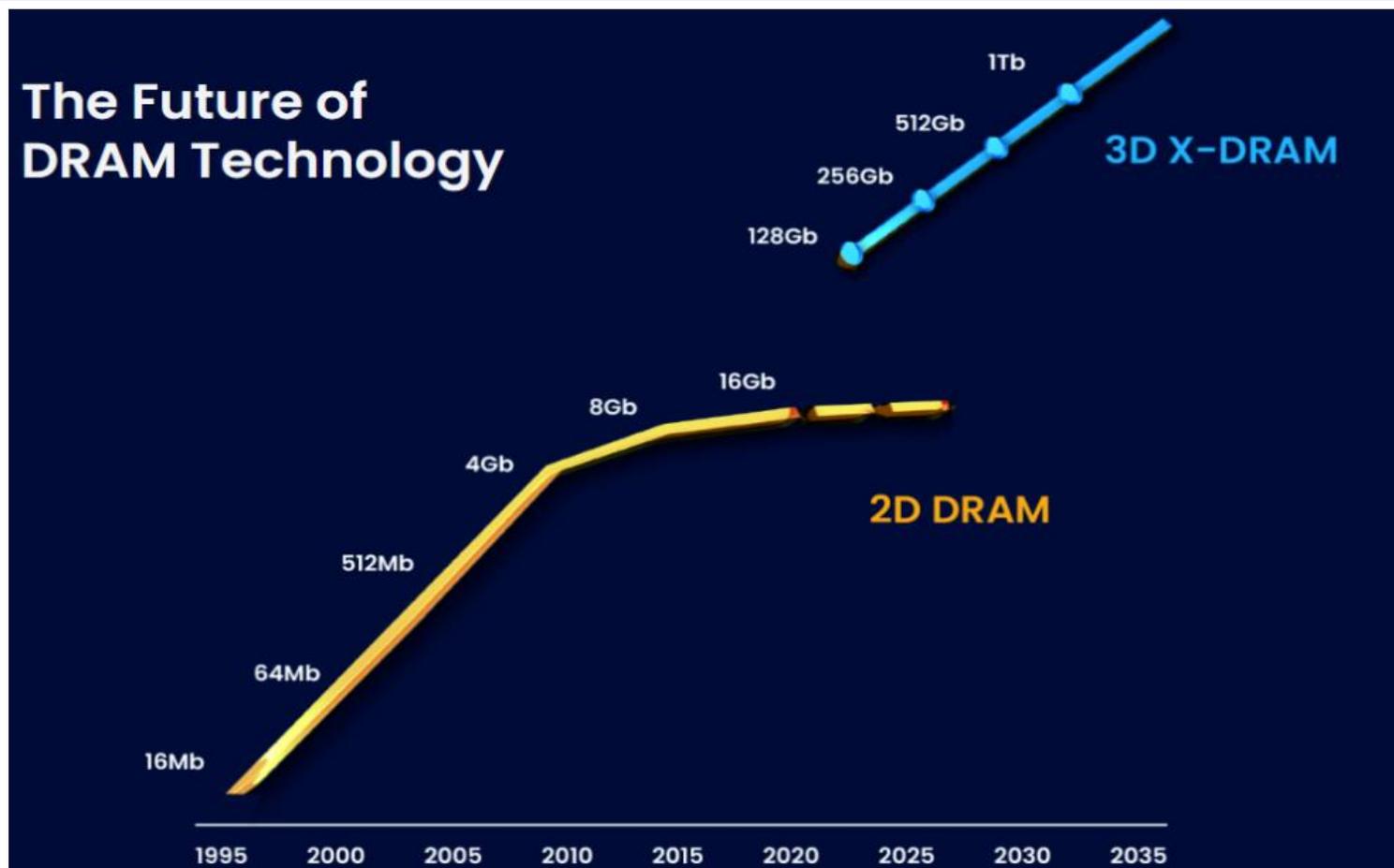


图表：位线接触图形化

资料来源：泛林集团，华鑫证券研究

## 2.3 3D DRAM存储密度将显著高于2D DRAM

NEO半导体表示，由于其3D DRAM制造工艺与3D NAND非常相似，3D DRAM密度将随着同时期3D NAND层数量的增加而增加。3D DRAM的实际密度也将取决于同时期3D NAND工艺的进步，因此可以基于现有3D NAND技术路线图的对3D DRAM的存储密度做出合理的估计。



图表：DRAM技术的未来发展

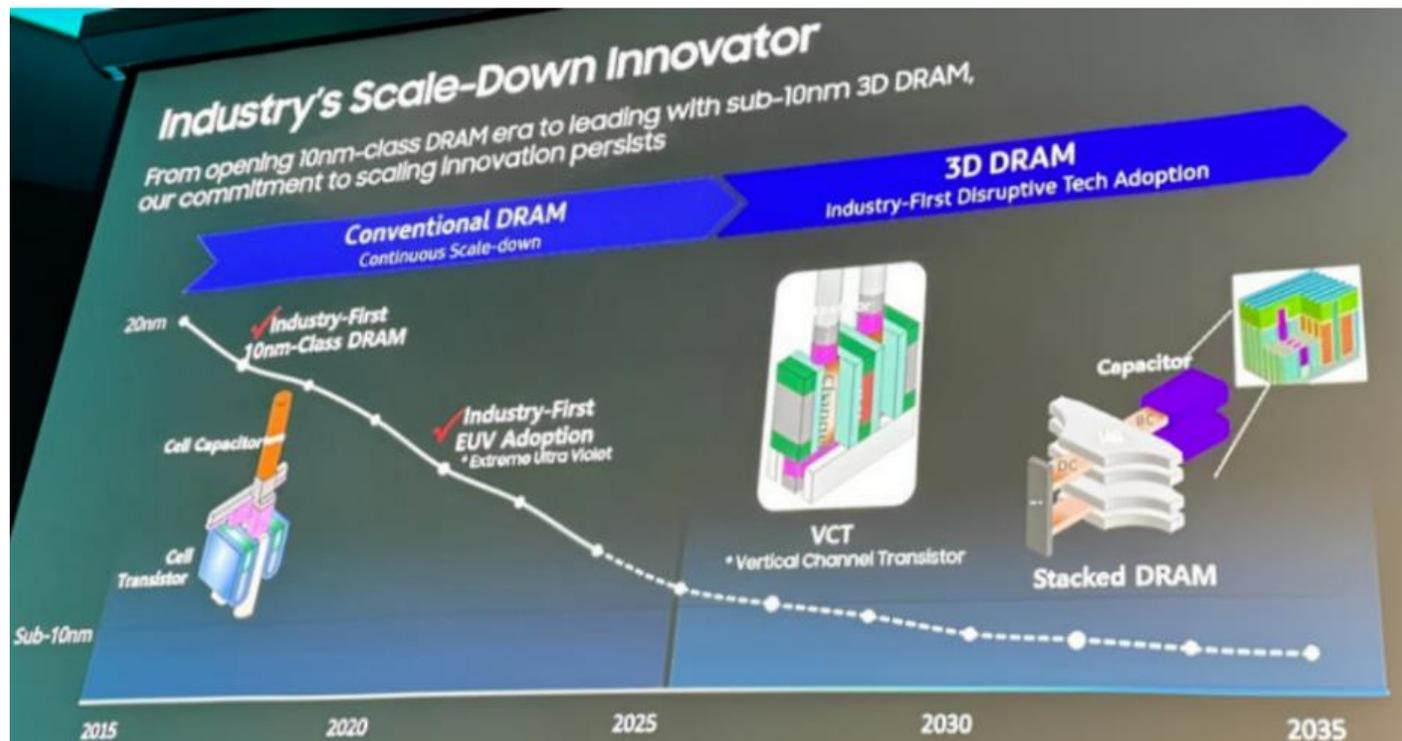
资料来源：NEO半导体，华鑫证券研究

# 03 全球存储巨头纷纷布局 3D DRAM 技术

研究创造价值

## 3.1 三星公布其3D DRAM开发路线图

三星在Memcon 2024会议上公布其3D DRAM开发路线图。早在2021年，三星电子正式对外宣布其3D DRAM开发项目。2024年3月，三星电子在加利福尼亚州圣何塞举行的全球芯片制造商峰会Memcon 2024上公布了其3D DRAM开发路线图。三星公司计划在2025年推出基于其垂直通道晶体管技术的早期版本的3D DRAM，该技术在构成单元的晶体管中垂直设置一个通道，并用一个栅极包裹住它作为开关。三星还计划在 2030 年推出更新版本的堆叠式 DRAM，该DRAM可以堆叠包括电容器在内的所有单元。三星已于今年早些时候在美国硅谷开设了一家新的3D DRAM研发实验室。



图表：三星3D DRAM开发路线图

资料来源：三星电子，半导体行业观察，华鑫证券研究

三星展示了两项新型3D DRAM内存技术：垂直通道晶体管（Vertical Channel Transistor）和堆叠DRAM（Stacked DRAM）。相较于传统晶体管结构，垂直通道晶体管将沟道方向由水平改为垂直，这虽能显著减小器件面积占用，但对刻蚀工艺的精度要求更高。

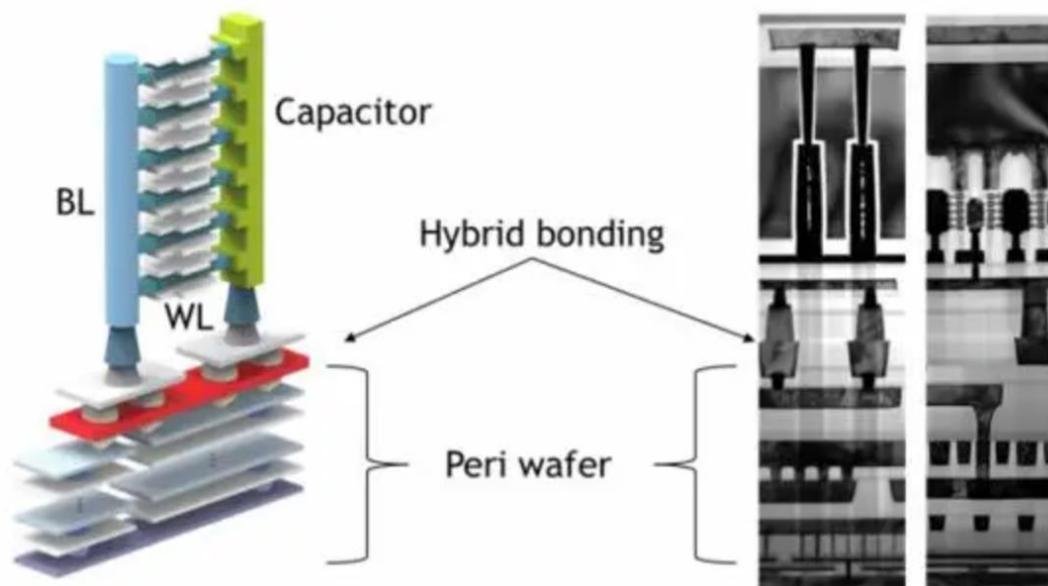
相较于现有的2D DRAM结构，堆叠DRAM能充分利用Z轴空间，在较小区域内容纳更多存储单元，使得单颗芯片容量提升至超过100G级别。

三星3D DRAM预计将通过wafer-to-wafer等混合键合技术来制造，同时三星也在考虑把BSPDN（背面供电网络）技术应用于3D DRAM。

## 3.2 海力士首次披露其3D DRAM开发的具体数据和运行特性

**海力士五层堆叠3D DRAM生产良率过半。**海力士在半导体会议VLSI 2024上提交了一份关于3D DRAM的研究论文，指出其五层堆叠的3D DRAM生产良率达到了56.1%，实验中的3D DRAM显示出与目前使用的2D DRAM相似的特性。这是海力士首次披露其3D DRAM开发的具体数据和运行特性。海力士还在研究将IGZO材料应用于3D DRAM，以解决带宽和延迟方面的挑战。IGZO是由铟、镓、氧化锌组成的金属氧化物材料，大致分为非晶质IGZO和晶化IGZO。其中，晶化IGZO是一种物理、化学稳定的材料，在半导体工艺过程中可保持均匀的结构，海力士研究的正是这种材料，其最大优势是其低待机功耗，这种特点适合要求长续航时间的DRAM芯晶体管，改善DRAM的刷新特性。

图表：海力士3D DRAM器件的结构设计



资料来源：海力士，电子工程专辑，华鑫证券研究

**海力士还在探索混合键合技术的应用，以进一步提升3D DRAM的性能和集成度。**海力士表示，虽然3D DRAM的潜力巨大，但在实现商业化之前，还需要一个实质性的开发过程。他们指出，与二维 DRAM 的稳定运行不同，三维 DRAM 表现出不稳定的性能特征，需要堆叠 32 到 192 层存储单元才能实现普遍应用。

### 3.3 美光3D DRAM专利数量遥遥领先

美光在2019年就开始了3D DRAM的研究工作。截止2022年8月，美光已获得了30多项3D DRAM专利。相比之下，美光专利数量是三星和SK海力士这两家韩国芯片制造商的两三倍。美光表示，3D DRAM正在被讨论作为继续扩展DRAM的下一步。为了实现3D DRAM，整个行业都在积极研究，从制造设备的开发、先进的ALD、选择性气相沉积、选择性蚀刻，再到架构的讨论。根据Yole表述，美光提交了与三星电子不同的3D DRAM专利申请，美光的方法是在不放置Cell的情况下改变晶体管 and 电容器的形状。

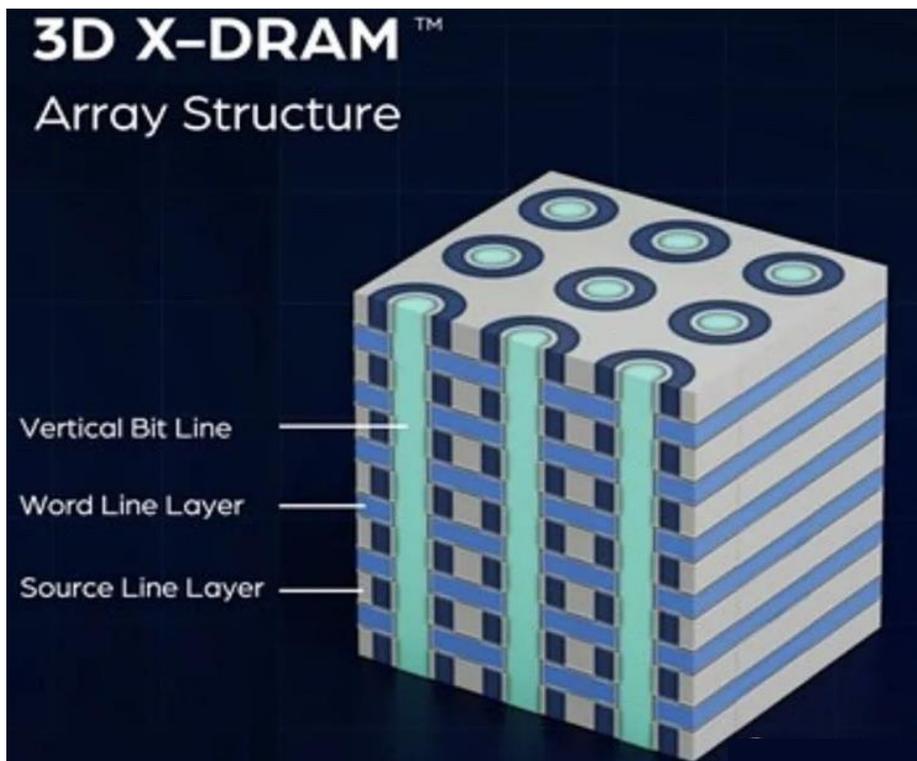


图表：美光DRAM技术路线图

资料来源：美光，盘古智库，华鑫证券研究

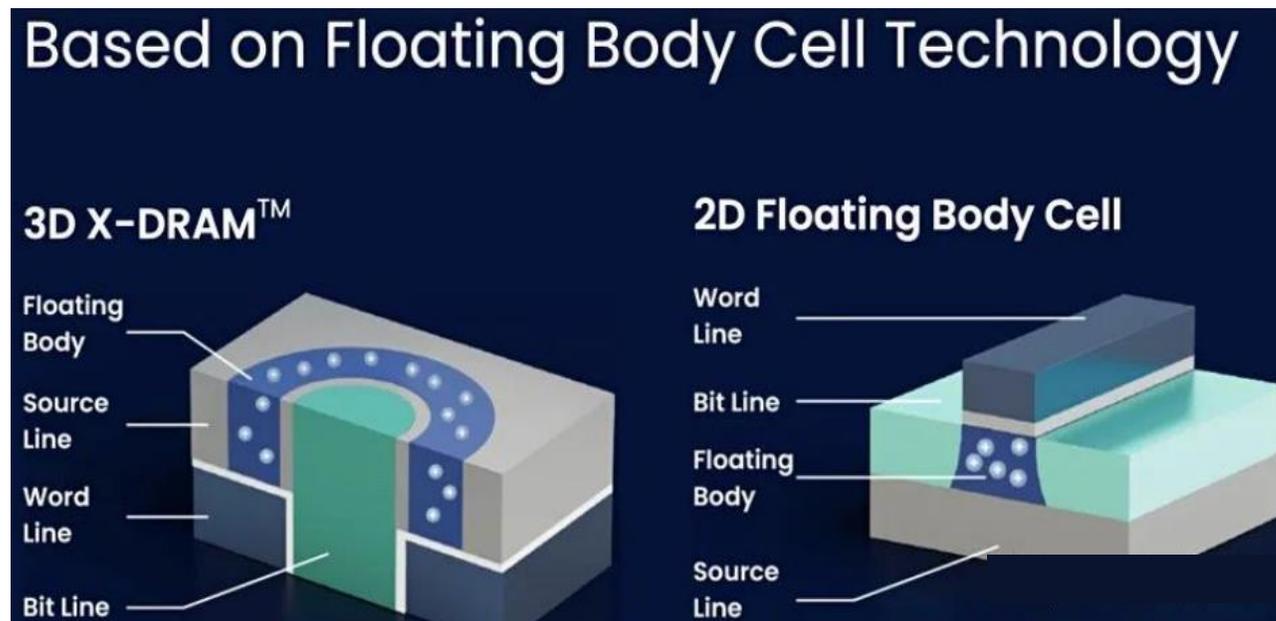
### 3.4 NEO半导体推出3D X-DRAM技术

NEO半导体推出了一种名为3D X-DRAM的技术，旨在克服DRAM的容量限制。3D X-DRAM的单元阵列结构类似于3D NAND Flash，采用了FBC（无电容器浮体单元）技术，它可以通过添加层掩模形成垂直结构，从而实现高良率、低成本和显著的密度提升。NEO表示，3D X-DRAM技术可以生产230层的128Gbit DRAM芯片——是当前DRAM密度的八倍。3D X-DRAM也是解决由下一波AI应用（例如ChatGPT）驱动的对高性能和大容量存储器半导体的需求增长所必需的。



图表：3D X-DRAM阵列结构

图表：3D X-DRAM基于浮体单元技术



资料来源：NEO半导体，华鑫证券研究

# 3.5 长江存储布局具有XTACKING架构的DRAM专利

长江存储布局具有XTACKING架构的DRAM专利。根据国家知识产权局网站查询，长江存储早在2020年就申请了关于具有XTACKING架构的DRAM专利，XTACKING架构为长江存储生产其3D NAND存储器的特有架构，采用了三维晶圆混合键合工艺。根据专利描述，具有XTACKING架构的DRAM存储器包括具有形成于其中的阵列晶体管的第一晶圆,和具有形成于其中的电容器结构的第二晶圆，以及形成于第一晶圆和第二晶圆之间的包括多个键合结构的键合界面。

(19) 中华人民共和国国家知识产权局



## (12) 发明专利申请

(10) 申请公布号 CN 113451314 A  
(43) 申请公布日 2021.09.28

(21) 申请号 202110734431.0

(22) 申请日 2020.02.20

(62) 分案原申请数据  
202080000434.5 2020.02.20

(71) 申请人 长江存储科技有限责任公司  
地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 刘磊 王迪 周文犀 夏志良

(74) 专利代理机构 北京永新同创知识产权代理有限公司 11376  
代理人 刘柳 杨锡励

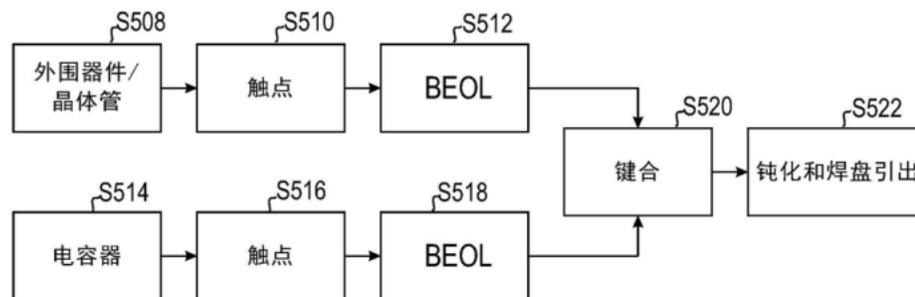
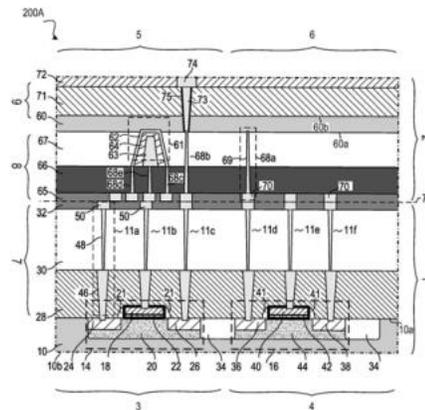
(51) Int. Cl.  
H01L 27/108 (2006.01)  
H01L 21/18 (2006.01)

权利要求书4页 说明书13页 附图14页

图表：具有XTACKING架构的DRAM存储器件专利

(54) 发明名称  
具有XTACKING架构的DRAM存储器件

(57) 摘要  
具有XTACKING架构的DRAM存储器件。提供了一种半导体器件。半导体器件包括具有形成于其中的阵列晶体管的第一晶圆,和具有形成于其中的电容器结构的第二晶圆。半导体器件还包括形成于第一晶圆和第二晶圆之间的、包括多个键合结构的键合界面。键合结构被配置为将阵列晶体管耦合至电容器结构,以形成存储单元。

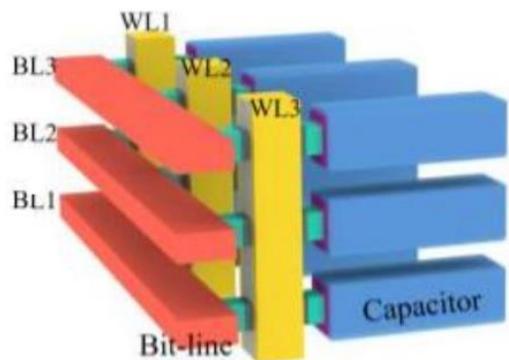


资料来源：国家知识产权局，华鑫证券研究

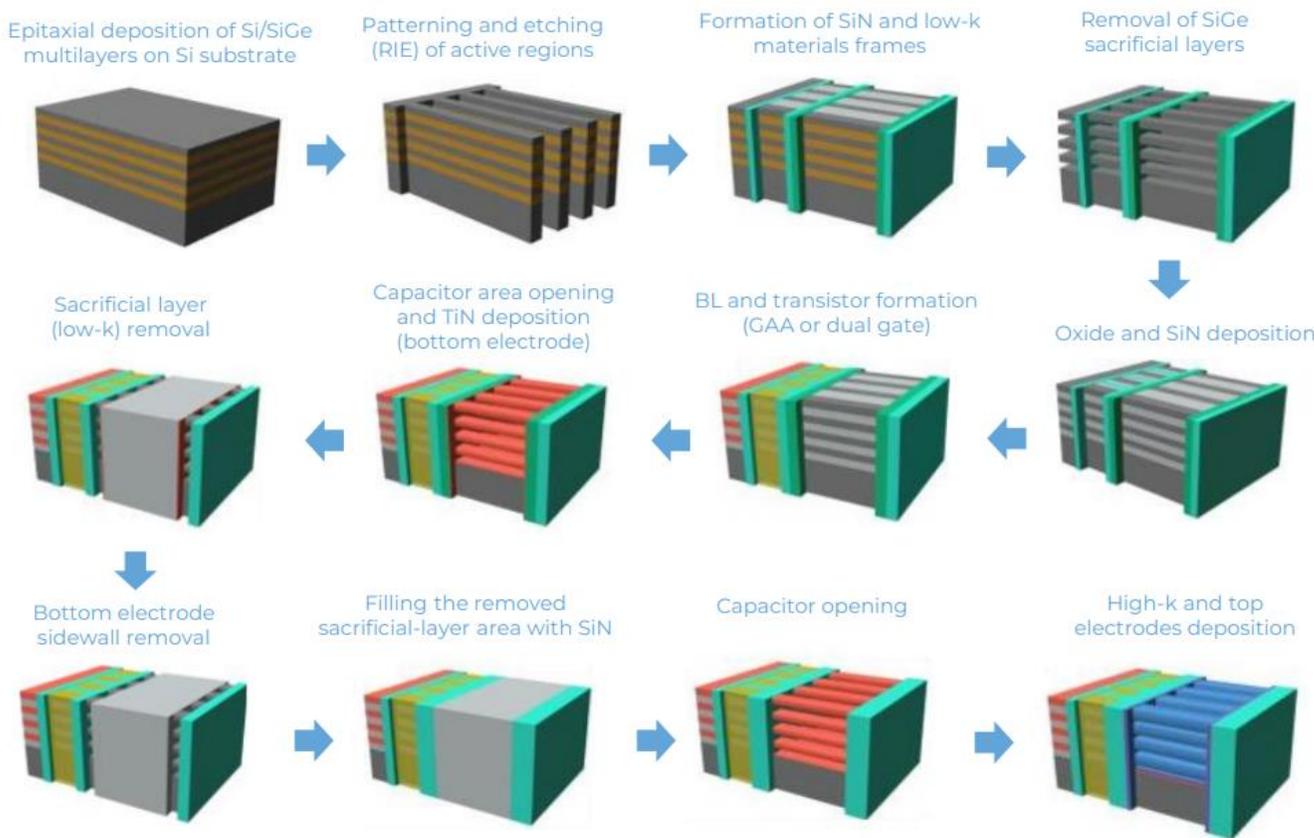
### 3.6 长鑫存储展示3D DRAM相关技术

长鑫存储在2023 IEEE国际存储会议上展示3D可堆叠1T-1C DRAM相关研究工作。长鑫的3D DRAM技术基于具有垂直沟道晶体管的翻转并堆叠的1T-1C单元，以实现紧凑的单元面积。研究人员估计61层的水平DRAM存储单元堆叠能够实现与未来0a DRAM技术（6F2）相匹配的比特密度。

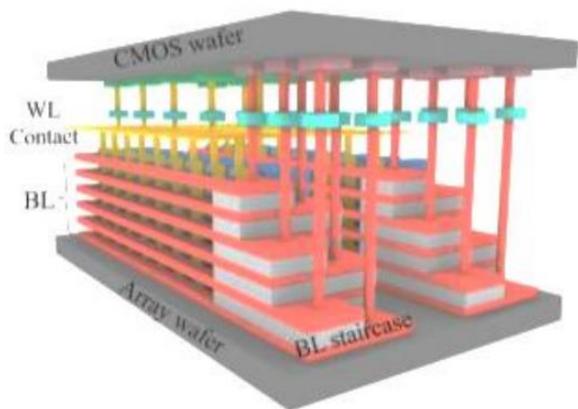
图表：3D DRAM结构示意图



图表：3D DRAM生产流程图



图表：类似Xtacking架构的3D DRAM鸟瞰图

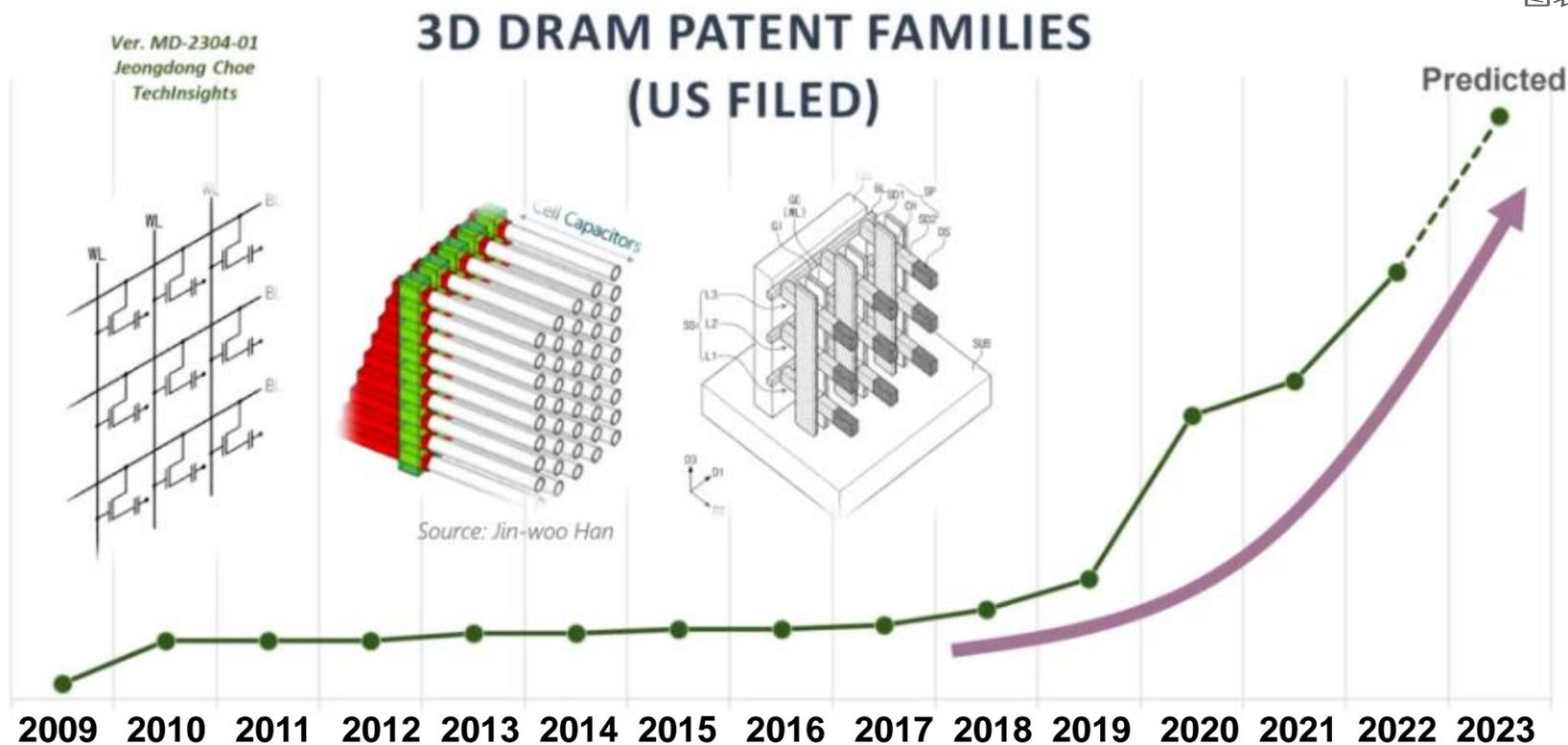


资料来源：2023 IEEE国际存储会议，长鑫存储，华鑫证券研究

## 3.7 3D DRAM技术相关专利快速增长

3D DRAM的优势不仅在于容量大，其数据访问速度也快。传统的DRAM在读取和写入数据时需要经过复杂的操作流程，而3D DRAM可以直接通过垂直堆叠的存储单元读取和写入数据，极大地提高了访问速度。此外，3D DRAM还具有低功耗、高可靠性等特点，使其在各种应用场景中都具有显著优势。目前，很多3D DRAM概念已经提出并申请了专利，一些主要DRAM厂商正在进行晶圆级测试。行业主要厂商正在逐渐加大对3D DRAM技术的开发投入，并且通过专利保护的方式为未来的市场竞争和技术主导权做准备。这种策略反映出3D DRAM技术的战略重要性和潜在的巨大商业价值。

图表：3D DRAM技术的专利族趋势



资料来源：Tech Insights，半导体行业观察，华鑫证券研究

## 3.8 3D DRAM挑战与机遇并存

3D DRAM技术拥有诸多优势且取得了显著进展，但当前仍面临着一些技术瓶颈和挑战。2D DRAM向3D DRAM转变过程中，可能将面临从性能到散热、再到封装等工艺技术的各个方面挑战。与此同时，这些复杂且精密的工艺步骤改进需要相应的设备支持和技术创新，也为半导体设备供应商提供了技术服务和设备升级的市场空间。

- **容错性和稳定性**：在多层3D DRAM中，单个存储单元的故障可能会影响整个堆叠。因此，需要关注容错性和稳定性问题，以确保数据可靠性。
- **信号传输和互连**：在多层3D DRAM结构中，数据需要在不同层之间进行高速信号传输。信号传输延迟和干扰可能影响性能。需要更先进的互连技术和高频率信号处理来解决该问题。
- **散热和温度管理**：随着3D DRAM存储器的层数增加，产生的热量也随之增加，过高的温度可能导致性能下降和寿命缩短。有效地散热和管理温度成为一项关键挑战。
- **制造复杂性和成本**：制造3D DRAM涉及复杂制造工艺，包括垂直连接和多层堆叠，这增加了制造成本和技术复杂性。
- **封装技术**：如何有效地封装3D DRAM存储器以满足市场需求是一个挑战。封装必须不仅提供物理保护，还要提供电气连接和散热支持。

在AI、云计算、自动驾驶等应用场景的不断发展下，3D DRAM拥有广阔成长空间。3D DRAM技术在未来几年将持续发展与创新，以满足不断增长的存储需求和性能要求。堆栈层数的增加、存储密度的提高、数据传输速度的增加、功耗的降低以及集成更多功能将是其发展的主要方向，这将为各领域带来更高效、高性能的存储解决方案。目前3D DRAM处于产业化前期，市场格局尚不清晰，但3D DRAM将是一个新的起点，也是存储厂商抢占下一个战略高地的新机会。

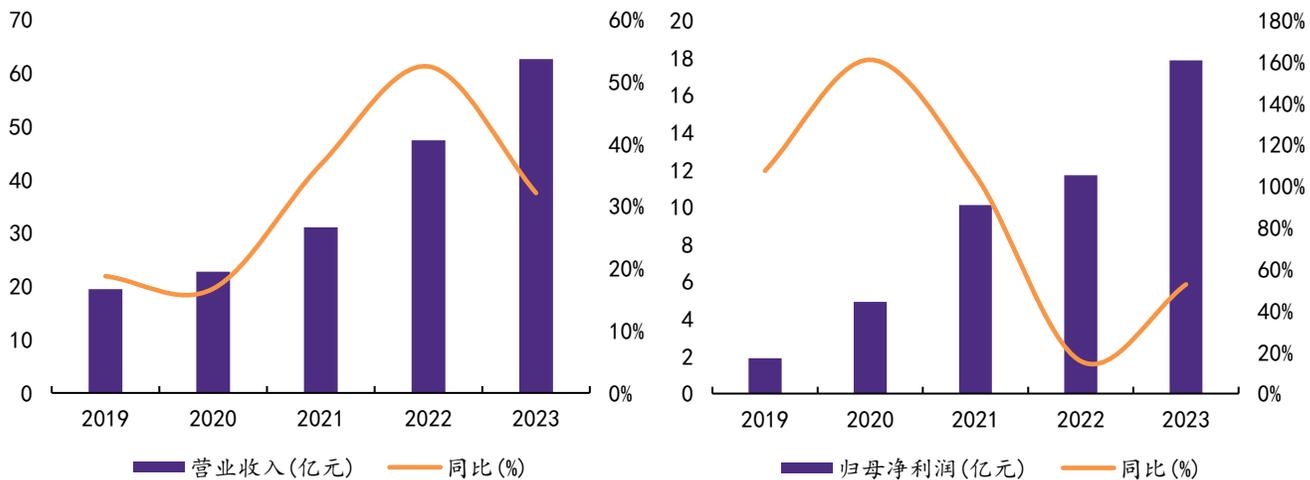
# 04 相 关 标 的

研 究 创 造 价 值

# 4.1 中微公司：半导体设备领军者，持续布局高端产品

中微公司成立于2004年，主要从事半导体设备的研发、生产和销售，于2019年上市。公司主要为集成电路、LED芯片、MEMS等半导体产品的制造企业提供刻蚀设备、MOCVD设备及其他设备。公司的等离子体刻蚀设备已应用在国际一线客户从65纳米到14纳米、7纳米和5纳米及其他先进的集成电路加工制造生产线及先进封装生产线。公司MOCVD设备在行业领先客户的生产线上大规模投入量产，公司已成为世界排名前列的氮化镓基LED设备制造商。

图表：2019-2023年中微公司营业收入及归母净利润



资料来源：Wind，公司公告，华鑫证券研究

图表：中微公司产品矩阵

刻蚀设备	电容性等离子体刻蚀设备	集成电路制造中氧化硅、氮化硅及低介电系数膜层等电介质材料的刻蚀	
	电感性等离子体刻蚀设备、硅刻蚀设备	集成电路制造中单晶硅、多晶硅以及多种介质等材料的刻蚀  CMOS图像传感器、MEMS芯片、2.5D芯片、3D芯片等通孔及沟槽的刻蚀	
MOCVD设备	MOCVD设备	蓝绿光及紫外LED外延片和功率器件的生产	
薄膜沉积设备	LPCVD设备	先进逻辑器件、DRAM和3D NAND中接触式以及金属钨线的填充	
	ALD设备	存储器件关键应用填充	

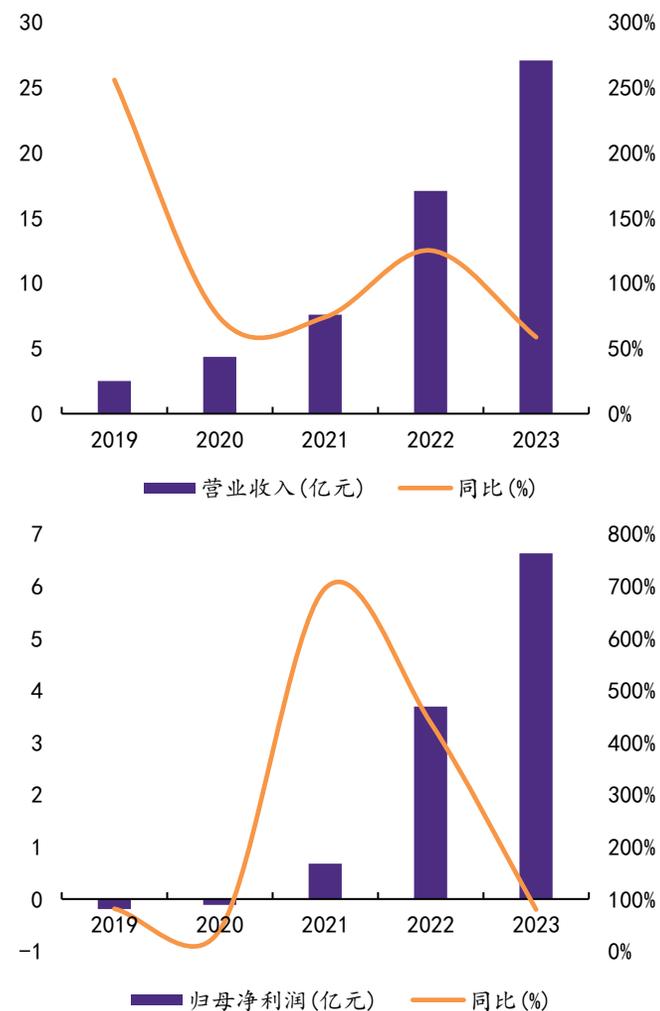
## 4.2 拓荆科技：CVD设备龙头，混合键合设备打开第二增长极

拓荆科技成立于2010年，是国内半导体设备行业重要的领军企业之一，公司三次（2016年、2017年、2019年）获得中国半导体行业协会颁发的“中国半导体设备五强企业”称号。主要产品包括等离子体增强化学气相沉积（PECVD）设备、原子层沉积（ALD）设备和次常压化学气相沉积（SACVD）设备三个产品系列，已广泛应用于国内晶圆厂14nm及以上制程集成电路制造产线，并已展开10nm及以下制程产品验证测试。公司的产品已适配国内最先进的28/14nm逻辑芯片、19/17nm DRAM芯片和64/128层3DNANDFLASH晶圆制造产线。

图表：拓荆科技产品矩阵

PECVD设备	公司是国内唯一一家产业化应用的集成电路PECVD设备厂商，已适配180-14nm逻辑芯片、19/17nmDRAM及64/128层FLASH制造工艺需求，产品能够兼容SiO <sub>2</sub> 、SiN、SiON、BPSG、PSG、TEOS、LokI、LokII、ACHM、ADCI等多种反应材料。	
ALD设备	拓荆科技是国内领先的集成电路ALD设备厂商。公司的等离子体增强原子层沉积设备（PE-ALD），在公司PECVD设备核心技术的基础上，根据ALD反应原理，结合理论分析及仿真计算，对反应腔内的气路、关键件、喷淋头等进行创新设计公司的ALD设备可以沉积SiO <sub>2</sub> 和SiN材料薄膜，目前已适配55-14nm逻辑芯片制造工艺需求。	
SACVD设备	拓荆科技是国内唯一一家产业化应用的集成电路SACVD设备厂商。公司的SACVD设备可以沉积BPSG、SAF材料薄膜，适配12英寸40/28nm以及8英寸90nm以上的逻辑芯片制造工艺需求。	

图表：2019-2023年拓荆科技营业收入及归母净利润

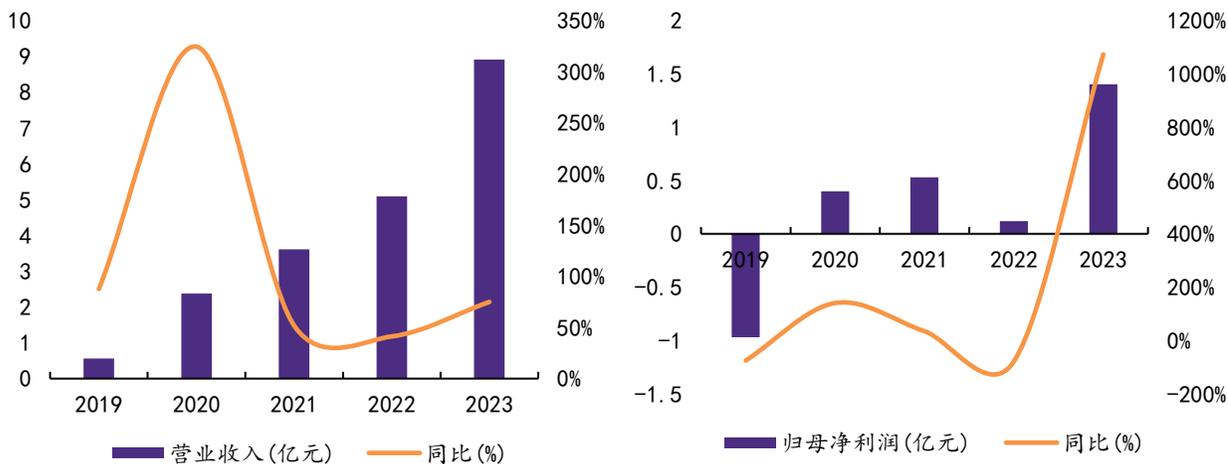


资料来源：Wind，公司公告，华鑫证券研究

## 4.3 中科飞测：专注高端半导体质量控制，创新领航行业发展

中科飞测成立于2014年，是国内领先的高端半导体质量控制设备公司。自成立以来始终专注于检测和量测两大类集成电路专用设备的研发、生产和销售，产品主要包括无图形晶圆缺陷检测设备系列、图形晶圆缺陷检测设备系列、三维形貌量测设备系列、薄膜膜厚量测设备系列等产品，已应用于国内28nm及以上制程的集成电路制造产线。公司的三维形貌量测设备和无图形晶圆缺陷检测设备分别在2020年和2021年获得中国集成电路创新联盟颁发的“IC创新奖”技术创新奖。

图表：2019-2023年中科飞测营业收入及归母净利润



资料来源：Wind，公司公告，华鑫证券研究

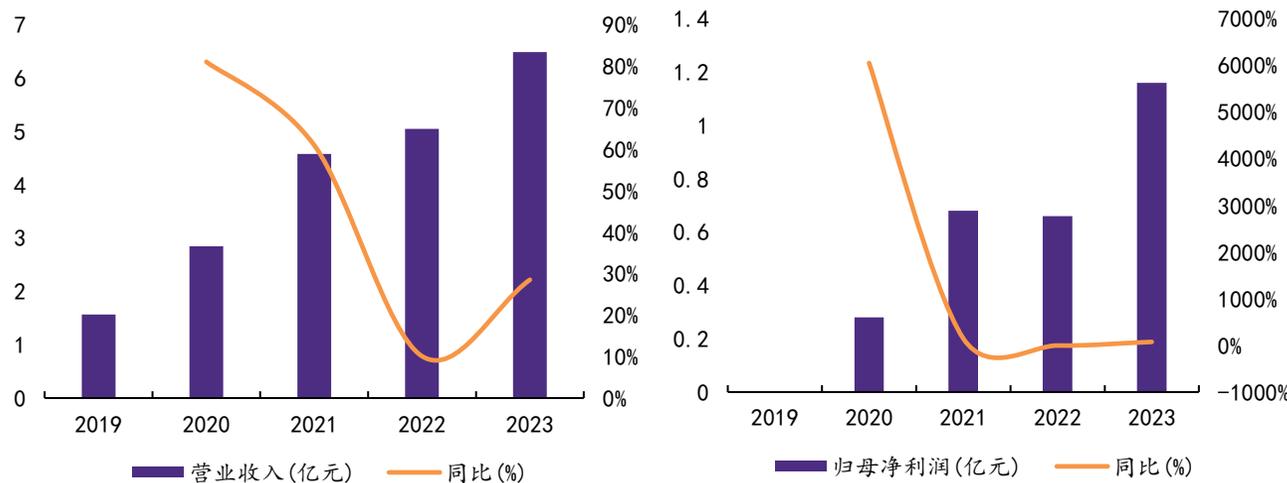
图表：中科飞测产品矩阵

检测设备	无图形晶圆缺陷检测设备系列	主要应用于硅片的出厂品质管控、晶圆的入厂质量控制、半导体制程工艺和设备的污染监控。该系列的设备能够实现无图形晶圆表面的缺陷计数，识别缺陷的类型和空间分布	
	图形晶圆缺陷检测设备系列	主要应用于晶圆表面亚微米量级的二维、三维图形缺陷检测，能够实现在图形电路上的全类型缺陷检测。拥有多模式明/暗照明系统、多种放大倍率镜头，适应不同检测精度需求，能够实现高速自动对焦，可适用于面型变化较大翘曲晶圆	
量测设备	三维形貌量测设备系列	主要应用于晶圆上的纳米级三维形貌测量、双/多层薄膜厚度测量、关键尺寸和偏移量测量，配合图形晶圆智能化特征识别和流程控制、晶圆传片和数据通讯等自动化平台	
	薄膜膜厚量测设备系列	主要应用于晶圆上纳米级的单/多层膜的膜厚测量，采用椭圆偏振技术和光谱反射技术实现高精度薄膜膜厚、n-k值的快速测量	
	3D 曲面玻璃量测设备系列	主要应用于3D曲面玻璃等构件的轮廓弧高、厚度、尺寸测量，采用光谱共焦技术，实现高精度、高速度的非接触式测量。搭载可配置的全自动测量软件工具和完整的测试及结果分析界面	

## 4.4 精智达：引领新型显示检测设备，致力国产化替代

精智达成立于2011年，是检测设备与系统解决方案提供商，主要从事新型显示器件检测设备的研发、生产和销售业务，产品广泛应用于以AMOLED为代表的新型显示器件制造中光学特性、显示缺陷、电学特性等功能检测及校准修复，并逐步向半导体存储器件测试设备领域延伸发展。作为国家级专精特新“小巨人”及高新技术企业，公司始终坚持研发导向、客户导向，致力于检测设备的自主可控和国产化替代。

图表：2019-2023年精智达营业收入及归母净利润



资料来源：Wind，公司公告，华鑫证券研究

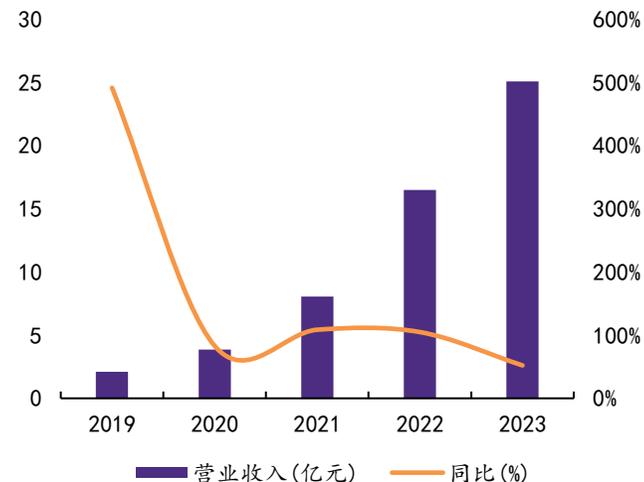
图表：精智达产品矩阵

新型显示器件检测设备	公司的新型显示器件检测设备主要用AMOLED、TFT-LCD等新型显示器件的Cell与Module制程的光学特性、显示缺陷、电学特性等各种功能检测及校准修复，用于产品缺陷检测、产品等级判定与分类，对部分产品缺陷进行校准、修复及复判，从而提升产品良率、降低生产损耗，并为相关工序的工艺提升提供数据支撑	光学检测及校正修复系统	
	老化系统		
	触控检测系统		
	信号发生器		
半导体存储器件测试设备	公司的半导体存储器件测试设备主要用于在DRAM等半导体存储器件的晶圆制造环节对晶圆裸片进行电参数性能和功能测试，或在封装测试环节对芯片颗粒进行电参数性能和功能测试，以保证出厂的芯片性能和功能指标达到设计规范要求	存储器晶圆测试系统	
		存储器老化修复系统	
		存储器封装测试系统	

## 4.5 华海清科：CMP设备国产化先锋，打破国际垄断布局高端市场

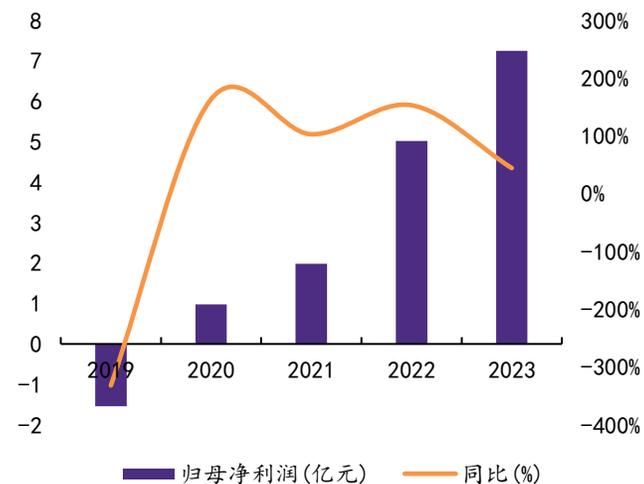
华海清科成立于2013年，是一家拥有核心自主知识产权的高端半导体设备制造商，主要从事半导体专用设备的研发、生产、销售及技术服务，主要产品为化学机械抛光（CMP）设备。CMP是先进集成电路制造前道工序、先进封装等环节必需的关键制程工艺，公司所生产CMP设备可广泛应用于12英寸和8英寸的集成电路大生产线，产品总体技术性能已达到国际先进水平。公司推出了国内首台拥有自主知识产权的12英寸CMP设备并实现量产销售，是目前国内唯一一家为集成电路制造商提供12英寸CMP商业机型的高端半导体设备制造商；公司所产主流机型已成功填补国内空白，打破了国际巨头在此领域数十年的垄断。

图表：2019-2023年华海清科营业收入及归母净利润



图表：华海清科产品矩阵

300 系列 12 英寸 CMP 设备	Universal-300 是拥有完全自主知识产权的国产首台 12 英寸 CMP 设备，适用于集成电路制造、晶圆基片生产、CMP 研磨材料研发和相关的科学研究，该系列可以满足 14~130nm Oxide//SiN//STI//Poly//Cu//W CMP 等各种工艺需求	
200 系列 8 英寸 CMP 设备	Universal-200 是一套独立控制的 8 英寸 CMP 抛光单元系统，可兼容 4-8 英寸多种材料的化学机械抛光。该单机沿用了华海清科抛光设备的成熟技术和功能，适用于 MEMS 制造、第三代半导体制造、科研院所、实验研发机构	
12 英寸减薄抛光一体机	Versatile-GP300 是公司新研制的用于 3D IC 制造的 12 英寸晶圆减薄抛光一体机，通过新型整机布局集成超精密磨削、CMP 及后清洗工艺，配置先进的厚度偏差与表面缺陷控制技术，提供多种系统功能扩展选项，具有高精度、高刚性、工艺开发灵活等优点。可基于 Versatile-GP300 拓展和研发多种配置，满足 3DIC 制造、先进封装等领域的晶圆减薄技术需求	



资料来源：Wind，公司公告，华鑫证券研究

宏观经济增长不及预期的风险；

海外科技管制进一步加强的风险；

本土科技创新突破不及预期的风险；

下游需求恢复不及预期的风险；

行业景气度复苏不及预期的风险；

推荐标的业绩不及预期的风险。

毛正：复旦大学材料学硕士，三年美国半导体上市公司工作经验，曾参与全球领先半导体厂商先进制程项目，五年商品证券投研经验，2018-2020年就职于国元证券研究所担任电子行业分析师，内核组科技行业专家；2020-2021年就职于新时代证券研究所担任电子行业首席分析师，iFind 2020行业最具人气分析师，东方财富2021最佳分析师第二名；东方财富2022最佳新锐分析师；2021年加入华鑫证券研究所担任电子行业首席分析师。

高永豪：复旦大学物理学博士，曾先后就职于华为技术有限公司，东方财富证券研究所，2023年加入华鑫证券研究所

吕卓阳：澳大利亚国立大学硕士，曾就职于方正证券，4年投研经验。2023年加入华鑫证券研究所，专注于半导体材料、半导体显示、碳化硅、汽车电子等领域研究。

何鹏程：悉尼大学金融硕士，中南大学软件工程学士，曾任职德邦证券研究所通信组，2023年加入华鑫证券研究所。专注于消费电子、卫星互联网、光通信等领域研究。

张璐：香港大学硕士，经济学专业毕业，于2023年12月加入华鑫证券研究所。

## 证券分析师承诺

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格并注册为证券分析师，以勤勉的职业态度，独立、客观地出具本报告。本报告清晰准确地反映了本人的研究观点。本人不曾因，不因，也将不会因本报告中的具体推荐意见或观点而直接或间接收到任何形式的补偿。

## 免责声明

华鑫证券有限责任公司（以下简称“华鑫证券”）具有中国证监会核准的证券投资咨询业务资格。本报告由华鑫证券制作，仅供华鑫证券的客户使用。本公司不会因接收人收到本报告而视其为客户。

本报告中的信息均来源于公开资料，华鑫证券研究部门及相关研究人员力求准确可靠，但对这些信息的准确性及完整性不作任何保证。我们已力求报告内容客观、公正，但报告中的信息与所表达的观点不构成所述证券买卖的出价或询价的依据，该等信息、意见并未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。投资者应当对本报告中的信息和意见进行独立评估，并同时结合各自的投资目的、财务状况和特定需求，必要时就财务、法律、商业、税收等方面咨询专业顾问的意见。对依据或者使用本报告所造成的一切后果，华鑫证券及/或其关联人员均不承担任何法律责任。本公司或关联机构可能会持有报告中所提到的公司所发行的证券头寸并进行交易，还可能为这些公司提供或争取提供投资银行、财务顾问或者金融产品等服务。本公司在知晓范围内依法合规地履行披露。

本报告中的资料、意见、预测均只反映报告初次发布时的判断，可能会随时调整。该等意见、评估及预测无需通知即可随时更改。在不同时期，华鑫证券可能会发出与本报告所载意见、评估及预测不一致的研究报告。华鑫证券没有将此意见及建议向报告所有接收者进行更新的义务。

本报告版权仅为华鑫证券所有，未经华鑫证券书面授权，任何机构和个人不得以任何形式刊载、翻版、复制、发布、转发或引用本报告的任何部分。若华鑫证券以外的机构向其客户发放本报告，则由该机构独自为此发送行为负责，华鑫证券对此等行为不承担任何责任。本报告同时不构成华鑫证券向发送本报告的机构之客户提供的投资建议。如未经华鑫证券授权，私自转载或者转发本报告，所引起的一切后果及法律责任由私自转载或转发者承担。华鑫证券将保留随时追究其法律责任的权利。请投资者慎重使用未经授权刊载或者转发的华鑫证券研究报告。

## 证券投资评级说明

股票投资评级说明：

	投资建议	预测个股相对同期证券市场代表性指数涨幅
1	买入	>20%
2	增持	10%—20%
3	中性	-10%—10%
4	卖出	<-10%

行业投资评级说明：

	投资建议	行业指数相对同期证券市场代表性指数涨幅
1	推荐	>10%
2	中性	-10%—10%
3	回避	<-10%

以报告日后的12个月内，预测个股或行业指数相对于相关证券市场主要指数的涨跌幅为标准。

**相关证券市场代表性指数说明：**A股市场以沪深300指数为基准；新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以恒生指数为基准；美国市场以道琼斯指数为基准。



华鑫证券

CHINA FORTUNE SECURITIES

研创造价值