

证券研究报告

2024年11月19日

行业报告：行业深度研究

专用设备

HBM：堆叠互联，方兴未艾

作者：

分析师 朱晔 SAC执业证书编号：S1110522080001



天风证券
TF SECURITIES

行业评级：强于大市（维持评级）
上次评级：强于大市

请务必阅读正文之后的信息披露和免责声明

堆叠互联为HBM核心工艺

HBM制造流程主要包括TSV、Bumping/Stacking和KGSD测试三个环节：3D堆叠方式允许芯片在垂直方向上连接，大大增加了单位面积内的存储密度和带宽，每一层通过硅通孔和微凸点互连技术与其他层连接，互联技术尤为重要。

1) 通孔：TSV系垂直堆叠核心工艺

深孔刻蚀设备：深孔刻蚀是TSV的关键工艺，目前首选技术是基于Bosch工艺的干法刻蚀；

铜填充设备：解决高深宽比微孔内的金属化问题，提高互联孔的可靠性，系整个TSV工艺里最核心、难度最大的工艺；

CMP设备：TSV要求晶圆减薄至50 μm 甚至更薄，要使硅孔底部的铜暴露出来，为下一步的互连做准备。

2) 键合：混合键合，未来可期

混合键合：混合键合互连方案满足3D内存堆栈和异构集成的极高互连密度需求，并且可以显著降低整体封装厚度、更高电流负载能力、更好热性能。

临时键合&解键合：为满足TSV和三维堆叠型3D集成制造需求，减薄后晶圆厚度越来越薄，为了解决超薄晶圆的取放问题，业界通常采用临时键合与解键合技术。

3) 测试：复杂结构提出更高要求

KGSD测试：主要包括逻辑芯片测试、动态向量老化应力测试、TSV测试、高速性能测试、PHY I/O测试以及2.5D SIP测试。

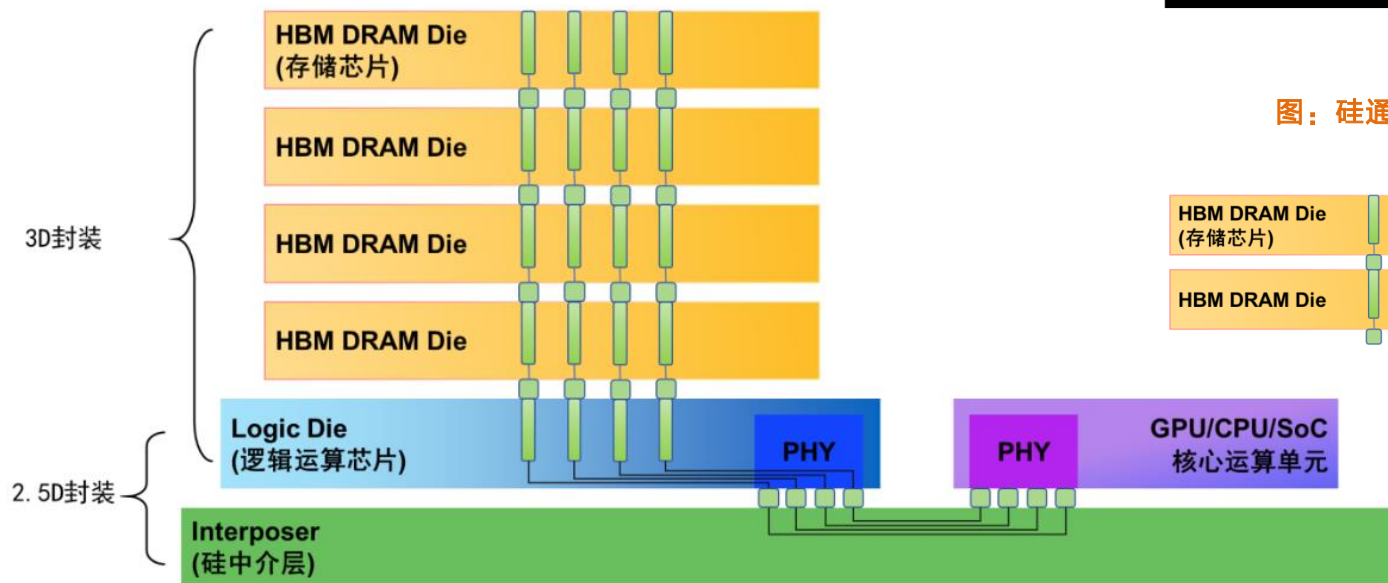
建议关注：拓荆科技、芯源微、华海清科、精智达、长川科技、赛腾股份、芯碁微装（与电子组联合覆盖）。

风险提示：晶圆厂扩产不及预期的风险、供应链安全风险、技术开发风险

堆叠互联为HBM核心工艺

- HBM（High Bandwidth Memory，高带宽内存）：为满足巨量数据处理需求而设计的DRAM技术，提供超高数据传输速率。HBM通过使用堆叠内存芯片以及硅通孔（Through-Silicon Via, TSV）技术与微凸点（Microbump）互连来实现更高的带宽和更低的功耗，从而解决传统内存技术在处理高性能计算和图形密集型应用时面临的带宽瓶颈问题。

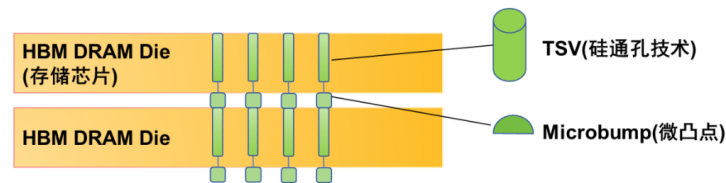
图：HBM芯片设计架构图



图：传统2D封装示意图



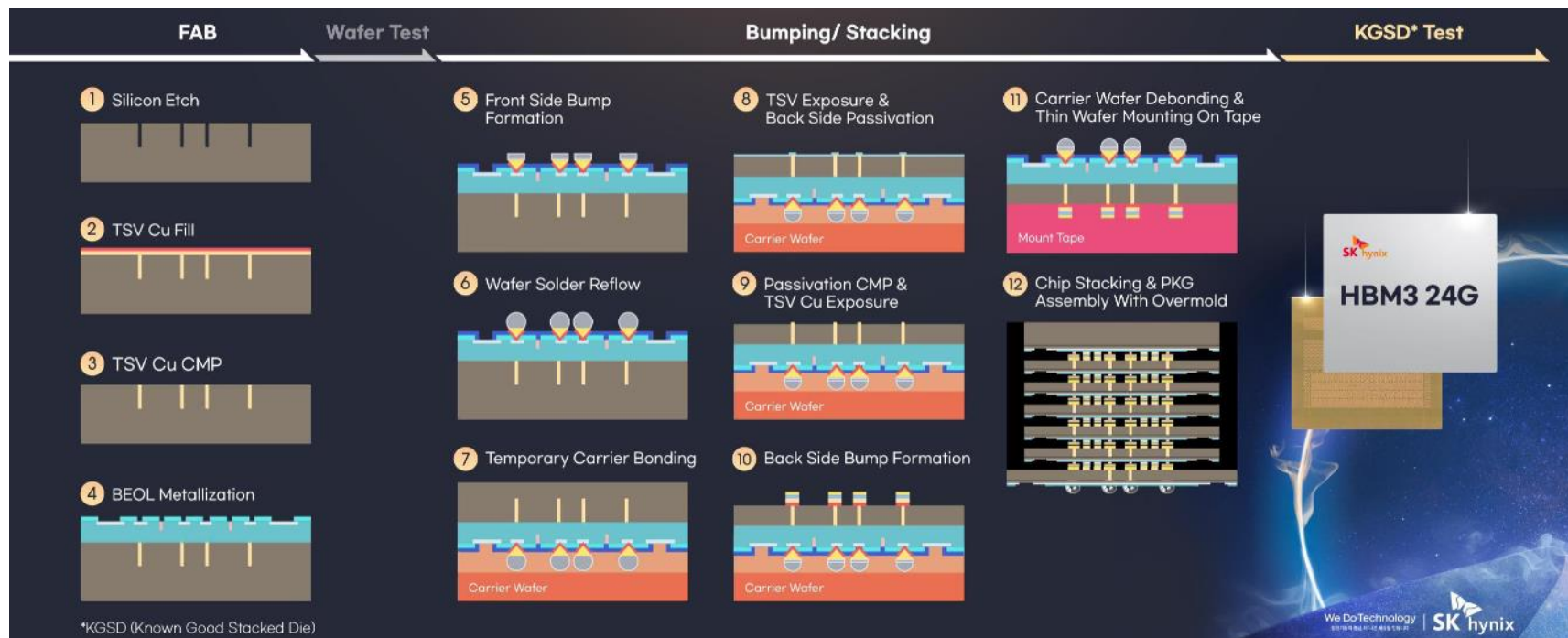
图：硅通孔（TSV）和微凸点互连技术



堆叠互联为HBM核心工艺

- HBM制造流程主要包括TSV、Bumping/Stacking和KGSD测试三个环节：3D堆叠方式允许芯片在垂直方向上连接，大大增加了单位面积内的存储密度和带宽，每一层通过硅通孔（TSV）和微凸点互连技术与其他层连接，因此互联技术尤为重要。
- TSV是HBM实现垂直互连的关键：TSV是一种在硅片内部钻孔并填充导电材料的技术，用于创建垂直连接。这些垂直连接允许电信号和热量在堆叠芯片之间传递，从而提高了数据传输速率并改善了热管理。
- 微凸点互连（Microbump Interconnect）技术用于连接堆叠在一起的内存芯片：微凸点是微小的金属凸点，位于芯片的接触面上，用于建立物理和电气连接。这种连接方式对于高密度堆叠非常关键，因为它提供了稳定且高效的数据传输路径。

图：HBM工艺制造流程



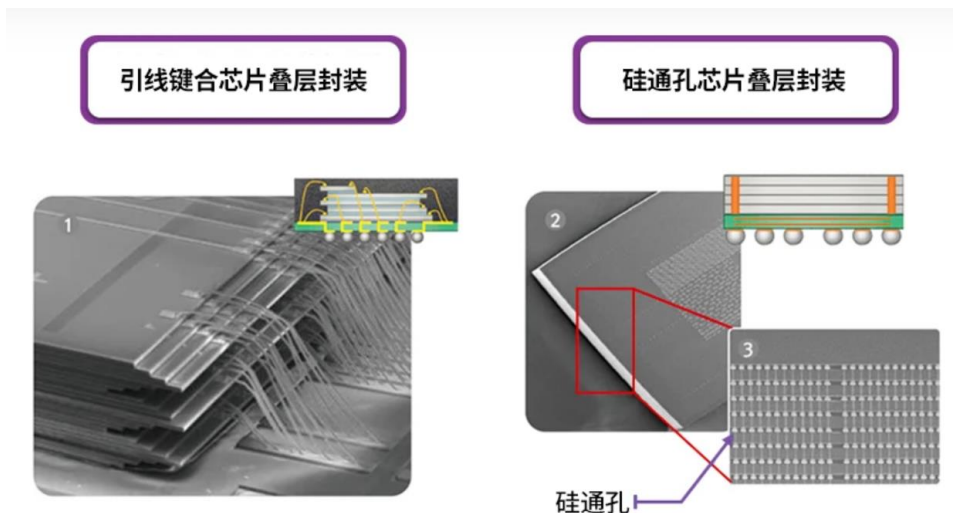
1 TSV工艺：垂直堆叠核心工艺

1.1 TSV工艺：高效互联，性能优越

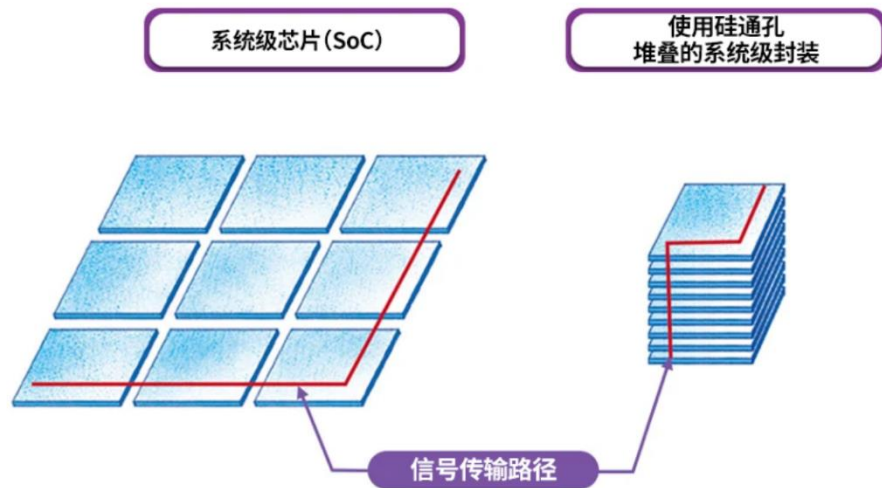
■ TSV封装具备性能优越、封装尺寸小等优势

- TSV技术通过在硅基板中创建垂直的导电通道，实现芯片间的直接连接。这些导电通道的直径（CD）通常在1-5微米之间，深度可达10-50微米。TSV技术不仅能够实现高密度的垂直互连，还能显著减少信号延迟，提高数据传输速率。
- TSV封装的主要优势在于性能优越且封装尺寸较小。使用引线键合的芯片堆叠封装由于堆叠芯片以及连接引脚（Pin）的数量增加，引线变得更加复杂，而且也需要更多空间来容纳这些引线；相比之下，TSV芯片堆叠不需要复杂的布线，封装尺寸更小。同时使用硅通孔堆叠的系统级封装的信号传输路径相比于系统级芯片短得多。

图：TSV芯片叠层封装体积更小



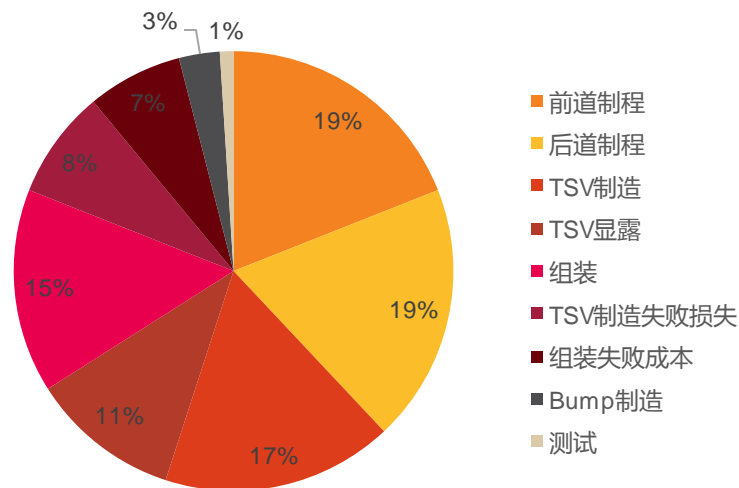
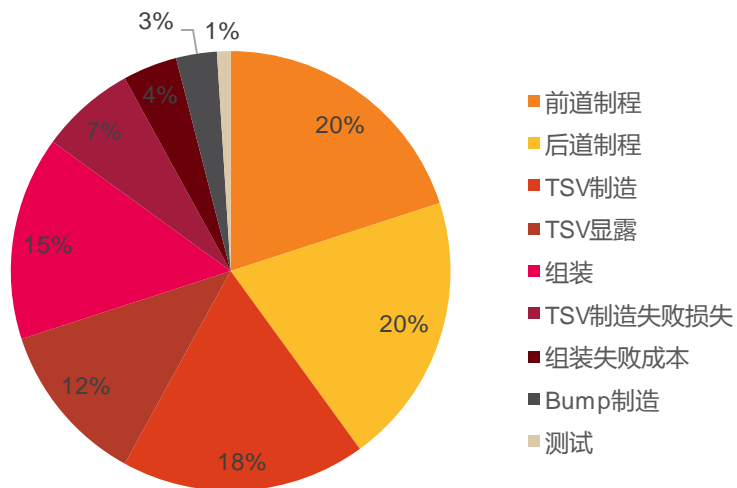
图：TSV堆叠的系统级封装信号传输路径更短



1.1 TSV工艺：高效互联，性能优越

- TSV工艺是HBM中成本占比最高、最核心的工艺，成本占比约30%。根据3D InCites数据，在4层DRAM和1层逻辑的HBM中，99.5%的键合良率下，TSV工艺所占的成本比重为30%，其中TSV制造（在正常晶圆厚度上制作TSV的过程）成本占比达18%，TSV显露（晶圆减薄等工艺使TSV触点露出）为12%；在99%键合良率下，TSV工艺所占的成本比重为28%，其中TSV制造为17%，TSV显露为11%。

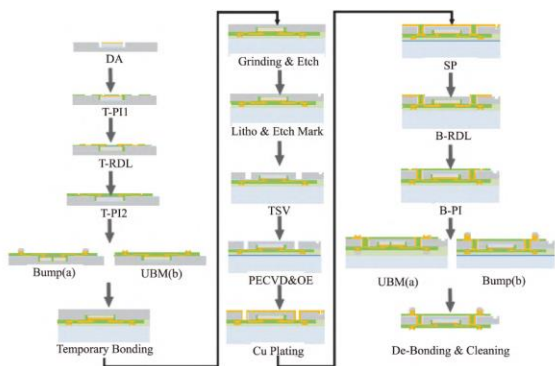
图：HBM（四层DRAM+一层逻辑）3D封装成本划分（99.5%键合良率） 图：HBM（四层DRAM+一层逻辑）3D封装成本划分（99%键合良率）



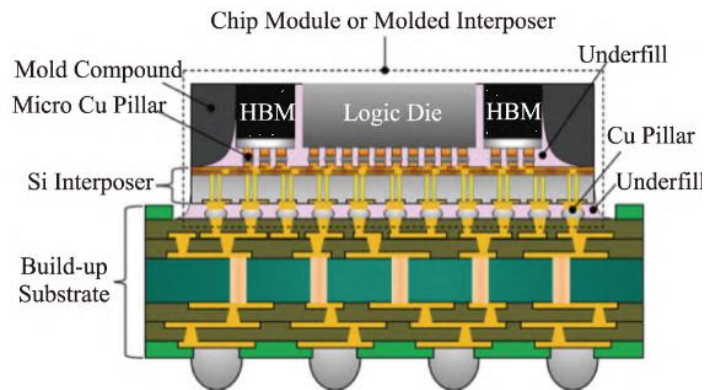
1.1 TSV工艺：高效互联，性能优越

- 基于TSV的先进封装技术包括3D WLCSP技术、3D FO技术、2.5D 封装技术、3D IC技术：
 - 3D WLCSP技术：带有三维立体硅通孔技术的晶圆级芯片封装常被称为三维晶圆级芯片封装技术，利用高密度硅通孔技术实现影像传感器与外部信号的互连；
 - 3D FO技术：基于硅基扇出型封装技术，利用TSV形成上下芯片信号互联传输，实现多芯片嵌入、临时键合、RDL布线、高深宽比TSV和芯片三维堆叠等关键工艺，能够在单个封装内实现多芯片的互连，也可以实现不同封装之间的互连；
 - 2.5D 封装技术：通过带有TSV垂直互联通孔的转接板，将若干个通过微凸点键合在转接板上的芯片与封装基板间形成互连，可以实现ASIC和内存芯片的异构集成，台积电的CoWoS技术，使用一个硅中介层，将HBM堆叠内存与其他芯片（如逻辑芯片或处理器）互连；
 - 3D IC技术：将薄芯片与TSV和微凸块堆叠在一起，实现芯片的垂直堆叠互连，与2.5D封装相比，3D IC集成提供了更好的电气性能、更低的功耗、更小的尺寸和更高的产量。

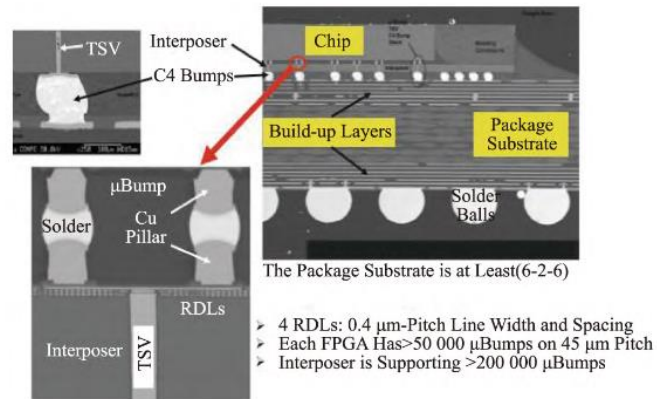
图：三维堆叠eSiC工艺流程图



图：采用硅中间层的 2.5D 封装结构



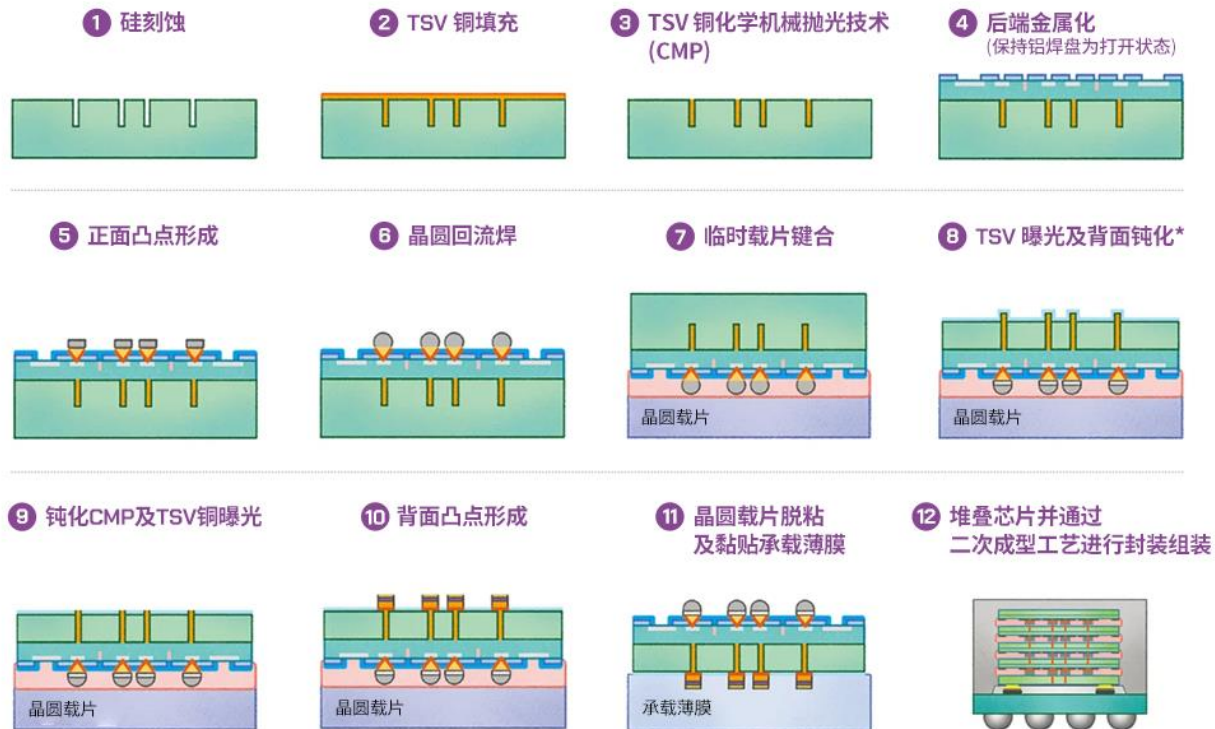
图：Altera/TSMC的CoWoS封装结构



1.2 TSV设备：深孔刻蚀/薄膜沉积/电镀填充/抛光减薄

■ TSV 制造工艺的核心设备分别为：

- **深孔刻蚀设备：**深孔刻蚀是 TSV 的关键工艺，目前首选技术是基于 Bosch 工艺的干法刻蚀；
- **气相沉积设备：**使用化学沉积的方法沉积制作绝缘层，使用物理气相沉积的方法沉积制作阻挡层和种子层；
- **铜填充设备：**解决高深宽比微孔内的金属化问题，提高互联孔的可靠性，系整个 TSV 工艺里最核心、难度最大的工艺；
- **CMP设备：**TSV要求晶圆减薄至50 μm 甚至更薄，要使硅孔底部的铜暴露出来，为下一步的互连做准备。



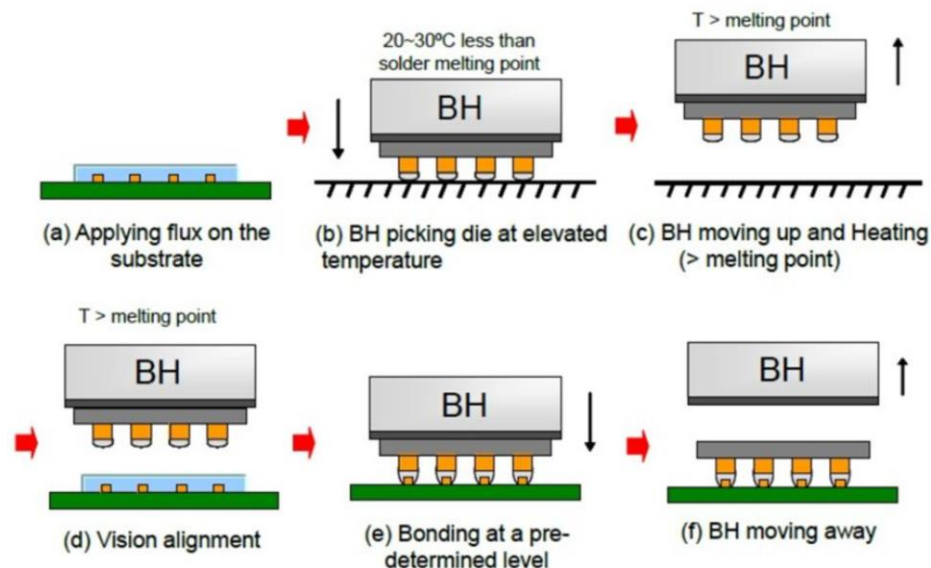
2

键合工艺：混合键合，未来可期

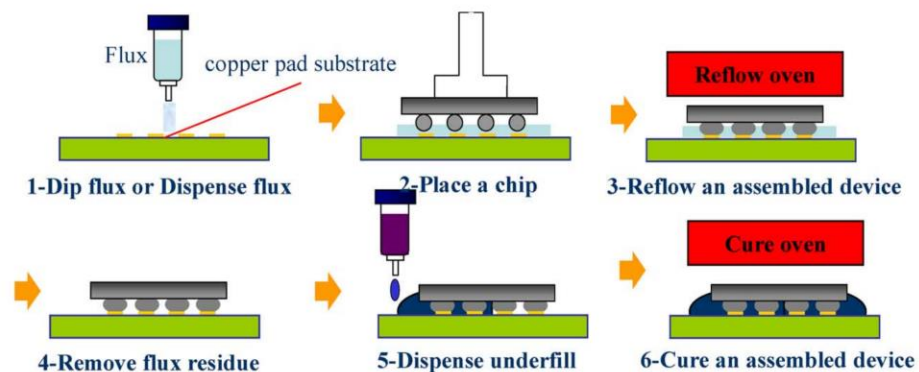
2.1 TCB键合：满足现阶段HBM需求

- **TCB（热压键合）**：热压键合主要用于创建原子级金属键合，利用力和热量来促进原子在晶格之间迁移，从而形成清洁、高导电性和坚固的键合。通常TCB被用于垂直集成器件的CMOS工艺、金引线键合和表面之间固态键合的顺应键合、用于将芯片凸块键合到基板的倒装芯片应用以及用于连接微型组件的热压键合。
- **TCB均匀性优势突出**：通过Bond Head和Bond Stage的结构完成待键合芯片之间的高精度对准，使用单一工具放置单个芯片，施加压力并加热以回流焊球辅助键合。TCB从芯片顶部加热，避免了基板翘曲问题；压力确保均匀粘合，没有间隙变化或倾斜，而且施加压力时，会伴随快速振动，从而破坏铜焊盘和焊球上的金属氧化；几乎没有空隙和污染的粘合。

图：热压键合示意图



图：回流焊示意图

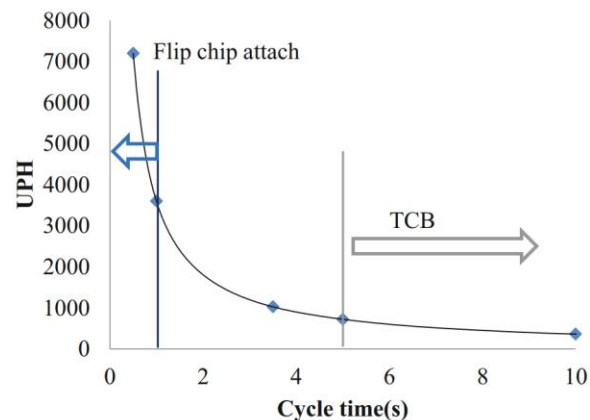
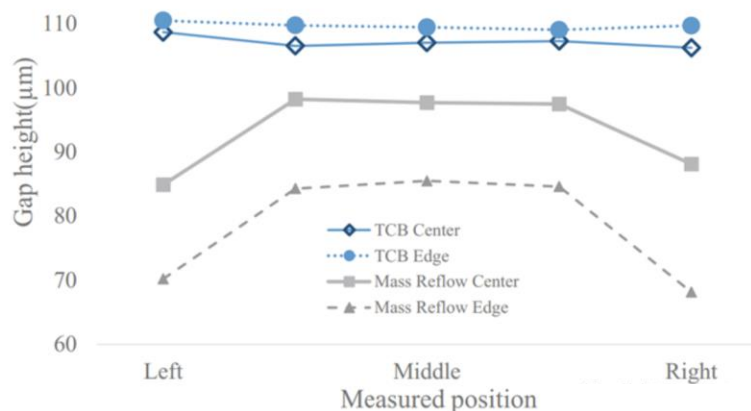


2.1 TCB键合：满足现阶段HBM需求

- 最常见的基于焊球的覆晶键合封装技术一共有三种：回流焊、热压键合和激光辅助键合。
- HBM WHY TCB——热压键合在高精度键合领域表现更为出色：1) 热量从芯片顶部施加，只有芯片和C4焊料连接会升温，最大限度减少任何基板翘曲问题；2) 且确保均匀粘合，没有间隙变化或倾斜；3) 相同I/O间距，TCB可以实现更好的电气特性，且允许I/O间距继续缩小，可封装更薄芯片。

键合方法	回流焊	热压键合	激光辅助键合
优势	<ol style="list-style-type: none"> 1.Throughput高 2.加工成本相对低 3.有自校正 	<ol style="list-style-type: none"> 1. 有Die曲翘控制 2. 有基板曲翘控制 3. Chip gap variation小，且可调控 4. Bump pitch可以接近10um 	<ol style="list-style-type: none"> 1. 有基板曲翘控制 2. 加工成本相对热压键合低 3. 有自校正 4. Throughput相对热压键合高
劣势	<ol style="list-style-type: none"> 1.无Die曲翘控制 2.无基板曲翘控制 3.通常留有因热力学效应产生的高应力 4.Bump pitch通常要求大于60um 5. Chip gap height variation大 	<ol style="list-style-type: none"> 1. Throughput低 2. 加工成本相对高 3. 通常无自校正 	<ol style="list-style-type: none"> 1. 无Die曲翘控制 2. Bump pitch通常要求相对较大 3. Chip gap height variation大

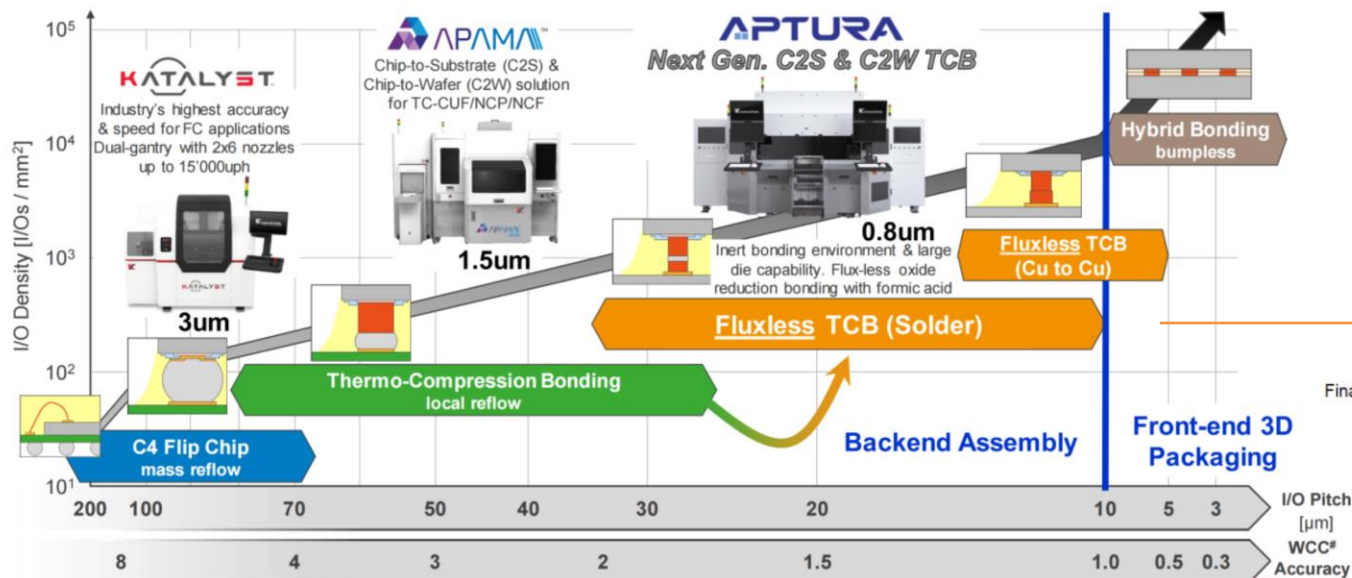
图：热压键合与回流焊对比情况



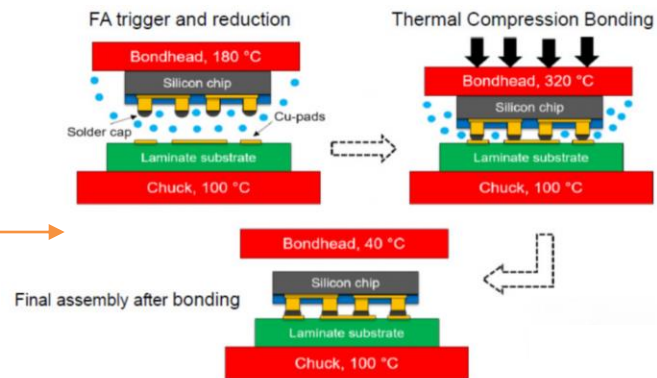
2.1 TCB键合：满足现阶段HBM需求

- **TCB市场CR5占比达88%**：根据QYR统计及预测，23年全球TCB市场销售额1.04亿美元，预计2030年将达到2.65亿美元，2024-2030期间CAGR约为14.5%。全球热压键合机主要参与者包括ASMPT、K&S、BESI、Shibaura、Hamni和SET，CR5占比达88%；目前华封科技、唐人制造等国产设备商也在积极布局该领域。
- **无焊剂TCB实现10 μm互联间距**：K&S认为无焊剂缓解氧化问题，进而可以提升I/O密度及良率；而且认为fluxless TCB未来能够将IO pitch推进到10 μm，或将解决大部分HPC问题。

图：K&S产品路线图



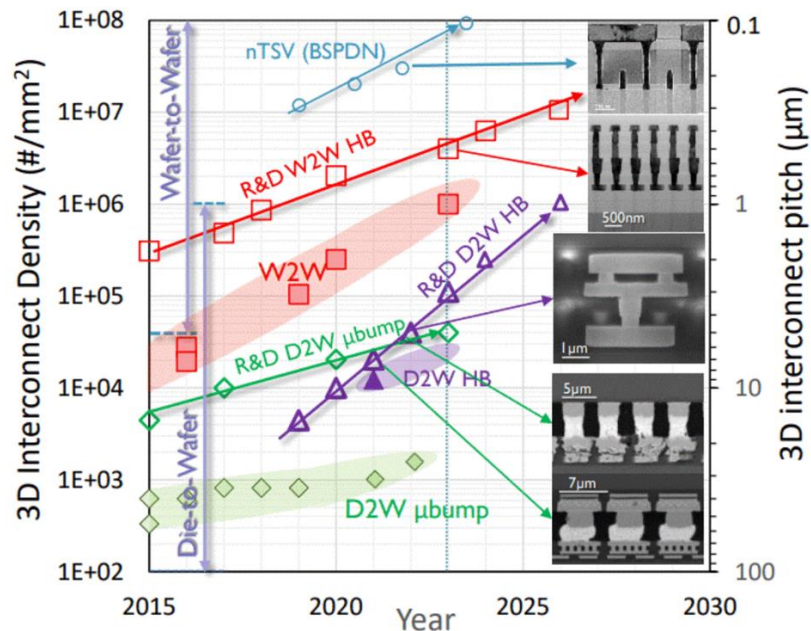
图：TCB热压键合示意图



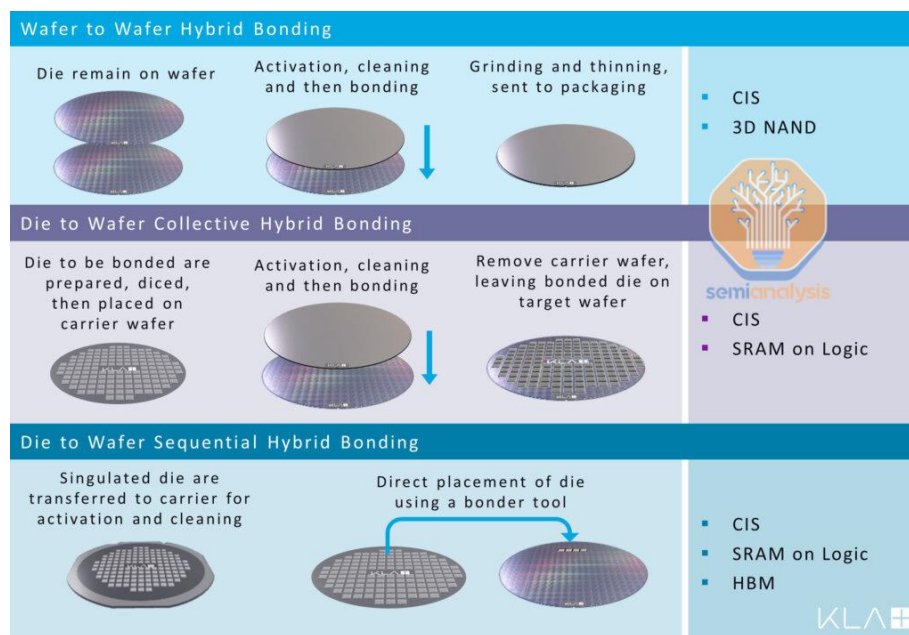
2.2 混合键合：高效互联，未来可期

- **混合键合 (Hybrid Bonding)**：指同时键合电介质和金属焊盘的键合过程。将Cu/SiO₂打磨出极其光滑的表面，当表面足够光滑时，不同界面之间将会产生范德华力，稍微施加压力或高温，就可以实现永久键合。
- **微凸块 (μ Bumps) 局限性**：在10 μ m以下的间距下，微凸块问题日益严重；当凸块结构较大时，电镀微凸块高度的非常小的不均匀性或焊料回流工艺的变化可以忽略不计，但对于细间距微凸块，这些小的变化可能导致不良的接头形成并产生影响；而且精细间距下，凸块的焊料可能会桥接，导致短路。此外，控制这些小结构的电镀均匀性具有挑战性，同时还需要能够找到新的、更合适的底部填充材料来填充微凸块之间不断缩小的空间。

图：3D互联路线图



图：混合键合示意图

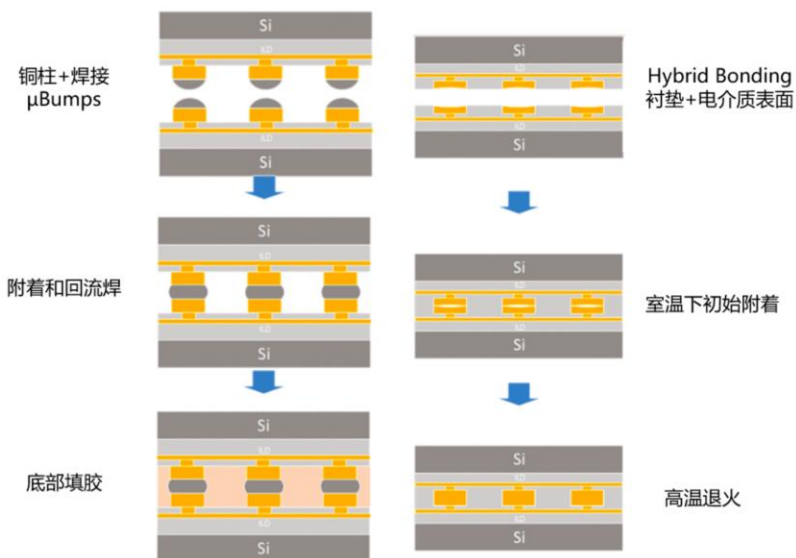


2.2 混合键合：高效互联，未来可期

■ 混合键合优势：

- **更短的互联距离：** 不仅不需要用引线互相联通，也无需用TSV穿过整个CMOS层，仅仅通过连接后道的铜触点就可以实现互联；
- **更低的成本：** 每颗DIE单独互联需要更多的时间，晶圆键合可以实现大面积高密度的互联，显著提高产能并降低生产成本。
- **更高的互联密度：** 混合键合互连方案满足3D内存堆栈和异构集成的极高互连密度需求，并且可以显著降低整体封装厚度、更高电流负载能力、更好热性能。相比微凸块高密度互连方案，混合键合可提供更小尺寸的I/O端子和减小间距的互连。微凸块方案中每个芯片之间的间隔距离取决于微凸块的高度，而混合键合中该距离几乎为零，混合键合实现的直接细间距铜对铜互连将允许连接数量是微凸块的1000倍。

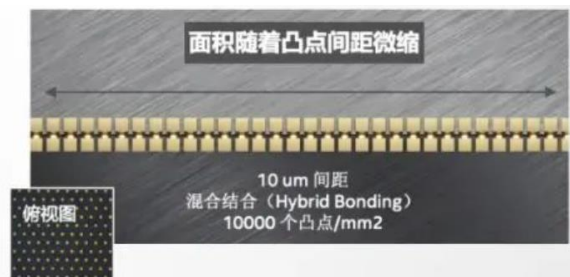
图：微凸块（左）与混合键合（右）技术示意图



图：（FOVEROS）微凸块示意图



图：混合键合示意图



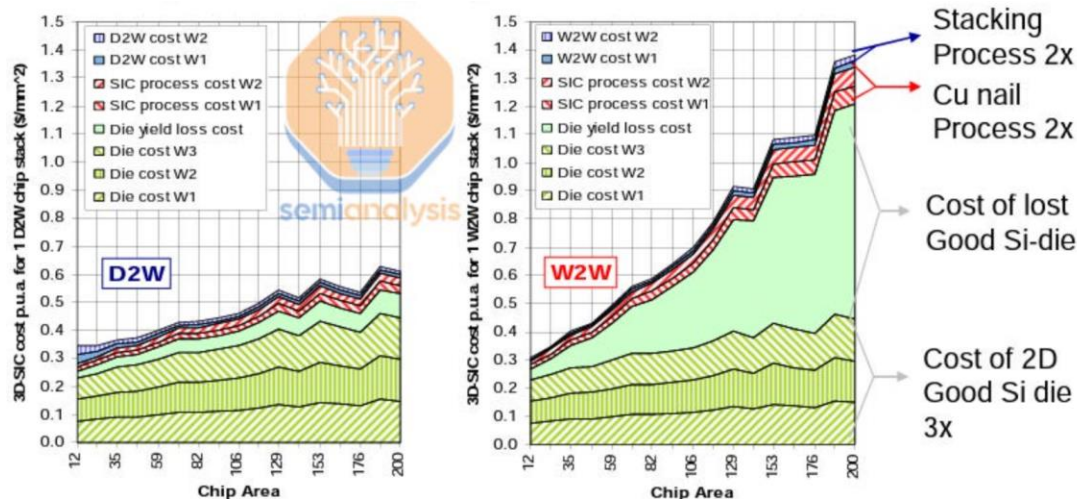
2.2 混合键合：高效互联，未来可期

■ 混合键合有两种类型：

- Wafer to Wafer（晶圆到晶圆键合）：两个制造完成的晶圆直接键合，W2W更加成熟，但限制了相同芯片尺寸的组合；
- Die to Wafer（芯片到晶圆键合）：D2W涉及更多的工艺步骤以及将芯片单独放置在载体晶圆或玻璃上。

- W2W拥有更高的对准精度、吞吐量和键合良率：W2W良率更高是因为其对准和键合分为两步，具有单独腔室执行对准步骤，且晶圆级工艺可以为对准步骤提供更多时间，W2W工艺已经比较成熟，广泛应用于NAND和图像传感器；但W2W限制于无法执行晶圆分类来选择芯片，这会导致有缺陷的芯片与良好芯片键合，导致浪费。

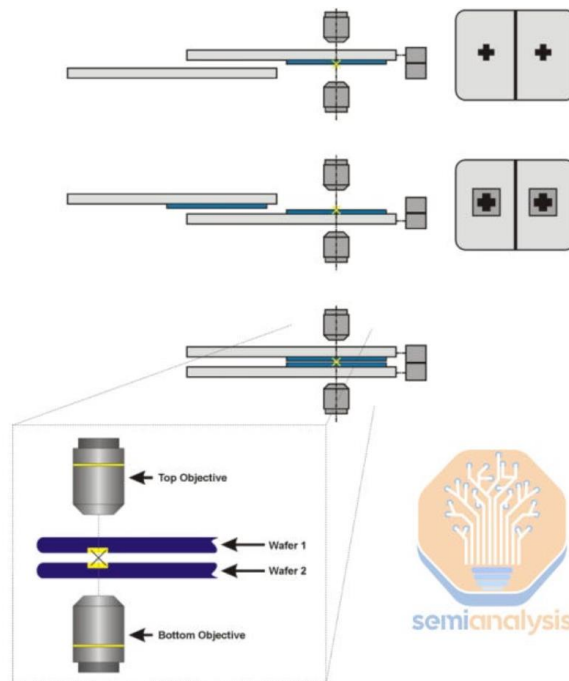
图：成本VS对准精度/TSV密度



Assuming: Yield 1cm² die = 80%, Die yield Y = Y_{pua}.A, Fault coverage KGD test = 90%, W2W and D2W have a 95% processing yield, Production volume 10⁴ wafer stacks.

3D-SiC Cost p.u.a. = Stacked Wafer cost/(number of good 3D stacks x die area)

图：W2W键合示意图



2.2 混合键合：高效互联，未来可期

- WHY D2W: 小芯片时, D2W更贵; 大芯片时, W2W更贵。测试和键合已知良好芯片 (KGD) 能力至关重要!

图：D2W&W2W成本测算

Die-to-Wafer Cost												
Height / Width (mm)	Area (mm ²)	Wafer Cost	Dies Per Wafer	D0 (Defects / cm ²)	Yield	GDPW	Cost Per Die Bond	Bond Yield	Good Package Yield	Good Packages Per Bonded Wafer	Total Process Cost	Cost Per Good Package
5	25	\$ 16,000	2,694	0.052	99%	2,659	\$ 5	85%	84%	2,260	\$45,295.0	\$ 20.04
7.1	50	\$ 16,000	1,319	0.052	97%	1,286	\$ 5	85%	83%	1,093	\$38,430.0	\$ 35.16
9.5	90.25	\$ 16,000	713	0.052	95%	681	\$ 5	85%	81%	578	\$35,405.0	\$ 61.25
12.25	150	\$ 16,000	417	0.052	93%	386	\$ 5	85%	79%	328	\$33,930.0	\$103.45
15	225	\$ 16,000	270	0.052	89%	240	\$ 5	85%	76%	204	\$33,200.0	\$162.75
18	324	\$ 16,000	181	0.052	85%	153	\$ 5	85%	72%	130	\$32,765.0	\$252.04
21.5	462.25	\$ 16,000	122	0.052	79%	96	\$ 5	85%	67%	82	\$32,480.0	\$396.10
25	625	\$ 16,000	86	0.052	73%	63	\$ 5	85%	62%	54	\$32,315.0	\$598.43

Wafer-to-Wafer Cost												
Height / Width (mm)	Area (mm ²)	Wafer Cost	Dies Per Wafer	D0 (Defects / cm ²)	Yield	Cost Per Wafer Bond Step	Bond Yield	Good Package Yield	Good Packages Per Bonded Wafer	Total Process Cost	Cost Per Good Package	
5	25	\$ 16,000	2,694	0.052	99%	\$ 50	95%	93%	2,494	\$32,050.0	\$ 12.85	
7.1	50	\$ 16,000	1,319	0.052	97%	\$ 50	95%	90%	1,190	\$32,050.0	\$ 26.93	
9.5	90.25	\$ 16,000	713	0.052	95%	\$ 50	95%	87%	617	\$32,050.0	\$ 51.94	
12.25	150	\$ 16,000	417	0.052	93%	\$ 50	95%	81%	339	\$32,050.0	\$ 94.54	
15	225	\$ 16,000	270	0.052	89%	\$ 50	95%	75%	203	\$32,050.0	\$157.88	
18	324	\$ 16,000	181	0.052	85%	\$ 50	95%	68%	123	\$32,050.0	\$260.57	
21.5	462.25	\$ 16,000	122	0.052	79%	\$ 50	95%	59%	72	\$32,050.0	\$445.14	
25	625	\$ 16,000	86	0.052	73%	\$ 50	95%	50%	44	\$32,050.0	\$728.41	

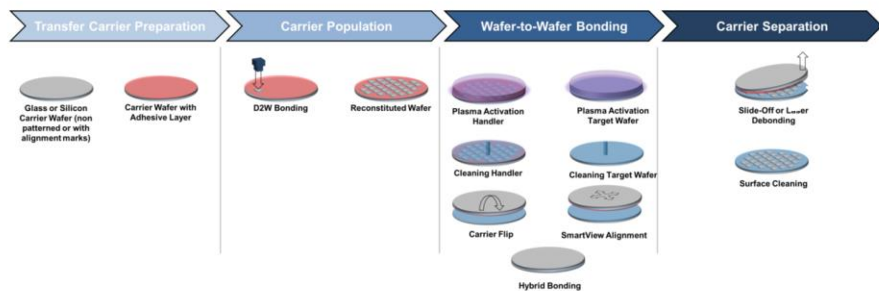
2.2 混合键合：高效互联，未来可期

- **Collective D2W**：Die用临时键合的方式粘到Carrier晶圆上，然后和另一片产品晶圆整片键合再解键合，该技术相对成熟，但是一次D2W加一次W2W的方式容易累计误差，Carrier晶圆处理成本高，且对Die的厚度变化范围有较高要求。
- **Direct Placement D2W**：Die一颗一颗地放置到另一片产品晶圆的对应位置上，位置精度会提高且对Die的厚度变化容忍度高，但存在颗粒控制等问题。

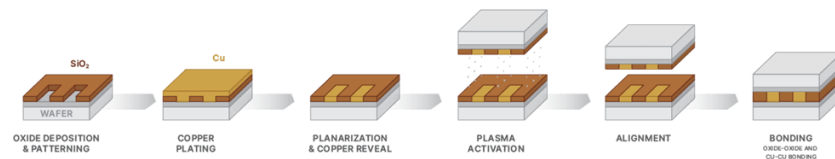
图：Direct Placement D2W bonding 工艺



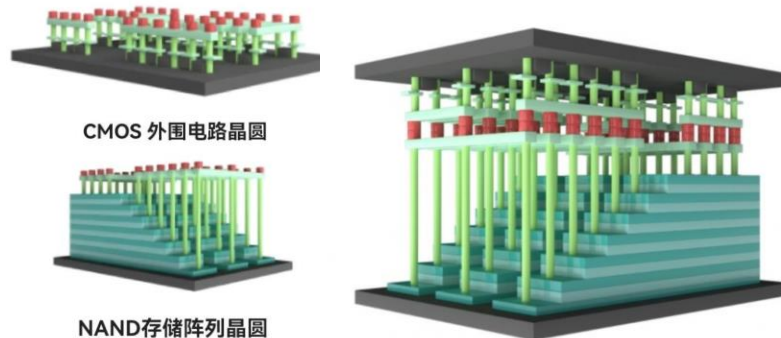
图：Direct Placement D2W bonding 工艺



图：混合键合工艺流程



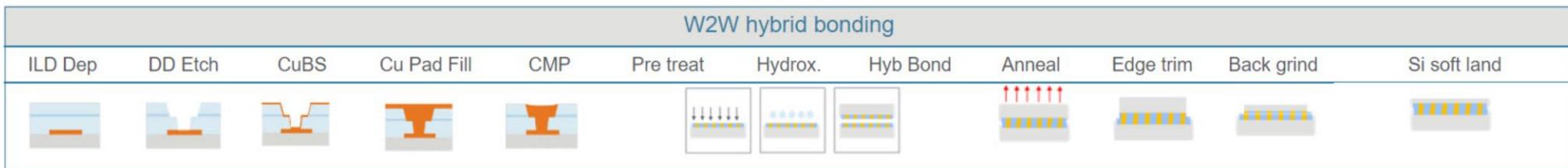
图：长江存储Xtacking W2W工艺



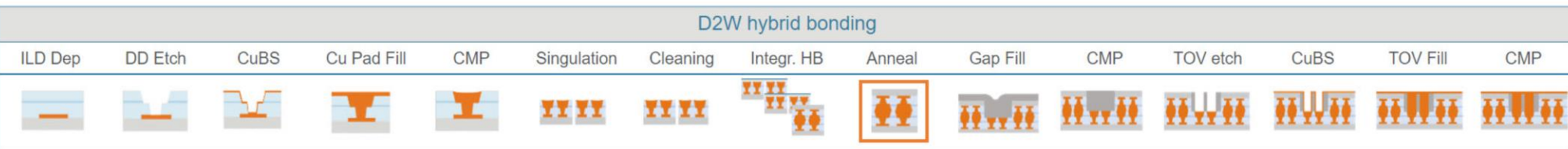
2.2 混合键合：高效互联，未来可期

- **混合键合工艺流程：**在BEOL金属化处理的晶圆上依次进行沉积电介质、镶嵌沉积阻挡层、铜填充、电介质的平坦化（带有轻微的铜凹进）、等离子体激活（准备键合）、对准、室温键合，并退火以形成铜焊盘的电连接；然后将硅晶圆背面研磨至最终厚度（通常<100nm）、分割，最后进行最终组装和封装。

图：W2W键合工艺流程



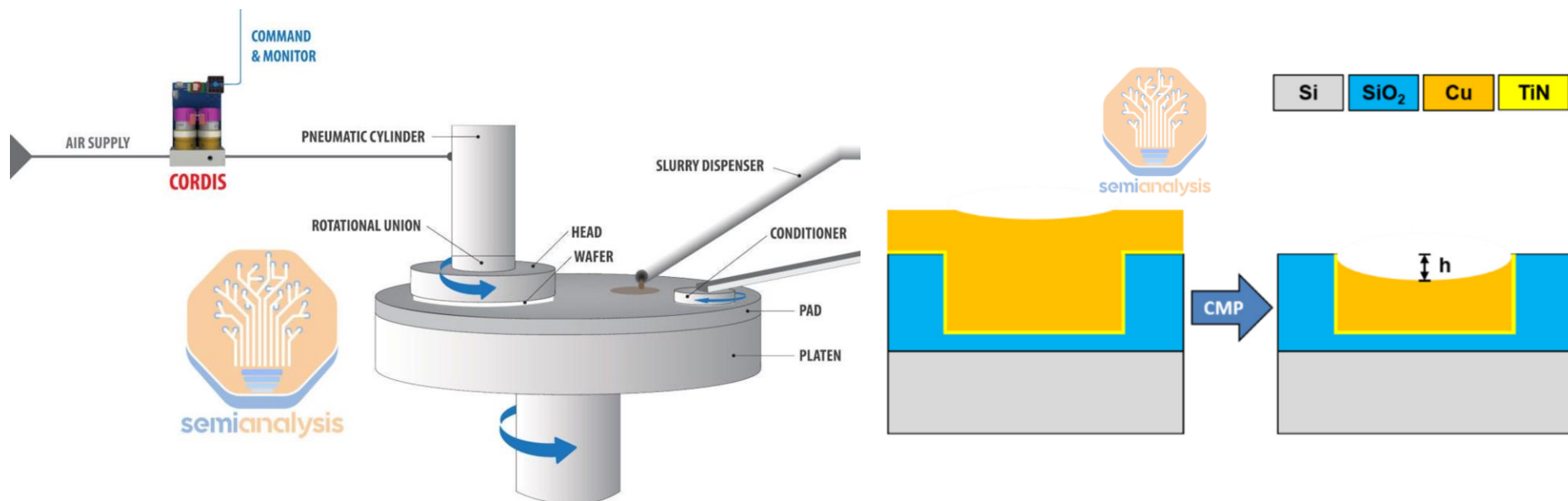
图：D2W键合工艺流程



2.2 混合键合：高效互联，未来可期

- **光滑界面对形成良好键合至关重要：**混合键合界面对任何类型的形貌都敏感，这会产生空洞和无效的键合。一般认为电介质的表面粗糙度阈值是0.5nm，铜焊盘的表面粗糙度阈值是1nm；为了达到这种平滑度，需要执行化学机械平坦化(CMP)，对混合键合来说非常关键。
- **精确控制凹陷：**铜和其他金属进行CMP时，由于过度抛光以及金属和电介质的柔软度不同，经常会出现凹陷现象；因此需要控制凹陷的精确轮廓，以防止键合过程中铜过度/生长不足。

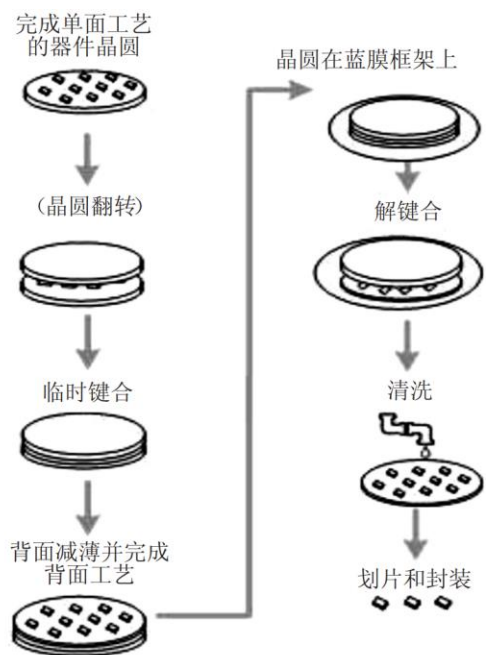
图：CMP工艺流程



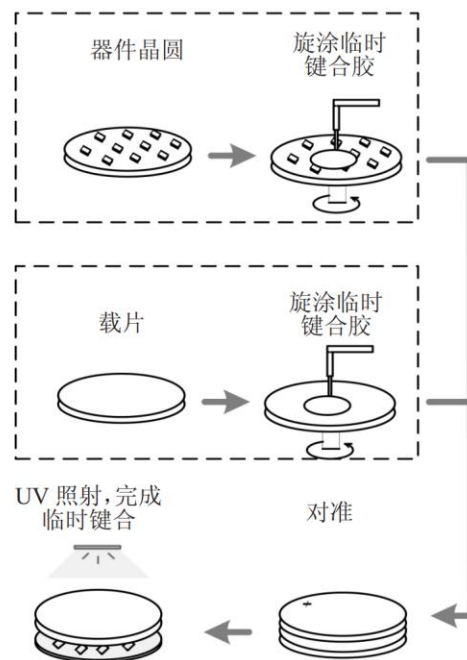
2.3 临时键合&解键合：解决超薄晶圆取放

- **临时键合与解键合：**为满足 TSV 和三维堆叠型 3D 集成制造需求，减薄后晶圆厚度越来越薄，达到 $100\ \mu\text{m}$ 以下。超薄器件晶圆机械强度降低，容易翘曲和起伏，易造成器件性能降低、产品均一性变差，生产过程中碎片率增加。为了解决超薄晶圆的取放问题，业界通常采用临时键合与解键合技术。
- **临时键合：**主要分为热压临时键合或UV固化临时键合方式
 - 热压临时键合：在高温、真空的键合室内对叠放在一起的器件晶圆和载片施加一定的力使之达到良好的键合效果；
 - UV固化临时键合：是紫外光透过载片照射到键合胶表面发生反应，使载片和器件晶圆键合到一起。

图：临时键合与解键合示意图



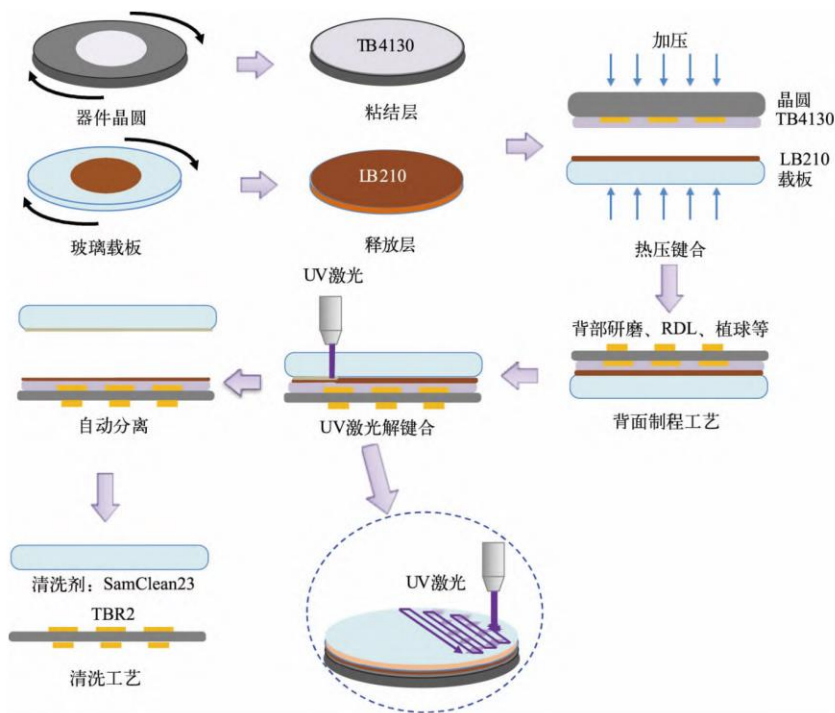
图：光学临时键合示意图



2.3 临时键合&解键合：解决超薄晶圆取放

- **解键合**：根据解键合方式，主要分为机械剥离、湿化学浸泡、热滑移和激光解键合4种方法。
- **激光解键合技术**有望满足高密度、大尺寸、超薄器件晶圆剥离的要求。激光解键合法具有可在室温下解键合、高通量、低机械应力和环境友好等优点，在大尺寸超薄晶圆的制造方面逐渐得到了广泛的关注和应用，有望为高端超薄芯片制造过程中的易破损和吞吐量低等困境提供可行性解决方案。

图：紫外激光解键合的工艺流程



图：解键合方法比较

解键合技术	解键合温度 /°C	耐受温度 /°C	优点	缺点
机械剥离法	室温	<300	在室温下解键合，成本低	破片率较高，产能低
湿化学浸泡法	室温	<300	在室温下解键合，成本低	产能过低
热滑移法	150~235	<250	工艺简单，成本低	产能低，仅适用于小尺寸晶圆解键合
激光解键合法	室温	<350	产能高，工艺窗口宽，能够满足大于8英寸的大尺寸晶圆的解键合	设备成本较高

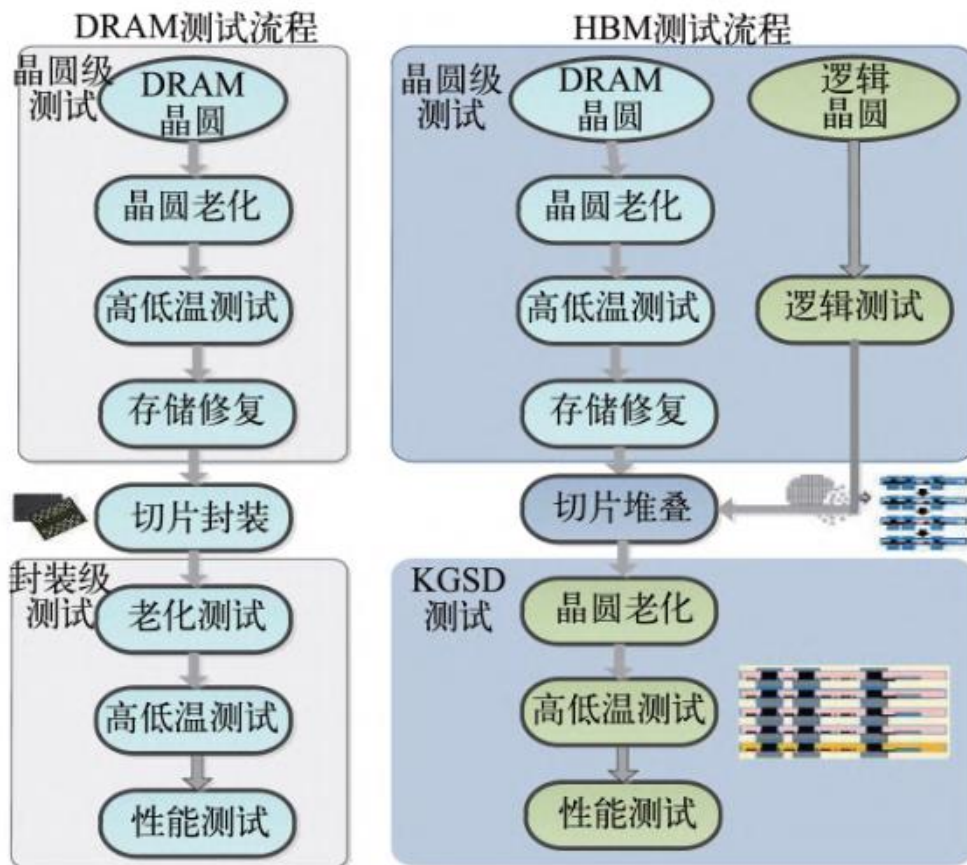
3

测试工艺：复杂结构提出更高要求

3.1 HBM产品测试技术要求更高

- **HBM产品测试技术要求更高。**相比传统DRAM芯片，HBM采用多层KGSD设计，将4层或者更多层的DRAM芯片堆叠在基础逻辑芯片上，每层KGSD采用了大量的TSV和微凸块，且最终产品以KGSD的形式提供，对测试技术提出了重要挑战。
- **常规的DRAM芯片测试包括晶圆级测试和封装级测试：**
 - 晶圆级测试包括晶圆老化（WLBI）、高低温测试和存储修复等，通过测试的晶圆方可进行封装。
 - 封装级测试主要包括高低温条件下的功能、电性能、电参数以及老化应力测试等。
- **HBM测试包括晶圆级测试和KGSD测试：**
 - 晶圆级测试针对DRAM芯片和逻辑芯片，其中DRAM晶圆测试与常规DRAM测试相同，逻辑晶圆需要进行逻辑测试。
 - KGSD测试包括老化应力测试、高低温条件下的功能、电性能、电参数测试等。

图：HBM产品对测试技术的要求相比传统DRAM产品更高



3.2 HBM产品测试技术要求更高

- HBM KGSD裸片测试的挑战主要包括逻辑芯片测试、动态向量老化应力测试、TSV测试、高速性能测试、PHY I/O测试以及2.5D SiP测试：
- 1) 逻辑芯片测试： HBM逻辑芯片的DFT测试逻辑模块实现逻辑芯片的测试，包括扫描测试和高速PHY测试； 2) 动态向量老化应力测试： 为了保证HBM KGSD的质量，需要在高温条件下对HBM DRAM芯片进行动态和静态应力测试，技术难度大，成本高； 3) TSV测试： TSV测试主要是开路/短路测试，确认TSV和微凸块的连接性；4) 高速性能测试： HBM KGSD的高速性能测试是晶圆级测试，采用ATE机台、晶圆探针台结合测试探针卡的测试方法； 5) PHY I/O测试： HBM标准规定了采用DFT可测性设计功能进行PHY I/O测试的方法，主要包括直流（DC）测试和交流（AC）测试； 6) HBM 2.5D SiP 系统测试： 基于DFT的HBM测试和故障修复是主要的技术手段。
- 涉及到的设备主要有ATE机台、老化测试设备、分选机、探针台等。

图： HBM产品对测试技术的要求相比传统DRAM产品更高

HBM KGSD裸片测试重点	相关技术
逻辑芯片测试	HBM的逻辑芯片主要包括PHY接口、TSV、可测试设计(DFT)测试逻辑模块和DA端口。HBM逻辑芯片的DFT测试逻辑模块实现逻辑芯片的测试，包括扫描测试和高速PHY测试。扫描测试矢量的设计要求满足大于99%的固定故障和大于85%的转换故障的测试覆盖率。
动态向量老化应力测试	针对HBM KGSD芯片老化动态应力测试问题，SK Hynix研究开发了基于DFT的HBM KGSD晶圆级动态应力老化测试方法，覆盖了电压应力、温度应力以及存储状态翻转，可代替DRAM封装级产品老化应力测试。
TSV测试	HBM KGSD芯片有超过10000个内部TSV，用于传输逻辑芯片和DRAM芯片之间的数据和命令信号。常见的TSV失效包括开路、裂纹、沾污以及微小开路。TSV测试主要是开路/短路测试，确认TSV和微凸块的连接性。巨大的TSV数量对TSV可靠性及其测试提出了挑战。
高速性能测试	HBM KGSD的高速性能测试是晶圆级测试，采用ATE机台、晶圆探针台结合测试探针卡的测试方法。基于测试探针卡的HBM KGSD高速性能测试难点主要涉及高速信号传输的信号完整性保证、功率传输以及大量高可靠的电气连接需求。
PHY I/O测试	HBM KGSD芯片有超过1000个PHY I/O和微凸块，由于直径和间距很小，只能通过DA端口进行测试。HBM标准规定了采用DFT可测性设计功能进行PHY I/O测试的方法，主要包括直流（DC）测试和交流（AC）测试。另外，使用微观视觉检查方法可以检测微凸块缺失、错位或倾斜等芯片I/O结构失效。
HBM 2.5D SiP系统测试	与PCB上的传统封装芯片不同，2.5D SiP系统中，晶圆级的HBM堆栈和信号处理器芯片既不可返修也不可重新测试，基于DFT的HBM测试和故障修复是主要的技术手段。
涉及设备	
ATE机台、老化测试设备、分选机、探针台等	

4

建议关注：后道设备增量需求

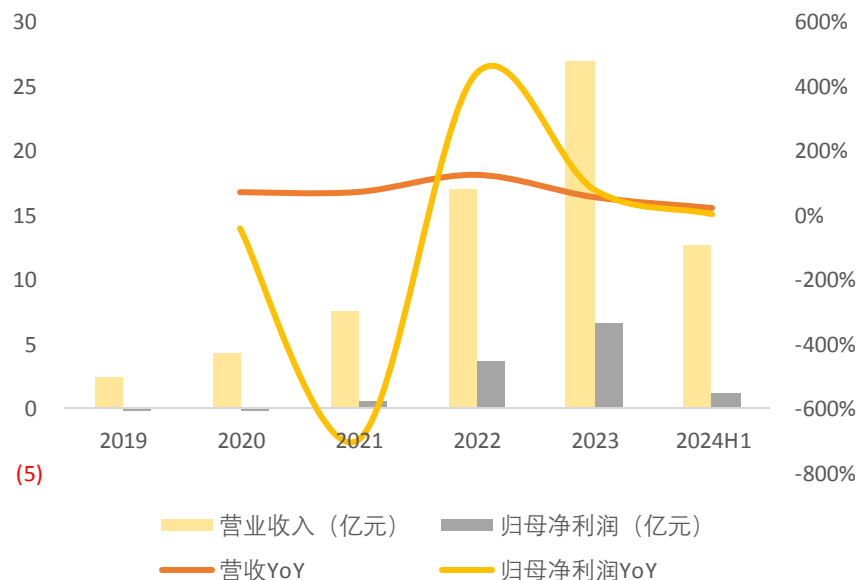
4.1 拓荆科技：积极布局混合键合，薄膜沉积持续领先

- **混合键合设备：**W2W键合产品Dione300及芯片对晶圆混合键合前表面预处理产品Propus均实现产业化，性能表现优异；24H1两款产品均获得客户量产重复订单。
- **键合量测产品：**键合套准精度量测产品Crux300可以实现晶圆对晶圆混合键合和芯片对晶圆混合键合后的键合精度量测，具有超高精度、超高产能和无盲区量测等特点，同时兼容晶圆对晶圆和芯片对晶圆混合键合量测场景，可以解决客户在未来混合键合技术迭代时量测精度不够、产能不足、兼容性不够等需求，24H1已获得客户订单。

图：混合键合产品情况

产品系列	主要应用
晶圆对晶圆键合产品	主要应用于晶圆级三维集成、存储芯片制造领域，已实现产业化应用，可实现 12 寸晶圆对晶圆的混合键合和熔融键合
芯片对晶圆混合键合前表面预处理产品	主要应用于芯片对晶圆三维集成领域，已实现产业化应用，可实现混合键合前晶圆及切割后芯片的表面活化与清洗。
键合套准精度量测	主要应用于晶圆级三维集成领域，可实现晶圆对晶圆混合键合和芯片对晶圆混合键合后的键合精度量测。

图：公司营收和归母净利润情况



4.2 芯源微：涂胶显影+临时键合，新签订单大幅增长

- 24H1公司新签订单12.19亿元，同比增长约 30%；其中后道先进封装及小尺寸新签订单同比较大幅度增长，应用于Chiplet领域的新产品临时键合&解键合等新签订单同比增长超过十倍。
- **后道涂胶显影设备**：主要应用于先进封装技术BGA/Flip-Chip/WLCSP/CSP和2.5/3D等涂胶显影工艺；单片湿法设备包括清洗机、去胶机、刻蚀机等湿法类设备，可广泛应用于来料清洗、TSV 深孔清洗、Flux 清洗等清洗、去胶及lift-off 剥离工艺及多种介质层湿法刻蚀工艺。
- **全自动临时键合及解键合设备**：主要针对Chiplet技术解决方案，可应用于 InFO、CoWoS 、HBM等2.5/3D 技术路线产品，兼容国内外主流胶材工艺，对应开发的机械、激光解键合技术，可覆盖不同客户产品及工艺需求。

图：涂胶显影设备、单片式湿法设备

图：临时键合、解键合设备

产品名称	后道先进封装涂胶显影机
产品描述	<ul style="list-style-type: none"> ■ 适用于先进封装BGA、Flip-Chip、WLCSP、CSP、2.5D、3D涂胶及显影工艺 ■ 可实现高粘度PR、PI涂胶及多种显影工艺
产品特点	<ul style="list-style-type: none"> ■ 渐进式烘培，实现温度阶梯控制 ■ 适用于超薄胶涂覆、显影及烘烤工艺 ■ 实现超薄晶圆曲片传送加工 ■ 整体已达到国际先进水平，部分指标已实现国际领先



产品名称	临时键合机
产品描述	<ul style="list-style-type: none"> ■ 适用于三维集成、2.5D/3D 封装领域，晶圆减薄过程中超薄晶圆、预减薄晶圆等易碎器件的支撑与保护工艺
产品特点	<ul style="list-style-type: none"> ■ 业内领先的键合胶涂均匀性指标 ■ 集成高精度视觉瞄准功能/真空传送的键合腔体 ■ TTV检测技术，实现键合片组闭环检测 ■ 整体已达到国际先进水平



产品名称	后道先进封装单片式湿法设备
产品描述	<ul style="list-style-type: none"> ■ 公司生产的单片湿法设备包括清洗机、去胶机、刻蚀机。 ■ 广泛应用于先进封装湿法类工艺
产品特点	<ul style="list-style-type: none"> ■ 叠层设计，占地小 ■ 精确的药液温度、压力、流量控制 ■ 自动混酸功能，混酸精度高 ■ 整体已达到国际先进水平



产品名称	解键合机
产品描述	<ul style="list-style-type: none"> ■ 适用于三维集成、2.5D/3D 封装领域，减薄工艺后，器件与玻璃载片的无应力分离及清洗 ■ 可提供激光、机械等多种解键合方案
产品特点	<ul style="list-style-type: none"> ■ 叠层布置，占地面积小 ■ 平顶化方形激光光斑，能量分布更均匀 ■ 精确的药液温度、压力、流量控制 ■ 整体已达到国际先进水平



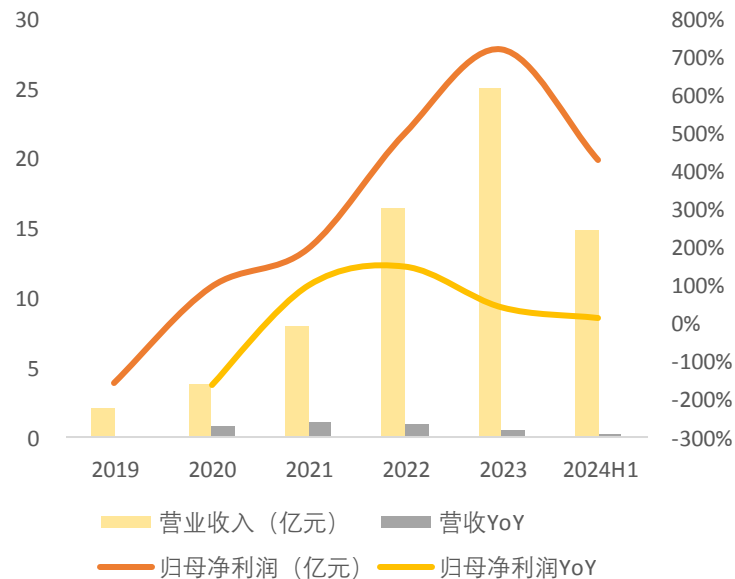
4.3 华海清科：“装备+服务”平台化战略布局，先进封装增量可期

- **“装备+服务”平台化战略布局：**在纳米级抛光、纳米精度膜厚在线检测、纳米颗粒超洁净清洗、大数据分析 & 智能化控制等关键技术层面取得了有效突破和系统布局，开发出了CMP装备、减薄装备、划切装备、湿法装备、晶圆再生、关键耗材与维保服务等；产品已成功进入中芯国际、长江存储、华虹集团、长鑫存储、盛合精微、长电科技等行业知名芯片制造企业。
- **先进封装或将带来成长增量：**其中主打产品 CMP 装备、减薄装备均是芯片堆叠技术、先进封装技术的关键核心装备，将获得更加广泛的应用！

图：先进封装相关设备

设备	应用
CMP 装备	多款设备满足先进封装制造工艺，公司推出的全新抛光系统架构CMP机台Universal H300已经实现小批量出货，客户端验证顺利
减薄装备	开发出适用于先进封装领域和前道晶圆制造背面减薄工艺的减薄装备，12英寸超精密晶圆减薄机Versatile - GP300已取得多个领域头部企业的批量订单，获得客户的高度认可；12英寸晶圆减薄贴膜一体机Versatile - GM300已发往国内头部封测企业进行验证。
划切设备	研发出满足集成电路、先进封装等制造工艺的12英寸晶圆边缘切割装备，集成切割、传输、清洗及量测单元，配置高速高扭矩主轴控制、高分辨率视觉对准及测量、高精度多轴联动切割、全自动传输及高洁净度清洗等先进技术，具有高精度、工艺开发灵活等优点，已发往多家客户进行验证。

图：公司营收和归母净利润情况



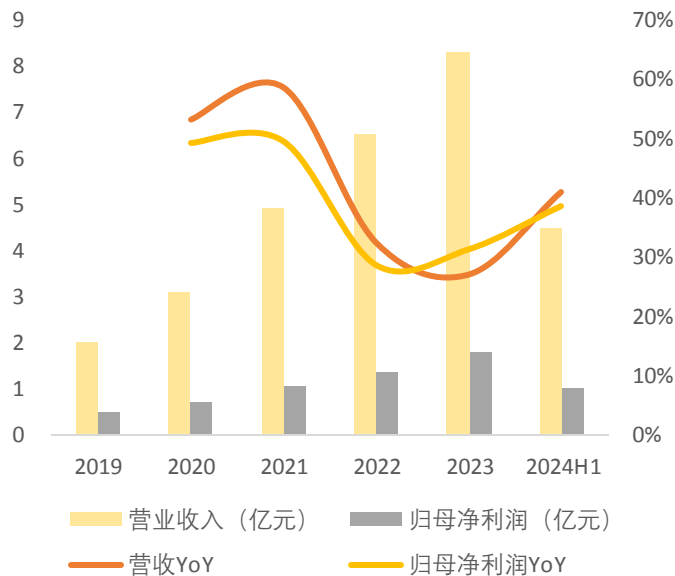
4.4 芯碁微装：积极布局先进封装，已获连续重复订单

- **直写光刻优在先进封装优势显著：**相较于投影光刻，直写光刻在先进封装中的优势包括重布线灵活、无掩模、成本低、适合大尺寸封装等，可以解决 Fan-out 的技术问题，近年来在晶圆级封装领域逐渐兴起；公司先进封装直写光刻设备采用多光学引擎并行扫描技术，应用在更高算力的大面积芯片上的曝光环节会比传统曝光设备拥有更高的产能效率和成品率。
- **积极布局先进封装平台型企业：**公司在先进封装领域布局了直写光刻设备+晶圆对准机+晶圆键合设备，此外，也布局了先进封装所需要的量测、曝光、检测的技术路线图。其中WLP2000是国内首款专门为晶圆级先进封装量产应用的直写光刻设备，已交付大陆头部先进封装客户的连续重复订单。

图：先进封装相关设备

设备	应用
光刻设备 WLP2000	主要应用于 8inch/12inch 集成电路先进封装领域，采用多光学引擎并行扫描技术，具备自动套刻、背部对准、智能纠偏、WEE/WEP 功能，在 RDL、Bumping 和 TSV 等制程工艺中优势显，各项指标达到国际先进水平
对准装备 WA8	适用于 4、6、8 英寸晶圆。该设备可用于先进封装、MEMS 生产和需要亚微米级精确对准的应用场景。
键合设备 WB8	能够实现所有类型的键合，如阳极键合、热压键合等。搭载公司核心技术，采用半自动化操作，全系统电气化驱动，无油污污染，极大提高键合稳定性和品质。支持最大晶圆尺寸为8英寸，可运用于先进封装、MEMS等多种半导体行业。

图：公司营收和归母净利润情况



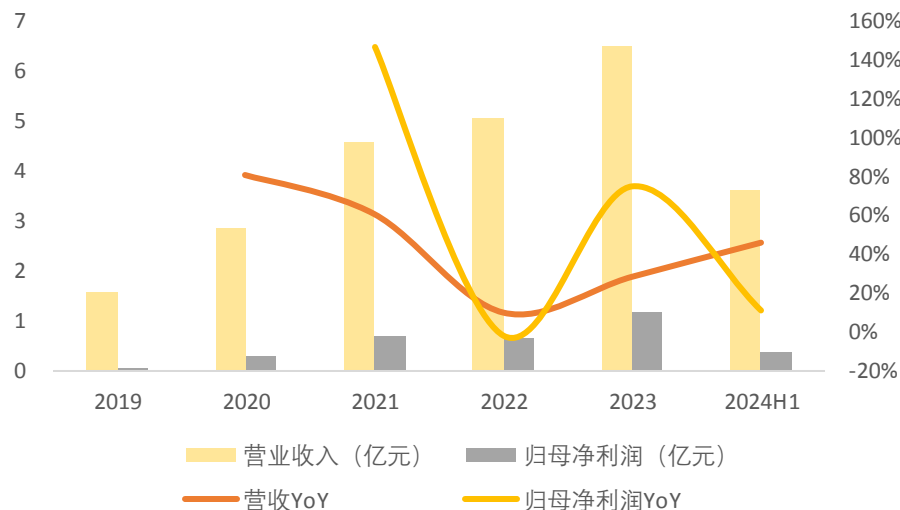
4.5 精智达：国内少数构建起完整的半导体存储器测试解决方案的企业之一

- 公司是国内少数构建起完整的半导体存储器测试解决方案的企业之一。
- **MEMS探针卡产品**：主要用于晶圆测试时实现测试机与被测裸片的电气联接，通过传输信号对芯片进行测试。目前公司探针卡产品已取得批量销售业绩。
- **DRAM老化修复设备**：对封装后的芯片颗粒进行高低温与大电流环境下的老化测试，在测试中对颗粒内部缺陷进行修复。截至24H1老化修复设备、老化修复治具板已在国内某主要半导体存储器件厂商验证通过，取得了批量销售业绩。
- **DRAM FT 测试机**：对封装后的芯片颗粒进行实际应用条件下的功能指标测试，对芯片施加输入信号、采集输出信号，并判断芯片在不同工作条件下功能和性能的有效性，通过通信接口将测试结果传送给分选机，分选机据此对被测试芯片进行标记、分选等。FT测试机工程样机已经搬入客户现场，进入验证阶段。

图：公司产品情况

产品	应用领域
MEMS探针卡产品	主要用于晶圆测试时实现测试机与被测裸片的电气联接，通过传输信号对芯片进行测试。
DRAM老化修复设备	对封装后的芯片颗粒进行高低温与大电流环境下的老化测试，在测试中对颗粒内部缺陷进行修复。融合高低温、老化冲击、功能测试等各项测试工艺，并对检测出的不良进行软件算法修复，可以取代多道化统的晶圆及封装老化测试流程，实现高吞吐容量的电学性能与可靠性验证要求。
DRAM FT 测试机	对封装后的芯片颗粒进行实际应用条件下的功能指标测试，对芯片施加输入信号、采集输出信号，并判断芯片在不同工作条件下功能和性能的有效性，通过通信接口将测试结果传送给分选机，分选机据此对被测试芯片进行标记、分选等。

图：公司营收和归母净利润情况



4.6 长川科技：专注集成电路测试设备领域，掌握核心技术

- 公司主要从事集成电路专用设备的研发、生产和销售，专注于集成电路测试设备领域，掌握相关核心技术。公司产品已获了长电科技、华天科技、通富微电、士兰微、华润微电子、日月光等多个一流集成电路企业的使用和认可，以自主研发的产品实现了测试机、分选机的部分进口替代。
- **测试系统产品线：**包含D9000Soc测试机系列、数模混合测试机系列、老化测试机系列、大功率测试机系列，适用于各类芯片、期间测试。
- **分选机：**包括三温平移式分选机系列、C6系列、SLT系列、重力式分选机系列、转塔式分选机系列，可支持各类测试环境要求。

图：长川科技测试系统和自动分选系统产品线

产品	应用领域
测试系统产品线	
D9000Soc测试机系列	D9000测试机是以量产测试数字类IC产品为目标的高性能集成电路测试机，可适应于芯片CP测试和FT测试，适用产品类型数字逻辑芯片、数模混合芯片、微处理器、系统级SoC及其射频类芯片，可适配各家Handler或Prober。
数模混合测试机系列	代表产品：CTA8290D高端多通道数模混合测试机，包含了CTA8280F的所有性能，同时适用于PMIC、模组类High pin count、以及数字功能要求较强的产品测试。
老化测试机系列	代表产品：CM1028老化测试机是以量产测试SoC芯片为目标的老化测试机，适用于车规级、AI算法芯片等高可靠性应用场景要求的芯片的老化测试，最大支持测试150W功耗SoC芯片，可向下兼容。
大功率测试机系列	代表产品：P3000测试机是中高功率测试机，可测试MOS、IGBT、SiC MOS等功率器件，产品测试规格为3000V400A，支持DC、EAS、RgCg、DVDS、AC等各类参数测试。
自动分选系统产品线	
三温平移式分选机系列	代表产品：C6800T是一款搭载三温ATC功能的8工位ATE测&PHandler，自动Tray盘上下料，满足-55℃~150℃的三温测试要求。小功率版本适用于车载，手机等产品测试，适用于GPU、服务器CPU、AI芯片等产品测试，最大支持1150W。
C6系列	C6系列适用于 ATE测试 P & P Handler，具备多工位并测、高速度、高精度的测试能力，具备全方位的产品保护机制，适应行业标准kit具备快速更换的特性。该系列最大并测数有4工位、8工位、16工位等机型且配置的常高温可选。
SLT系列	代表产品：C9D系列重力式测编一体分选机C9D系列是我司全新开发的测试编带光检一体式分选机，具有高速度、高精度、多工位并测等功能。整机采用模块化设计，具备多种收料方式，可由用户自由选择开启何种收料方式。
重力式分选机系列	代表产品：P3000测试机是中高功率测试机，可测试MOS、IGBT、SiC MOS等功率器件，产品测试规格为3000V400A，支持DC、EAS、RgCg、DVDS、AC等各类参数测试。
转塔式分选机系列	EXIS 250/300是一款高速转塔式分选机，最大支持24个吸嘴站位布局，整机采用独特的视觉系统，具备检测外观缺陷，Mark, OCR等功能；设备标配Bowl进料，Tape&Reel出料，并且可扩展支持 Tray, Tape, Tub多种入料和Tray, Tube, Bulk, Dual Tape多种出料方式。

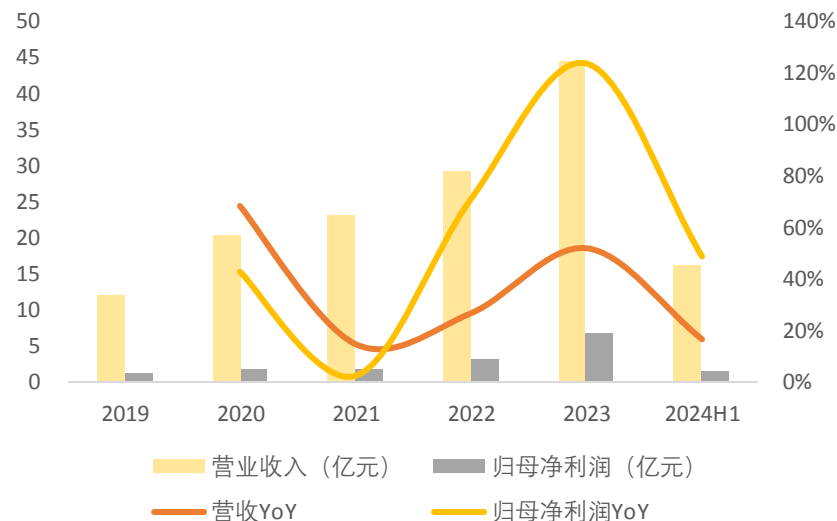
4.7 赛腾股份：收购日本OPTIMA，拓宽高端半导体业务领域

- 收购日本OPTIMA，拓宽高端半导体业务领域。
- 公司收购日本OPTIMA，持续拓宽在高端半导体领域的设备产品线和在HBM等新兴领域的应用，力求通过“全球技术+中国市场”战略，使公司晶圆检测及量测设备快速打开国内市场空间，并将经过业内头部客户验证的先进技术加速导入国内半导体厂商，助力国产晶圆检测设备占有率不断提升。
- 公司在晶圆检测及量测设备细分领域，是Sumco、三星、协鑫、奕斯伟、中环半导体等境内外知名晶圆厂商晶圆检测量测设备供应商，主要产品包括固晶设备、分选设备，晶圆包装机、晶圆缺陷检测机、倒角粗糙度量测、晶圆字符检测机、晶圆激光打标机、晶圆激光开槽机、光伏组件自动化单机及整线等。

表：日本OPTIMA产品

产品	图例	应用领域
晶圆边缘检测系统		代表产品RXW-1200，用于在硅片或器件制造过程中检测和分类晶圆边缘缺陷，以及测量所需部件的尺寸。
晶圆片背面检测设备		代表产品BMW-1200，具有高灵敏度，能够对晶圆背面的缺陷或污染进行检测，并且能够在器件制造过程中对提取的缺陷进行三维清晰测量。
边缘/表背面复合检测设备		代表产品RXM-1200，用于检测硅片制造过程中（抛光/外延）出现的晶圆边缘/两侧各种缺陷的检测设备。这类设备通常应用于硅片的边缘研磨、单面研磨、双面抛光、清洗、干燥、原始晶圆最终检查、外延、硅上绝缘体、沉积、光刻、化学机械抛光等制造过程，能够识别晶圆表面的颗粒、划痕、裂纹、碎片等缺陷，确保半导体制造过程中的产品质量。
针孔缺陷检测设备		代表产品RXP-1200，通过使用红外光探测硅晶体内部的微小孔洞，这些孔洞在常规的可见光检测中可能不可见。有助于降低减少不良品率，从而降低生产成本并提高最终产品的性能。

图：公司营收和归母净利润情况



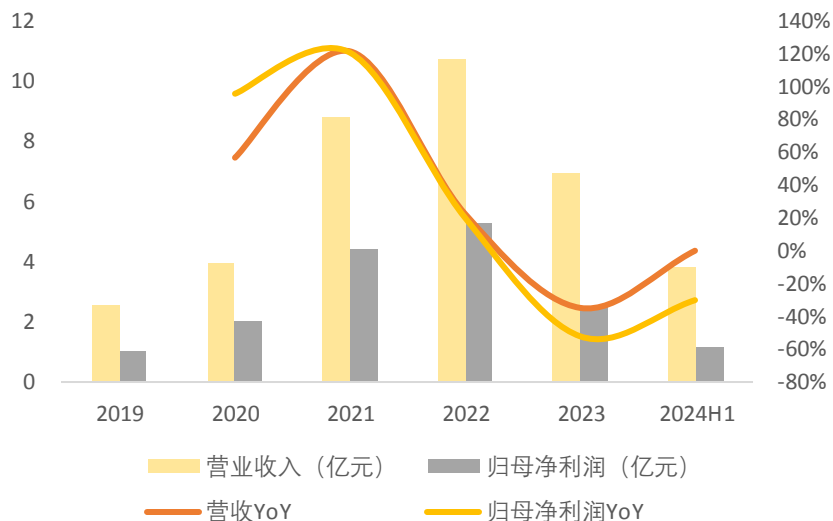
4.8 华峰测控：国内领先、全球知名的半导体测试系统本土供应商

- 专注于半导体自动化测试系统领域，以自主研发的产品实现了模拟及混合信号类半导体自动化测试系统的进口替代，同时不断拓展在氮化镓、碳化硅以及IGBT等功率分立器件和功率模块类半导体测试领域的覆盖范围。主要产品包括STS8200、STS8300、功率模块测试产品、STS8600。
- 产品线持续完善：2023年，公司推出全新一代测试系统—STS8600，拥有更多的测试通道数以及更高的测试频率，主要应用于大规模SoC芯片（高速数字电路、高性能混合电路、微波/射频电路、通讯接口电路、CPU芯片等）的测试，进一步完善了公司的产品线，拓宽了公司产品的可测试范围，为公司未来的长期发展提供了强大的助力。

表：华峰测控主要产品

产品	图例	应用领域
STS8200		主要应用于电源管理、信号链类、智能功率模块、第三代化合物半导体GaN类等模拟、混合和功率集成电路的测试。
STS8300		主要应用于更高引脚数、更高性能、更多工位的电源管理类和混合信号集成电路测试。
功率模块测试产品		为客户提供基于STS8200测试平台的PIM专用测试解决方案、针对用于大功率IGBT/SiC功率模块及KGD测试。
STS8600		主要应用于大规模SoC芯片（高速数字电路、高性能混合电路、微波/射频电路、通讯接口电路、CPU芯片等）的测试。

图：公司营收和归母净利润情况



5 风险提示

5. 风险提示

□ 晶圆厂扩产不及预期的风险

- 下游晶圆厂产能规模决定了半导体专用设备的市场空间。晶圆厂的扩产投资具有一定的周期性。如果下游晶圆厂的投资强度降低，设备公司将面临市场需求下降的风险，对于设备公司的经营业绩会造成不利影响。

□ 供应链安全风险

- 近年来，复杂的国际形势加剧了全球供应链的不稳定性。目前，部分设备公司的部分零部件暂时仍然需要向国外供应商采购。如果国际贸易摩擦进一步加剧，可能出现上述国外供应商受相关政策影响减少或者停止对公司零部件的供应，可能会影响设备公司产品生产能力、生产进度和交货时间，降低市场竞争力。

□ 技术开发风险

- 集成电路专用设备行业属于技术密集型行业，产品研发涉及机械、自动化、电子信息工程、软件工程、材料科学等多方面专业技术，是多门类跨学科知识的综合应用，具有较高的技术门槛。如果不能紧跟国内外专用设备制造技术的发展趋势，充分关注客户多样化的个性需求，或者后续研发投入不足，将面临因无法保持持续创新能力而导致市场竞争力降低的风险

分析师声明

本报告署名分析师在此声明：我们具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，本报告所表述的所有观点均准确地反映了我们对标的证券和发行人的个人看法。我们所得报酬的任何部分不曾与，不与，也将不会与本报告中的具体投资建议或观点有直接或间接联系。

一般声明

除非另有规定，本报告中的所有材料版权均属天风证券股份有限公司（已获中国证监会许可的证券投资咨询业务资格）及其附属机构（以下统称“天风证券”）。未经天风证券事先书面授权，不得以任何方式修改、发送或者复制本报告及其所包含的材料、内容。所有本报告中使用的商标、服务标识及标记均为天风证券的商标、服务标识及标记。

本报告是机密的，仅供我们的客户使用，天风证券不因收件人收到本报告而视其为天风证券的客户。本报告中的信息均来源于我们认为可靠的已公开资料，但天风证券对这些信息的准确性及完整性不作任何保证。本报告中的信息、意见等均仅供客户参考，不构成所述证券买卖的出价或征价邀请或要约。该等信息、意见并未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。客户应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专家的意见。对依据或者使用本报告所造成的一切后果，天风证券及/或其关联人员均不承担任何法律责任。

本报告所载的意见、评估及预测仅为本报告出具日的观点和判断。该等意见、评估及预测无需通知即可随时更改。过往的表现亦不应作为日后表现的预示和担保。在不同时期，天风证券可能会发出与本报告所载意见、评估及预测不一致的研究报告。

天风证券的销售人员、交易人员以及其他专业人士可能会依据不同假设和标准、采用不同的分析方法而口头或书面发表与本报告意见及建议不一致的市场评论和/或交易观点。天风证券没有将此意见及建议向报告所有接收者进行更新的义务。天风证券的资产管理部门、自营部门以及其他投资业务部门可能独立做出与本报告中的意见或建议不一致的投资决策。

特别声明

在法律许可的情况下，天风证券可能会持有本报告中提及公司所发行的证券并进行交易，也可能为这些公司提供或争取提供投资银行、财务顾问和金融产品等各种金融服务。因此，投资者应当考虑到天风证券及/或其相关人员可能存在影响本报告观点客观性的潜在利益冲突，投资者请勿将本报告视为投资或其他决定的唯一参考依据。

投资评级声明

类别	说明	评级	体系
股票投资评级	自报告日后的6个月内，相对同期沪深300指数的涨跌幅	买入	预期股价相对收益20%以上
		增持	预期股价相对收益10%-20%
		持有	预期股价相对收益-10%-10%
		卖出	预期股价相对收益-10%以下
行业投资评级	自报告日后的6个月内，相对同期沪深300指数的涨跌幅	强于大市	预期行业指数涨幅5%以上
		中性	预期行业指数涨幅-5%-5%
		弱于大市	预期行业指数涨幅-5%以下