

通信

2024年12月31日

深度拆解 CPO: AI 智算中心光互联演进方向之一

——行业深度报告

投资评级: 看好 (维持)

蒋颖 (分析师)

陈光毅 (联系人)

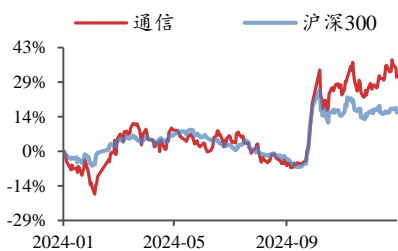
jiangying@kysec.cn

chengguangyi@kysec.cn

证书编号: S0790523120003

证书编号: S0790124020006

行业走势图



数据来源: 聚源

相关研究报告

《算力即国力, 上海市力推 AI 发展, 重视国产算力—行业点评报告》
-2024.12.30

《小米搭建万卡集群, 巨头相继发力, 国产算力崛起—行业点评报告》
-2024.12.26

《o3 模型亮相, 国内 AIDC 产业链或迎涨价潮—行业周报》-2024.12.22

● AI 光通信时代, CPO 迎三大产业变化

(1) 变化 1: 硅光技术加速发展, CPO 硅光引擎不断成熟。硅基光电子具有和成熟的 CMOS 微电子工艺兼容的优势, 有望成为实现光电子和微电子集成的最佳方案。硅光引擎作为当前 CPO 光引擎的主流方案, 硅光技术的成熟有望进一步带动 CPO 的发展; (2) 变化 2: 龙头厂商积极布局 CPO, 进一步催化 CPO 产业发展。Intel、Broadcom、Raonvus、AMD、Marvell、Cisco 等各大芯片厂商均有在近年 OFC 展上推出 CPO 原型机, Nvidia 及 TSMC 等厂商也展示了自己的 CPO 计划; (3) 变化 3: AI 时代高速交换机需求增长, CPO 是在成本、功耗、集成度各个维度上优化数据中心的光电封装方案, 优势不断凸显。

● CPO 有望带动硅光引擎、CW 光源、光纤、FAU、MPO/MTP 等需求增长

光子 IC(PIC)和电子 IC(EIC)组成光引擎, 实现光电转换的高性能光引擎(PE/OE)是 CPO 技术的核心, 硅光技术是目前 CPO 光引擎的主要解决方案; 外部激光源(ELS)是硅光 CPO 的主流选择, 当前主流硅光 CPO 将连续波(CW)激光器光源单独外置, 作为高密度封装体的外围可插拔单元; CPO 内部光纤路由方面, 硅光引擎通过与光纤阵列单元(FAU)耦合实现光的进出。在光纤线束管理方面, 可进一步引入光纤柔性板(Fiber Shuffle)、带状光纤(Fiber Ribbon)、光缆捆束(Fiber Harness)、光纤带集线器(Fiber ribbon accumulator)、光纤预装盒等来提高光纤的可靠性。使用 CPO 的光纤链路包含更多的光纤连接器, 以 MPO/MTP 为代表的多芯连接器有望成为未来发展趋势。

● CPO 发展潜力较大, 但商业落地仍需产业协同, 重点关注各大细分板块

我们认为, CPO 目前处于产业化初期, 除了技术上的挑战外, 更受集成光学器件的市场接受度、标准和制造能力的限制, 作为光通信解决方案的一环, 其发展仍需整体产业链的协同推进。整体来看, 需重点关注以下板块: (1) 光引擎板块: 包括硅光器件/光模块厂商和硅光工艺配套厂商。推荐标的: 中际旭创、新易盛、天孚通信等; 受益标的: 罗博特科、杰普特、炬光科技等; (2) 光互连板块: 包括 ELS/CW 光源、TEC、光纤、光纤连接器及封装工艺。推荐标的: 中天科技、亨通光电; 受益标的: 源杰科技、长光华芯、仕佳光子、光迅科技、光库科技、富信科技、东方电子、太辰光、博创科技、致尚科技、天孚通信、通富微电、长电科技、华天科技、晶方科技等; (3) 交换机板块: 主要包括交换机&交换芯片供应商。推荐标的: 紫光股份、盛科通信、中兴通讯; 受益标的: 锐捷网络、菲菱科思、共进股份、烽火通信、光迅科技等。

● 风险提示: AIGC 发展放缓, 配套 CPO 需求不及预期的风险; CPO 相关工艺升级不及预期的风险; CPO 产业链推动不及预期影响; 存在贸易壁垒的风险。

目 录

1、 CPO 是一种新型的光电子集成技术.....	5
2、 CPO 的深度拆解：或带动硅光引擎、CW 光源、光纤、FAU、MPO/MTP 等需求增长.....	7
2.1、 硅光引擎是 CPO 技术核心之一.....	9
2.1.1、 光引擎平台：硅光技术是目前 CPO 光引擎的主要解决方案.....	9
2.1.2、 光引擎集成：CPO 技术将增加先进封装工艺需求.....	13
2.2、 光源：ELS 是当前硅光 CPO 的主流选择.....	19
2.3、 光学互联：CPO 光链路较可插拔方案引入额外的光纤及光纤连接器.....	22
2.4、 电气互联：CPO 中单片 CMOS EIC 或成发展方向.....	27
3、 AI 光通信时代，CPO 迎三大产业变化.....	30
3.1、 变化 1：硅光技术加速发展，CPO 硅光引擎不断成熟.....	30
3.2、 变化 2：龙头厂商积极布局 CPO，进一步催化 CPO 产业发展.....	35
3.2.1、 Broadcom：TH5-Bailly— SiPh PIC + 7nm CMOS EIC + FOWLP.....	36
3.2.2、 TSMC：积极布局硅光技术，推出 COUPE 平台.....	39
3.2.3、 Nvidia：GPU 龙头企业，积极布局 CPO DWDM 方案.....	40
3.3、 变化 3：AI 时代高速交换机需求增长，CPO 方案优势不断凸显.....	44
3.3.1、 AI 时代交换机带宽加速迭代，端口互联速度快速发展.....	44
3.3.2、 AI 集群加速 Scale out，后端网络组网拉动高速交换机需求.....	45
3.3.3、 AI 集群功耗成关键挑战，CPO 方案优势凸显.....	47
4、 CPO 发展潜力较大，商业落地仍需产业协同.....	48
4.1、 技术方面，CPO 在工艺、仿真以及测试等方面仍面临很多挑战.....	48
4.2、 产业协同：AI 时代 CPO 方案或与可插拔方案长期共存.....	49
5、 受益标的梳理.....	51
6、 风险提示.....	54

图表目录

图 1： CPO 有望成为未来数据中心互连的重要解决方案.....	5
图 2： 光接口能效演进低于 ASIC 部分.....	5
图 3： CPO 有望替代传统可插拔光模块.....	6
图 4： CPO 较传统光模块集成大量光电器件.....	7
图 5： CPO 利用光互连替代传统光模块至交换芯片的铜互连.....	8
图 6： 光引擎是 CPO 技术核心之一.....	9
图 7： VCSEL CPO 方案适用于超短距离传输.....	10
图 9： 硅光调制器常见构型：MZM、微环调制器、布拉格光栅调制器.....	12
图 10： 硅光耦合器通常使用端面耦合以及光栅耦合两种方式.....	13
图 11： PE 集成方案包括单片集成或异构集成.....	14
图 12： CPO 技术将增加先进封装工艺需求.....	14
图 13： 基于 2D 封装 PE 的 CPO.....	14
图 14： 硅基 Interposer 方案提供精细的布线功能.....	15
图 15： 有机封装利用有机基板作为基材.....	16
图 16： FOWLP 通过晶圆级封装促进小尺寸封装和大规模生产能.....	16
图 17： 玻璃材料是 Interposer 的优质候选材料.....	17

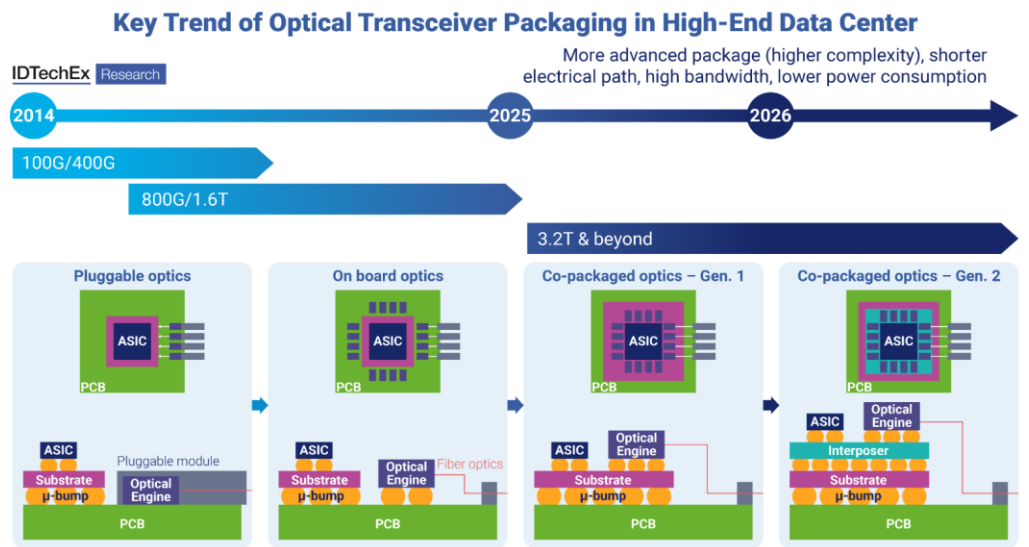
图 18: Corning 积极推进玻璃 Interposer	17
图 19: 光电芯片通过 3D 封装进行垂直互连	17
图 20: 3D 封装的 CPO 技术也是目前研究的热点和趋势	18
图 21: 硅光 CPO 主要采用 ELS	19
图 22: 输出功率和功耗是 ELS 的关键特征	19
图 23: 有效的光电转换是一个多维的非线性问题	20
图 24: CW-DFB 激光器是目前 CPO 技术最优的外置光源选择	20
图 25: OIF 发布 ELSFP 标准	21
图 26: ELS-DR/FR 应用实际由光引擎决定	21
图 27: CPO 光互连主要包括光引擎到前面板连接器的光纤路由	22
图 28: CPO 的实现涉及各种组件的系统规模集成	22
图 29: 光引擎接口保护涉及多种光电分离方案	23
图 30: 光纤阵列对材料和制造工艺的要求较高	23
图 31: 光引擎通过 FAU 耦合实现光的进出	23
图 32: 通过引入中板/板载光互连解决方案来解决光引擎尾纤长度不同问题	24
图 33: 扩束连接器可以减少由于光学接口污染而导致的信号损失	24
图 34: 利用光纤柔性板管理	24
图 35: 通过部分硬件设计提高光纤可靠性	24
图 36: ELS 通过保偏光纤连接光引擎	25
图 37: 用于光输入的 PM 光纤和用于光输出的非 PM 光纤的混合封装	25
图 38: 光纤连接器品类繁多	26
图 39: 基于 MT 插芯的光纤连接器或成大容量配线需求的重要解决方案	26
图 40: 前面板需对光纤端口通道密度、连接器类型和热管理等综合考虑	26
图 41: CPO 电气接口选择多样	27
图 42: DSP 功能或仍不可或缺	28
图 43: ADC+DSP 仍是下一代 224Gb/s 实现方案之一	28
图 44: 不同的 SerDes 模块针对不同的距离进行了优化	29
图 45: 单片集成 EIC 或成 CPO 发展方向	29
图 46: 硅光技术综合性能优异	30
图 47: 硅光技术应用广泛	30
图 48: 数据中心中硅光光模块已逐步应用	30
图 49: 硅光光模块与传统光模块原理架构基本相似	31
图 50: 硅光收发器市场规模有望不断扩大	31
图 51: OIO 是一种芯片的光互连解决方案	32
图 52: 高耗能算力场景促进 OIO 发展	32
图 53: 硅光产业链不断完善	32
图 54: 硅光 CPO 原型机不断推出	36
图 55: Broadcom CPO 产品不断推出	36
图 56: TH4-Huboldt 是 Broadcom 第一代 CPO 系统	37
图 57: TH4-Huboldt 采用 SiPhPIC+SiGeEIC+TSV 架构	37
图 58: TH5-Bailly 采用 SiPh PIC + 7nm CMOS EIC + FOWLP 架构	38
图 59: Broadcom 将 CPO 技术进一步拓展到算力芯片	38
图 60: TSMC 推出 COUPE 平台	39
图 61: TSMC 提供其先进技术路线图	40
图 62: 芯片异构集成是 TSMC 封装技术之一	40

图 63: TSMC 供应商支持的 COUPE 设计工具.....	40
图 64: 不同的设备连接具有不同的带宽和功耗.....	41
图 65: CPO DWDM 或是个综合性能优异的方案.....	41
图 66: 交换机卡和 GPU 卡中采用 CPO 器件.....	41
图 67: GPU 卡、交换机卡分别构成相应机架.....	41
图 68: Nvidia CPO DWDM 架构采用 DFB 光源和微环调制器.....	42
图 69: 激光器占主要功耗预算.....	42
图 70: Nvidia CPO DWDM 架构中采用硅基 Interposer.....	42
图 71: Nvidia 的 CPO 原型机速率达到每根光纤 400Gbps.....	43
图 72: Nvidia 已制造 CPO 各类型测试芯片.....	43
图 73: TeraPHY 和 SuperNova 典型链路.....	43
图 74: TeraPHY 采用硅光微环调制器.....	43
图 75: 光互连正逐渐取代铜互连.....	44
图 76: ASIC 带宽约每两年翻一番.....	44
图 77: 以太网速度跟随 ASIC 带宽的扩展.....	44
图 78: 前后端网络组网均带来大量交换机需求.....	45
图 79: AI 网络架构带动 GPU 互联需求.....	46
图 80: RDMA 市场中交换机需求快速增长.....	46
图 81: 算力集群拓展方向包括 Scale up 和 Scale out.....	46
图 82: Scale up + Scale out 构成后端网络.....	46
图 83: CPO 方案有望有效降低 AI 集群功耗.....	47
图 84: CPO 产业链逐步成熟.....	50
图 85: CPO 市场前景广阔.....	50
表 1: 海内外企业积极布局硅光子技术.....	33
表 2: CPO 产业重要板块及公司.....	51
表 3: 相关标的估值.....	52

1、CPO 是一种新型的光电子集成技术

光电共封装 (Co-Packaged Optics, CPO) 是一种新型的光电子集成技术。光电共封装基于先进封装技术将光收发模块和控制运算的专用集成电路 (ASIC) 芯片异构集成在一个封装体内, 形成具有一定功能的微系统。光电共封装技术进一步缩短了光信号输入和运算单元之间的电学互连长度, 在提高光模块和 ASIC 芯片之间的互连密度的同时实现了更低的功耗, 是解决未来大数据运算处理中海量数据高速传输问题的重要技术途径。

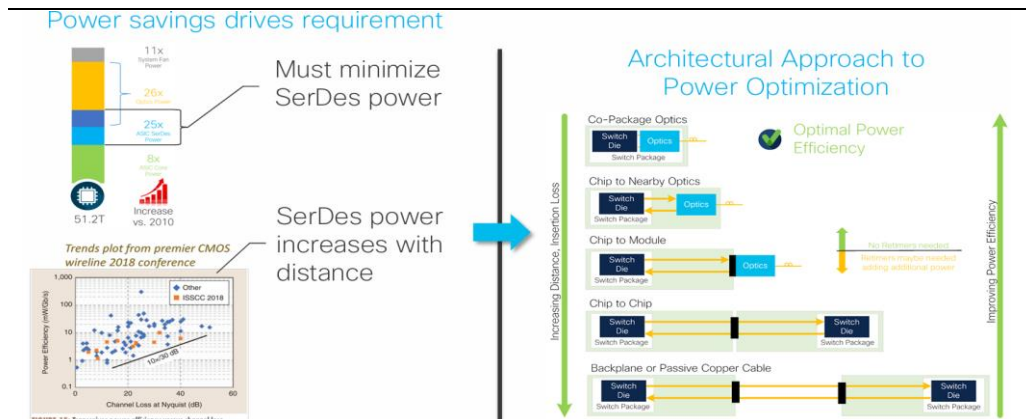
图1: CPO 有望成为未来数据中心互连的重要解决方案



资料来源: idtechex 官网

单比特成本和功耗的降低需求持续催化 CPO 技术发展。根据 Cisco 数据, 2010—2022 年全球数据中心的网络交换带宽提升了 80 倍, 背后的代价是交换芯片功耗增加约 8 倍, 光模块功耗增加 26 倍, 交换芯片串行器/解串器 (SerDes) 功耗增加 25 倍。由于光接口依赖于数模混合的 SerDes 技术, 其能效演进低于 ASIC 部分, 光接口的单比特成本和功耗下降的速率远落后于交换机 ASIC 部分, 为了进一步降低功耗, 需要通过缩短 SerDes 的距离或者减少 SerDes 的数量来降低功耗, 因此在光互联的系统结构上出现了很多新型技术如 OBO、NPO、CPO 等。

图2: 光接口能效演进低于 ASIC 部分



资料来源: Rakesh Chopra 《Looking Beyond 400G》

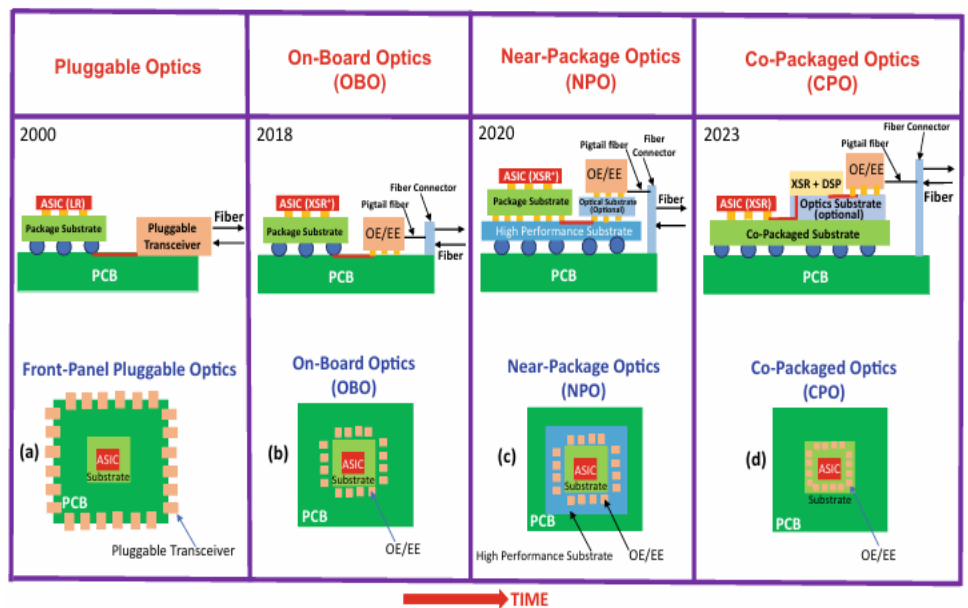
1995 年以来，可插拔光模块已被行业广泛使用，这些可插拔光模块安装在 PCB 边缘，ASIC 在封装基底上，PIC/EIC 与 ASIC 芯片之间的距离是最远的，走线较长，寄生效应明显，存在信号完整性问题，且模块的体积较大、互连密度低、多通道功耗较大。

2018 年以来，板载光学（OBO）将光模块的关键组件，如光引擎/电引擎安装在与封装 ASIC 相同的 PCB 上，并围绕封装 ASIC 的四周排列，该方案使用 PCB 来连接封装 ASIC 和光引擎/电引擎。较可插拔光模块方案，PIC/EIC 与 ASIC 之间的距离缩短，功率和电气性能方面有所改进。目前 OBO 已被部署于在特定需要比可插拔光学更高带宽密度的场景中，如 IBM Power775 互连和 Atos/Bull BXI 互连等，且多基于多模光学。COBO 联盟完成了一个针对板载光学的 MSA，包括关于八通道和十六通道（电气）板载光模块的规格，每通道最高可达 56 Gb/s。

2020 年以来，业界提出近封装光学（NPO），将光引擎放置在与封装 ASIC 相邻的可选光学基板旁，集成在同一高性能基板上，使用高性能基板来连接封装 ASIC 和光引擎。根据 OIF 定义，NPO 中 ASIC 和光学之间的长度可以达到 150mm，同时将信道损耗限制在 13dB 以内。

2023 年以来，自 Intel 和 Broadcom 推出 CPO 产品后，CPO 得到进一步重视，其中光引擎（不包括光学基板）被放置在 ASIC 芯片的同一共封装基板的四周。此前业界已开始围绕 CPO 标准的建立共识，其中美国、中国和欧洲在标准化倡议方面走在了前列，包括光互联论坛（OIF）、机载光学联盟（COBO）、国际光子学与电子委员会（IPEC）和中国计算机互联技术联盟（CCITA）在内的组织在实施 CPO 标准方面取得了实质性进展，根据 OIF 规定，CPO 将光引擎和 ASIC 的距离限制在 50mm 以内，信道损耗限制在 10dB 以内。由于跨度更短和损耗降低，CPO 具有更低的功耗。根据 Broadcom 的数据，可插拔光模块的功耗从 15pJ/bit 到 20pJ/bit 不等，而 CPO 系统的功耗可以降低 50% 以上，达到 5pJ/bit 到 10pJ/bit 的范围。仿真结果表明，使用全对全通信模式时，时间缩短了 40%。通过在交换机和服务中实施 CPO 技术，可以将网络容量增加 2 倍，同时将交换机数量减少 64%。

图3：CPO 有望替代传统可插拔光模块



资料来源：John H. Lau 《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》

2、CPO 的深度拆解：或带动硅光引擎、CW 光源、光纤、FAU、MPO/MTP 等需求增长

CPO 方案通过将光引擎与交换芯片近距离互连，相较于传统可插拔方案具有高带宽、低延时、低功耗、小尺寸等优点，同时利用基于硅光的光引擎，CPO 使用经过验证的半导体制造技术和设计工艺实现了高水平的光学和电气设备集成，有望实现规模化生产、可靠性提高和成本的降低。

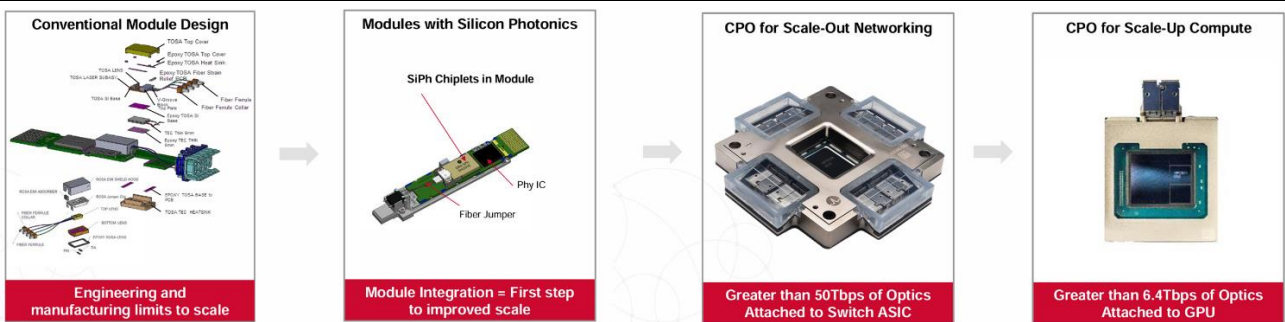
从器件构成上来看，相较于采用分立式器件的传统可插拔光模块，主流 CPO 方案中由于硅光引擎的引入，除激光器外，大部分已实现了多种光电器件的硅基集成：

有源器件方面，激光器部分，传统光模块发射部分中的 EML 光芯片功能被解耦成光源和调制器，目前 CPO 多采用基于 CW 激光器的外置激光光源 (ELS)，一方面较 EML 激光器芯片可获得成本上的优势，且减少散热影响，另一方面外置激光器方案与硅光芯片的耦合带了新的挑战；调制器部分，CPO 中采用集成与硅光芯片上的硅光调制器，包括马赫-曾德尔调制器 (MZM)、微环调制器 (MRM) 等方案；探测器部分，传统光模块接收部分中采用分立的 PIN/APD 光电探测器，在 CPO 中同样集成于硅光芯片上的 Ge-Si 光探测器成主流方案；

无源器件方面，除隔离器和 FAU 连接器外，硅光芯片替代了大部分传统光模块中的无源器件，传统器件中的透镜和大型组件都被取代，陶瓷、铜等材料用量大幅降低，晶圆、硅光芯片等电子材料占比提升，价值向硅光芯片、硅光引擎转移，整体有望进一步实现工艺简化和成本控制，同时硅光器件更高的集成密度带来了芯片尺寸的大幅缩减，相较于传统光模块具备小型化优势；

电芯片方面，传统可插拔光模块方案中的 DSP、TIA、Driver 等电芯片或被进一步集成，CPO 中单片 CMOS EIC 有望成为重要发展方向。

图4：CPO 较传统光模块集成大量光电器件



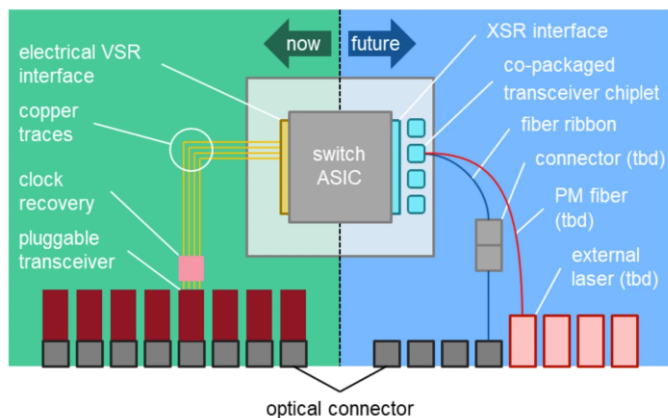
资料来源：Manish Mehta 《An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures》、开源证券研究所

从互连架构来看，在电气连接上，通过引入更适合短距离场景 XSR SerDes，实现对电气接口的优化；在连接零部件上，CPO 相较于传统可插拔方案光互连取代铜互连，因此在交换机内部引入额外的光纤及光纤连接器，主要包括 ELS-光引擎段、光引擎-前面板段，同时前面板原光模块的电气接口转为光互连的光纤连接器。

图5: CPO 利用光互连替代传统光模块至交换芯片的铜互连

Transition to Co-Packaged Optics Brings New Hardware

- Transceivers are within cm of optical switch
- Opto chiplet near ASIC replaces pluggables on face plate
- Fiber within switch box replaces copper traces



CORNING

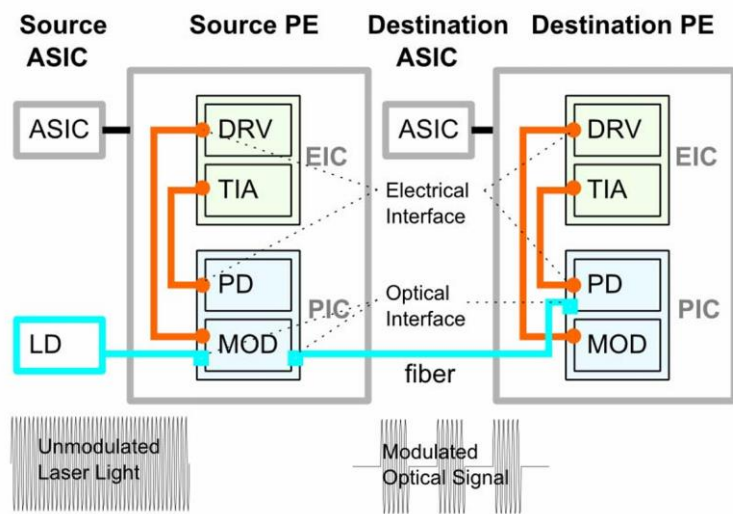
© 2023 Corning Incorporated 3

资料来源: Corning 官网

2.1、硅光引擎是 CPO 技术核心之一

CPO 作为一种光电器件的先进封装技术，涉及系统架构、芯片制造和封装的升级，从运行原理上看，无论与 ASIC 的接近程度如何，实现光电转换的高性能光引擎（PE/OE）都是 CPO 技术的核心。光子 IC(PIC)和电子 IC (EIC) 组成光引擎，PIC 和 EIC 通过光引擎的电气接口连接。光引擎还通过其光接口光纤耦合器接收和传输光。来自激光二极管的未调制光首先通过源光引擎中的光纤耦合器耦合到 PIC。在通过驱动器控制调制器（MOD）后，携带信息的调制光信号通过光纤传输到目标光引擎。光信号由 PIC 中的光电探测器（PD）检测并转换为电流。在 EIC 中，电流信号通过跨阻放大器（TIA）被放大并转化为电压信号。最后，电压信号通过电气通道从 EIC 传递到目标 ASIC。

图6：光引擎是 CPO 技术核心之一



资料来源：H. Hsia 等《Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC》

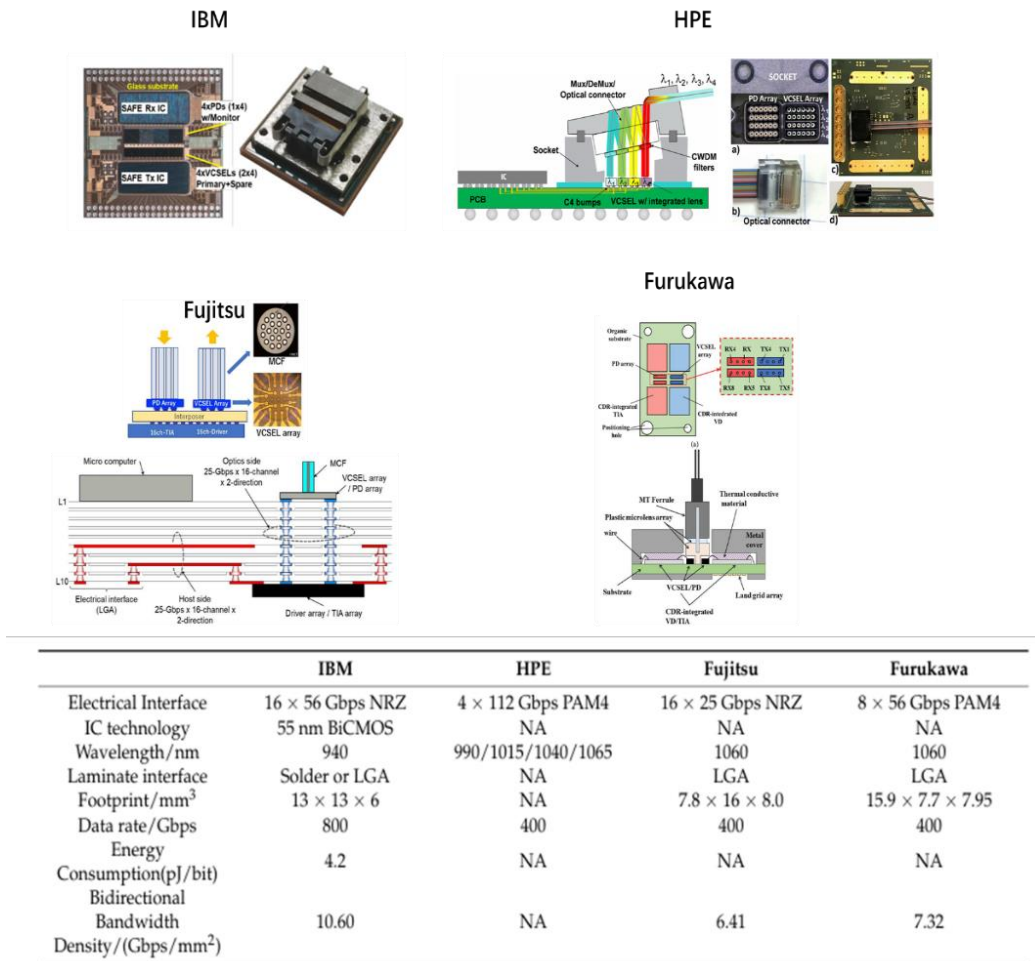
2.1.1、光引擎平台：硅光技术是目前 CPO 光引擎的主要解决方案

目前 CPO 光引擎主要的技术路径分别是基于硅光的技术路线和基于 VCSEL 的技术路线。硅光子集成技术因其集成度高、CMOS 工艺兼容已成为 CPO 光引擎的主要解决方案。

VCSEL 方案在成本和功耗方面为超短距离传输提供了明显的优势，但整体目前仍处于研发阶段。**功耗方面**，VCSEL 具有优异的功耗特性 (<5Pj/bit)，基本可满足 100m 以内的互联需求，后续通过器件进一步升级为少模或单模的 VCSEL，也有望能够实现 km 级互联长度。**速率方面**，当前，VCSEL 较为成熟的器件为 25GBaud 量级，同时随着 VCSEL 调制速率的增加，芯片的可靠性降低。在 56GBd 的情况下，暂无稳定可靠的大规模集成 VCSEL 阵列，后续 50GBd 有望在近几年成熟商用，虽然带宽发展趋势上略慢于硅光技术，但 VCSEL 技术可以通过外置合分波器实现波分复用以提高单纤容量，也可以通过阵列化的 VCSEL 器件/PD 器件配合多芯光纤 (~40um 芯间距) 实现大容量传输。**工艺方面**，其主要挑战在于封装，不同公司的封装解决方案通常涉及使用焊盘栅格阵列 (LGA) 封装将光学引擎连接到印刷电路板 (PCB)。将驱动器和 TIA 放置在尽可能靠近 VCSEL 和 PD 的位置至关重要。此外，通过集成多通道 VCSEL 和 PD，对系统的可靠性和维护性进行了测试。

当前参与 VCSEL CPO 研究和开发的主要组织是 IBM、惠普、富士通和古河。IBM 研究院和 Coherent 于 2022 年联合开展 MOTION 项目，项目专注于创建紧凑的光学模块，将多个波长集成在单个芯片，该模块采用了尺寸为 1.64mmx4.64mm 的芯片，没有在电子芯片内合并重新定时功能，有效地服务于低延迟应用场景。电子芯片、VCSEL 和电源传输 (PD) 芯片使用 flip-mounting 安装技术贴在玻璃基板上，在最大速度下，考虑到两端的电连接器，MOTION 收发器的功耗为 4pJ/b，约为 800gOSFP (FR4) 模块的 1/5；惠普的 4 通道 CPO 系统于 2020 年开发，包括 990/1015/1040/1065/1090nm 的 5 种波长的 VCSEL 激光器；富士通于 2022 年宣布的 VCSEL CPO 系统采用 16 通道 VCSEL 和 PD 阵列。为了实现与多芯光纤 (MCF) 的耦合，VCSEL 和 PD 排列成弧形，相邻通道之间的距离为 40um。1060nm VCSEL、驱动器和 TIA 芯片通过 interposer 连接；Furukawa 的 VCSEL CPO 解决方案采用两组 4 通道 VCSEL 和 PD 阵列，驱动器和 TIA 芯片分别位于 VCSEL 和 PD 的两侧，光学和电气芯片都直接贴在基板上，并通过引线键合连接。

图7：VCSEL CPO 方案适用于超短距离传输



资料来源：Tian, W 等《Progress in Research on Co-Packaged Optics》、开源证券研究所

硅光子集成技术是基于硅和硅基衬底材料，利用现有 CMOS 工艺进行光器件开发和集成的新一代技术。硅光利用硅和硅基衬底材料（如 SiGe/Si、SOI 等）作为光学介质，通过集成电路工艺来制造相应的光子器件和光电器件（包括硅基发光器件、调制器、探测器、光波导器件等），这些器件用于对光子的激发、处理和操纵。

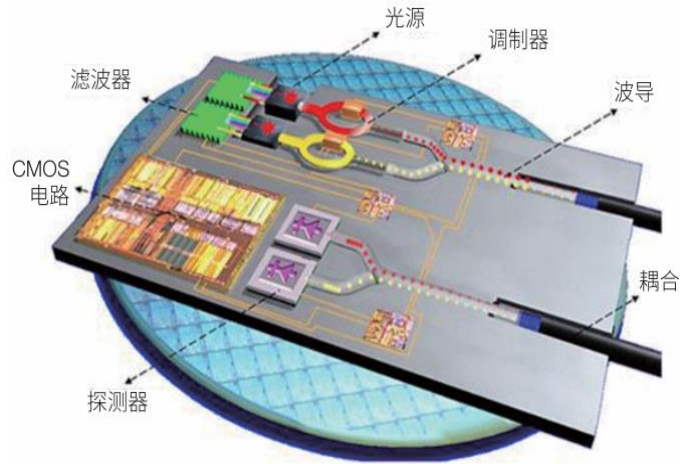
从技术特点来看，硅光技术结合了集成电路技术的超大规模、超高精度制造的

特性和光子技术超高速率、超低功耗的优势，以及基于硅材料的本身特性，硅光子技术主要具有高集成度、高速率、低成本等优点。

从功能结构来看，在硅光的光子集成电路 (PIC) 中，主要包括光的产生、路由、调制、处理和探测。其核心器件主要包括：激光器（负责将电信号转化成光信号），光调制器（负责将光信号带宽提升），光探测器（负责将光信号转化成电信号），（解）复用器件（负责将不同波长携带的多路数据合并或分开）、光波导（负责光信号在硅基材料上传输），光栅耦合器（负责与对外连接的光纤对准降低插损）等。

作为当前 CPO 技术的主流方案，硅光技术本身仍然面临诸多挑战，如片上光源、波导损耗、光学耦合、温度影响等硅光器件性能问题、测试流程方法挑战和缺乏标准化方案等。目前硅光 CPO 的讨论多集中于光源、调制器、封装集成等技术路径的研究。

图8：硅光子集成芯片基于硅材料的 CMOS 微电子工艺实现光子器件的集成制备



资料来源：王子昊等《硅基光电异质集成的发展与思考》

(1) 光调制器是将调制信号加载到光波导上的器件，在硅光 PIC 中是完成电信号到光信号转换的关键器件。目前硅基调制器的 3 dB 带宽可以达到 67 GHz 以上，可以支持单波 200 Gbit/s 以上速率的调制和传输。

根据调制方式，硅光 PIC 中的电光调制属于外调制方式，即激光器的注入电流恒定，激光器输出连续光，调制信号加载到外调制器上，在电场的作用下，外调制器进行光强和相位的调制；

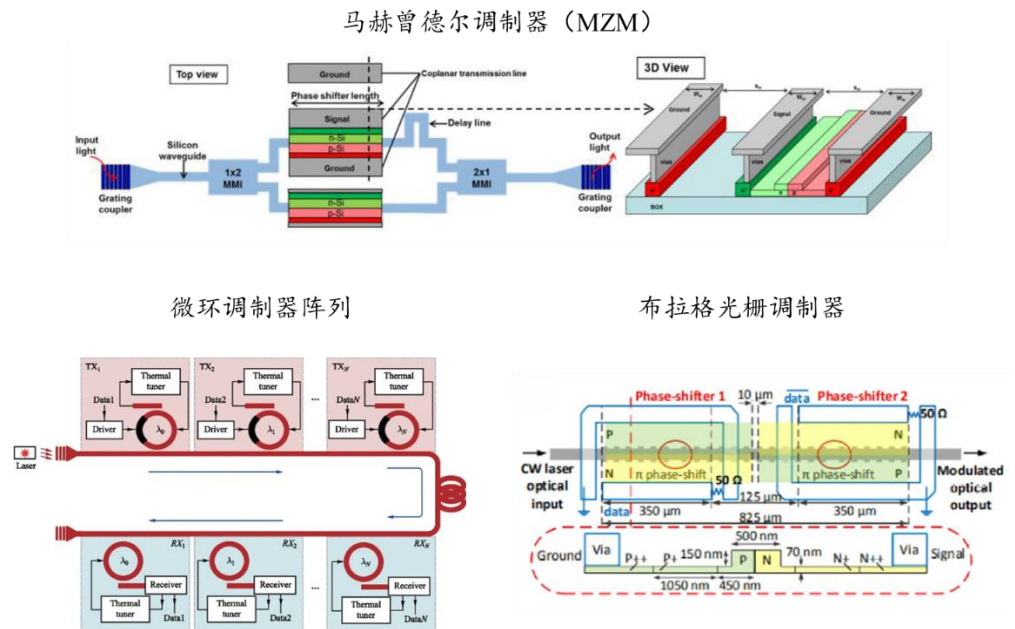
从机制上来看，不同于传统光模块中的基于量子限制斯塔克效应 (QCSE) 的电吸收调制器 (EAM)，由于硅的材料特性，目前硅光调制器多基于等离子体色散效应，即通过外加电场对载流子浓度进行操控并以此来改变材料折射率，常见的等离子体色散效应包括载流子注入、载流子积累和载流子耗尽机制，其中载流子耗尽型 PN 结由于能够同时实现高速率和调制效率，研究热度逐步上升；

从结构上来看，较为常用的硅光调制器包括马赫-曾德尔调制器 (MZM)、微环调制器 (MRM)、布拉格光栅调制器。MZM 利用折射率的变化操控两个光波的相对相位，并通过相长或者相消干涉的原理实现对光波幅度的调制；微环调制器和布拉格光栅调制器是在有谐振结构的调制器中用折射率的变化操控谐振条件改变谐振波长，使得调制器可以在给定波长下实现谐振状态的切换。

马赫-曾德尔调制器是近十年来研究最多的硅光调制器之一，一般被认为是提高下一代数据中心光网络、5G 光模块速率的主要方案。MZM 最大优点是工作带宽是全带宽，并因此得到了广泛的应用，但由于基于干涉调控，尺寸较大（百 μm 量级），实际应用中长度一般大于 2 mm，另外反向偏置的载流子耗尽型调制器功耗较高；

微环和布拉格光栅基于谐振，尺寸可以相对较小（几十 μm 量级），微环调制器凭借其高品质因子(Q 值)的环形谐振腔结构，可以实现极高的集成度与低能耗（驱压小），适用于光波分复用系统，但是微环调制器高 Q 谐振腔要求较窄的光学带宽（典型如 100pm），制造误差容忍度小，温度敏感性较高，同时微环调制器的谐振峰是周期性的，调制器级联时不同信道之间容易串扰；布拉格光栅调制器是单模谐振，因此在工作波长附近仅有一个谐振峰，信道之间不易串扰，但布拉格光栅调制器中光栅固有的反射光会对入射端口其余器件造成不良影响，因此很大程度上失去了外调制优势。

图9：硅光调制器常见构型：MZM、微环调制器、布拉格光栅调制器



资料来源：Min Tan 等《Co-packaged optics (CPO): status, challenges, and solutions》、开源证券研究所

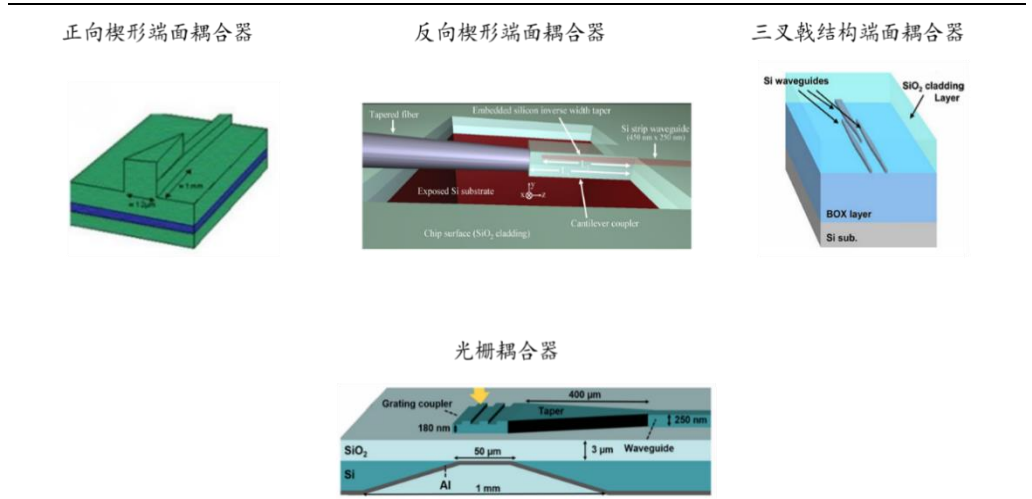
(2) 硅基波导光学耦合技术主要用于解决硅基集成光电芯片上的光信号同外部光信号互连的问题，是硅基光电芯片封装的关键技术。实际应用中，单模光纤和光波导之间的高效耦合也是制约硅光子芯片规模化应用的一个难题。光波导中的模场尺寸通常小于 $1\ \mu\text{m}$ ，单模光纤中的模场直径一般是 $8\sim 10\ \mu\text{m}$ ，两者模场尺寸间的差异导致了较低的耦合效率和较大的耦合损耗。通过设计不同结构、不同材质的光耦合器件，使片上硅波导的光模场同单模光纤的光模场耦合相匹配从而达到最优的光耦合效率，通常使用端面耦合以及光栅耦合两种方式。

端面耦合是通过应用端面耦合器，使得光信号直接在硅基波导的横截面和光纤的横截面直接相耦合。端面耦合器的优点是耦合损耗小、光学带宽大，而且能够在不改变光路的情况下进行对准，但在制备上工艺难度大、制作容差小，需要特殊的端面抛光。端面耦合器一般有正向楔形、反向楔形、三叉戟结构，目前常用的结

构为反向楔形；

光栅耦合器是通过光栅的衍射效应把光耦合至光波导，优点是尺寸小、对准容差大，可以放置在芯片的任意位置，有利于晶圆级测试，缺点是偏振敏感、波长敏感、插入损耗大，不适合光子集成。

图10：硅光耦合器通常使用端面耦合以及光栅耦合两种方式



资料来源：夏鹏辉《高速光调制器及其芯片研究》、开源证券研究所

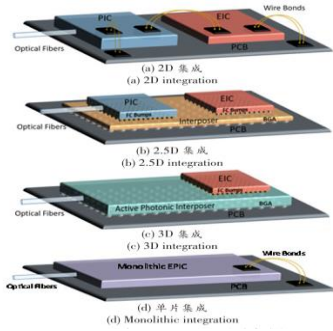
2.1.2、光引擎集成：CPO 技术将增加先进封装工艺需求

核心光引擎的集成方案对系统的功率、性能、面积和成本有着深远的影响。随着半导体封装技术的演进，光引擎集成及 CPO 技术路径多样，整体发展方向包括：功率，实现效率的优化；性能，提高带宽，缩短通信长度；面积，满足 HPC 芯片所需的要求，以先进封装实现更小尺寸；成本，通过不断减少替代材料，提高制造效率。

从集成方案来看，光引擎异构集成是当前主流选择。光引擎中 EIC 和 PIC 可以单片集成或异构集成。单片集成是指在一个平台上(比如 SOI 衬底)同时制备光器件和电器件,两种器件之间的电学互连通过芯片内部的金属实现。单片集成结构因为 PIC 和 EIC 在同一个管芯中,PIC 和 EIC 之间的电学互连大大缩短,从而减小了 RC 时间常数以及电学损耗对信号传输的影响,功耗也得到了降低,因此单片集成可以实现高数据速率和功率效率,基本避免了 EIC-PIC 接口上不需要的电寄生元件,但由于 EIC 的性能本质上是由器件缩放决定的,而 PIC 则不是,因此 EIC 通常需要最先进的逻辑节点,而 PIC 则不需要,EIC 和 PIC 之间的技术节点差异使得单片集成很难成为当前经济可行解决方案。

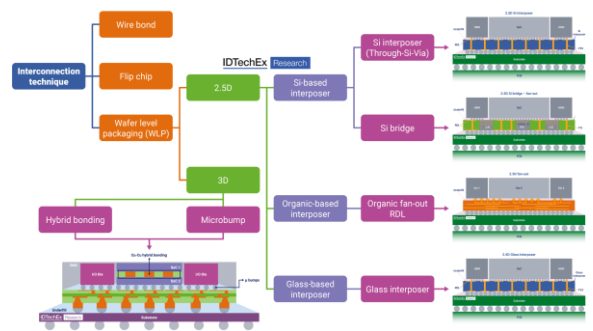
从封装结构上来看,光引擎的异构集成根据封装技术进一步可分为 2D、2.5D 和 3D 封装,CPO 便是 ASIC 芯片与光引擎进一步异构集成。整体来看,CPO 技术将增加先进封装工艺需求,目前封装工艺仍是限制 CPO 技术发展的主要因素之一,其中先进封装技术是指一种采用先进的设计思路和先进的集成工艺技术,如硅通孔(TSV)、重布线(RDL)、倒装(Flip Chip)、凸点(Bumping)、引线键合(Wire bonding)等对芯片进行封装级重构,能有效提升功能密度的工艺技术。

图11: PE 集成方案包括单片集成或异构集成



资料来源: 欧祥鹏等《2.5D/3D 硅基光电子集成技术及应用》

图12: CPO 技术将增加先进封装工艺需求



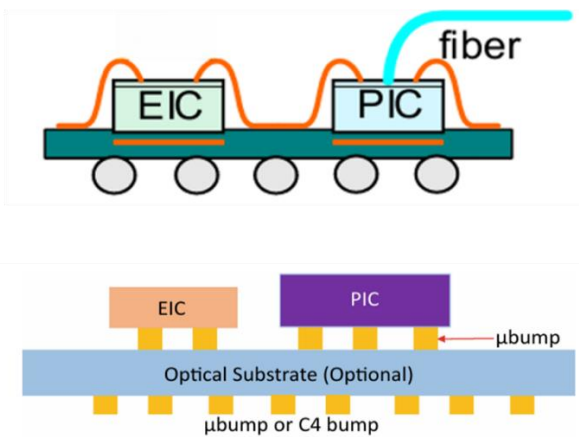
资料来源: IDTechEx 官网

(1) 2D PE CPO: 2D 封装是将光子集成电路 PIC 和集成电路 EIC 并排放置在基板或 PCB 上, 通过引线或基板布线实现互连。2D 封装的优点是易于封装、灵活性高。电子集成电路和光子集成电路都可以使用不同的材料、不同的工艺单独制作。但由于热应力等因素, 引线 and 芯片之间的连接点可能会移动或疲劳, 导致封装故障, 同时引线键合通常需要相对较高的弧高, 以允许芯片和基板之间或芯片和芯片之间的循环连接, 因此并不利于小型化设计。

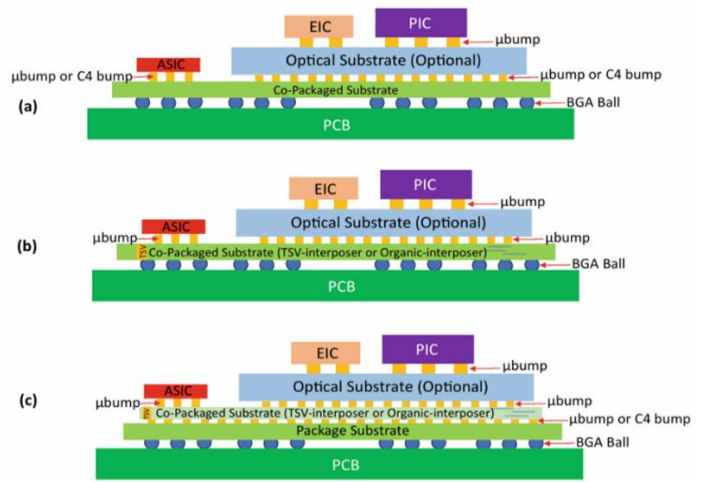
基于 2D PE, PIC 和 EIC 所在光学基板 (可选) 进一步与 ASIC 芯片通过使用 μ bump 或 C4 bump 并排集成在同一共封装基板上, 将共封装基板使用 BGA (球栅阵列) 焊球连接到 PCB 上, 其中共封装基板可替换为 TSV Interposer 或 Organic-interposer 并通过 μ bump 连接, 亦或于 Interposer 和 PCB 之间再增加了一个封装基板。

图13: 基于 2D 封装 PE 的 CPO

2D heterogeneous integration PE



2D heterogeneous integration ASIC+PE



资料来源: John H. Lau《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》、开源证券研究所

(2) 2.5D PE CPO: 2.5D 封装将 EIC 和 PIC 均倒装在中介层 (Interposer) 上。通过中介层上的金属互连 PIC 和 EIC, 中介层与下方的封装基板或 PCB 板相连。2.5D 集成封装尺寸介于 2D 集成和 3D 集成之间, 尺寸大于 3D 集成封装, 并且由于信号须通过两次凸点, 信号性能会有所下降, 2.5D 封装具有更高的互连密度和更低的功耗。根据所用转接板的材料不同, 基于 2.5D 封装技术可进一步可分为基于硅基 Interposer 的 CPO、基于有机 Interposer 的 CPO, 基于玻璃 Interposer 的 CPO 和基于

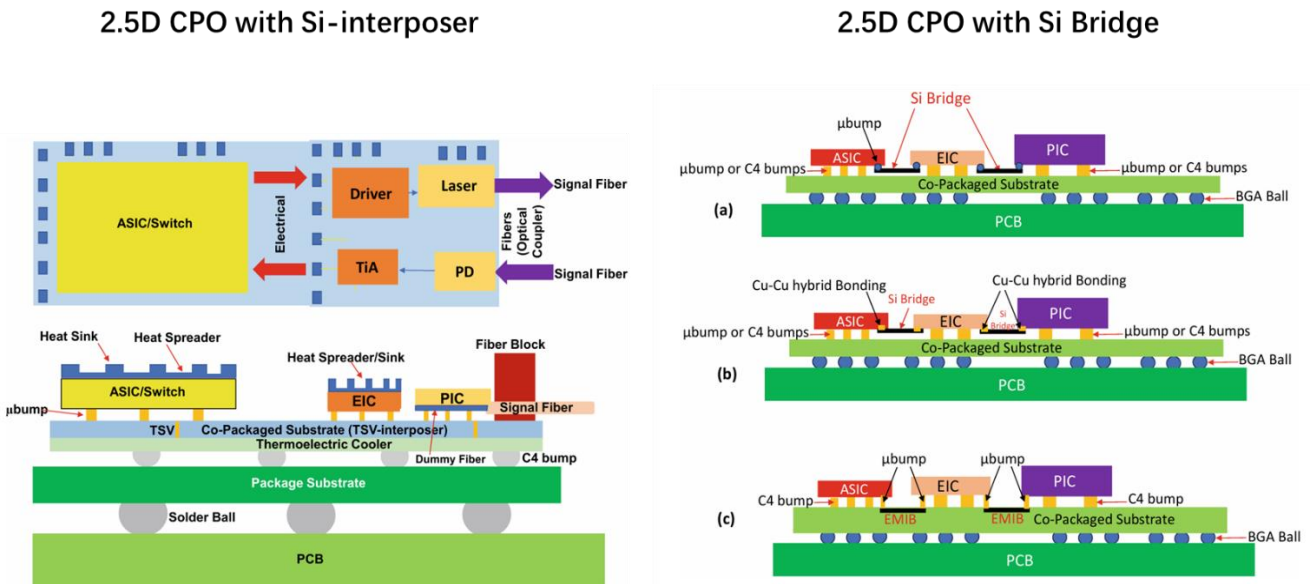
嵌入式多芯片互连桥接（EMIB）的 CPO。

硅基 Interposer 方案包括全无源硅晶圆和局部硅桥。全无源硅晶圆的硅基 Interposer 利用硅晶圆加工技术，可以制作更小线宽的互连线，布线密度高，可以实现光电芯片的高密度引脚互连，且由于与芯片材料相同，热膨胀系数失配小，能减小封装翘曲，提高可靠性；另一方面，硅基 Interposer 同样存在两个主要问题：(1) 成本高，TSV 生产采用硅蚀刻工艺，硅-硅通孔需要氧化绝缘层并维持薄晶圆；(2) 电性能差，硅材料是半导体材料，在传输线传输信号时，信号与衬底材料有很强的电磁耦合效应，衬底内会发生涡流现象，导致信号完整性较差。

由于硅在材料和制造方面面临着成本的挑战及封装面积的限制，局部硅桥的形式日渐增加，硅桥的异构集成中，ASIC、EIC 和 PIC 之间使用 μ bump/无凸点的 Cu-Cu 混合键合连接的硅桥连接，同时 ASIC、EIC 和 PIC 使用 μ bump 或 C4 bump 连接到共封装基板上。

EMIB 是英特尔的一种 2.5D 封装技术，通过在有机基板中嵌入薄硅桥和多层后道互连，实现局部物理互连，术可实现高密度多芯片封装 (mcp) 的异构集成，用于逻辑存储器和逻辑到电子收发器之间的连接，相比硅 interposer 的 CPO，EMIB 避免了 TSV 转接板导致的信号完整性问题，并且占用更小面积，既保证了 FPGA 与光电子芯片之间的高速、高密度通信，又有效减少了封装尺寸，有望实现成本和性能的平衡，具有正常的封装良率、不需要额外的工艺、设计简单等优点。但 EMIB 很难在每个进程之初就跟上先进技术的步伐，且 EMIB 端器件之间可能存在差异，例如 FPGA 和 HBM 之间收发器的电气特性和制造工艺存在差异，从而导致两端发热不均匀等一系列问题。

图14：硅基 Interposer 方案提供精细的布线功能

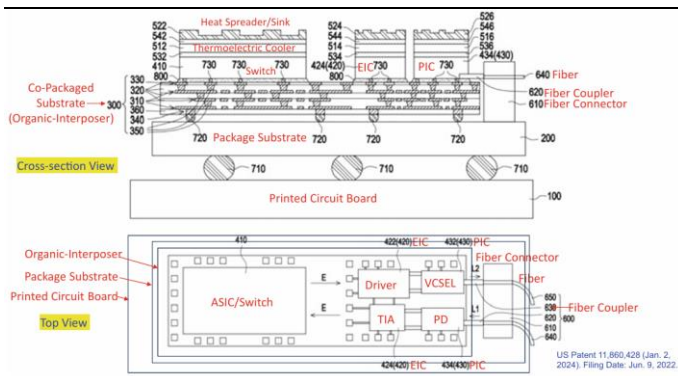


资料来源：John H. Lau 《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》、开源证券研究所

有机封装则利用有机基板作为基材，具有成本低、可弯曲等特点。有机材料具有低于硅的介电常数，有助于降低封装中的 RC（阻容）延迟，是硅更具成本效益的替代品，但与硅基封装相比，其相同水平互连功能的减少限制了其在 HPC 应用中的采用。

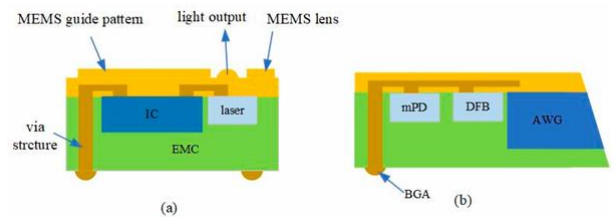
此外韩国 Lipac 公司在 2021 年推出了一种基于 FOWLP 技术的新型混合 CPO 技术, PIC 和 EIC 嵌入在环氧模塑料(EMC)基板中,通过 RDL 层实现光电互连。FOWLP 技术有助于促进小尺寸封装和大规模生产能力,在尺寸和生产能力方面具有优势,通过消除引线键合提供了更高的速度设计能力,并减小元件芯片的焊盘尺寸来优化光学和电气设备芯片,另一方面, FOWLP 的复杂工艺包括晶圆重构、成型、重新布线等,对封装可靠性有较大影响,面临如晶圆重构的高精度定位、环氧模塑料和其他材料的热膨胀系数匹配等挑战

图15: 有机封装利用有机基板作为基材



资料来源: John H. Lau 《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》

图16: FOWLP 通过晶圆级封装促进小尺寸封装和大规模生产能力



资料来源: Tian, W 等《Progress in Research on Co-Packaged Optics》

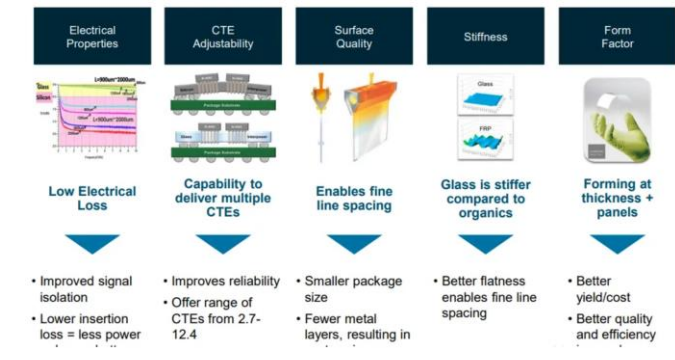
玻璃材料具有高透光性、低损耗的电气互连特性和出色的尺寸稳定性,与硅材料相比,玻璃的杨氏模量更大,其硬度更大,玻璃的热膨胀系数还可以与 Si 和 PCB 板相匹配,减少系统内部的应力,因此玻璃基板可以更好地解决大尺寸芯片的翘曲问题,从而提高系统的良率和可靠性。

由于玻璃材料的易碎性和化学惰性,玻璃通孔 3D 互连技术发展仍面临一些困难,包括:(1)部分现有 TGV 实现方法会损坏玻璃并导致表面粗糙;(2)TGV 需要高质量的填充技术,与 TSV 不同, TGV 孔径较大且多为通孔,电镀时间和成本会增加;(3)与硅材料相比,由于玻璃表面光滑,对常用金属(如 Cu)的附着力较差,容易造成玻璃基板与金属层之间的分层,导致金属层卷曲甚至脱落;(4)玻璃的散热能力较差,因此需要考虑合适的散热方案。总的来说,玻璃 Interposer 的主要缺点是其生态系统尚不成熟和目前缺乏大规模生产能力。

2013 年,美国佐治亚理工大学基于双面玻璃 Interposer 实现了高性能、高密度的 CPO,方案采用了一块 150 μm 厚的超薄玻璃 Interposer, PIC 和驱动芯片及 TIA 倒装在玻璃 Interposer 上,光通过 Interposer 上的有机透镜聚焦到 Interposer 背面的波导中,与光纤耦合,电信号通过在玻璃 Interposer 上的金属通孔(TGV)引出。

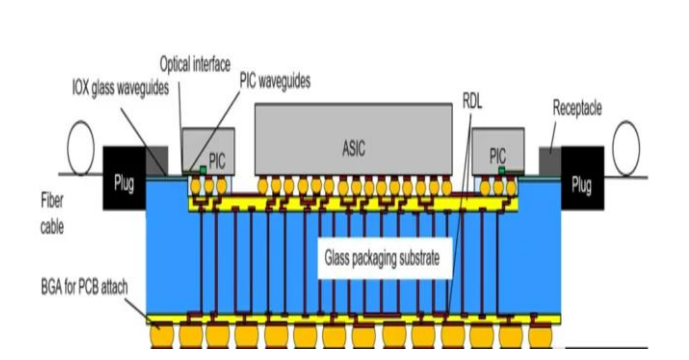
2023 年, Corning 实验了包含光波导的玻璃基板,以实现光电共封装。玻璃基板的核心组件包括玻璃通孔(TGV)、SiN 波导、用于将 PIC 与 SiO₂ 波导耦合的绝热耦合器和光纤连接器。在玻璃基板上集成了 RDL 层,以在 chiplet 之间建立高速电通道。TGV 接头用于供电和接地,同一衬底上所有高分辨率线的薄膜加工简化了制造和组装,与有机衬底上的 2.5D Interposer 或 EMIB 配置相比,有可能降低整体封装成本。此外,玻璃基板集成了玻璃顶表面下的平面离子交换(IOX)光波导,提供了一个战略性的光学接口,允许封装的 PIC 直接瞬态耦合,以实现更低的损耗。

图17：玻璃材料是 Interposer 的优质候选材料



资料来源：Laakso 等《ThroughGlass Vias for Glass Interposers and MEMS Packaging Applications Fabricated Using Magnetic Assembly of Microscale Metal Wires》

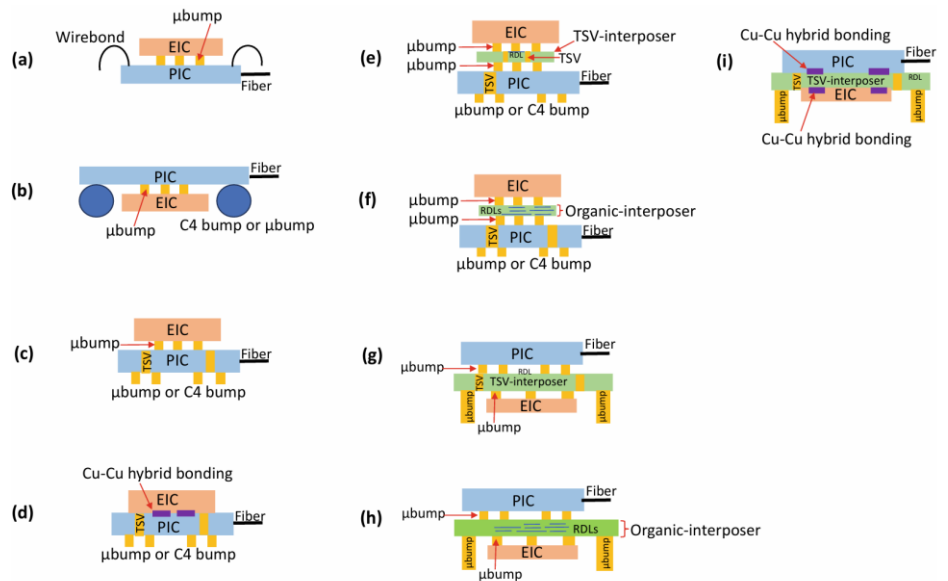
图18：Corning 积极推进玻璃 Interposer



资料来源：Laakso 等《ThroughGlass Vias for Glass Interposers and MEMS Packaging Applications Fabricated Using Magnetic Assembly of Microscale Metal Wires》

(3) 3D PE CPO: 3D 封装技术将光电芯片进行垂直互连，不仅能实现更短的互连距离、更高的互连密度和更好的高频性能，还能实现更低的功耗、更高的集成度和更紧凑的封装，基于 3D 封装的 CPO 技术也是目前 CPO 技术研究的热点和趋势。从结构上来看，PIC 和 EIC 的多种 3D 异构集成同样是 μ bump、C4 bump、Cu-Cu 互联、TSV interposer、Organic interposer、面对面堆叠、背对背堆叠的排列组合。

图19：光电芯片通过 3D 封装进行垂直互连

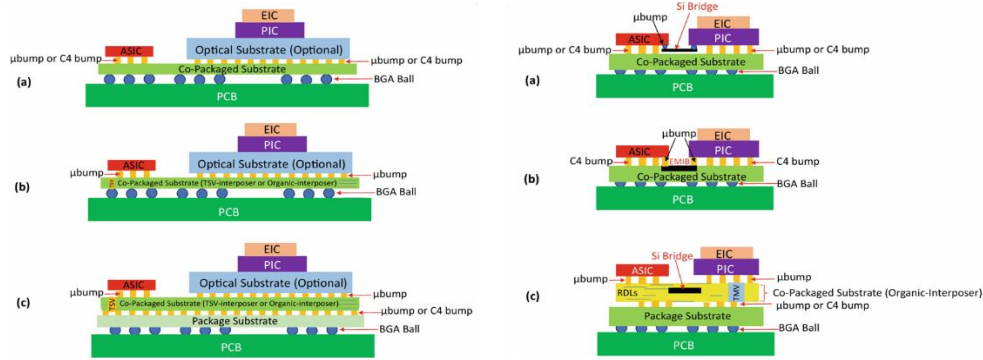


资料来源：John H. Lau《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》

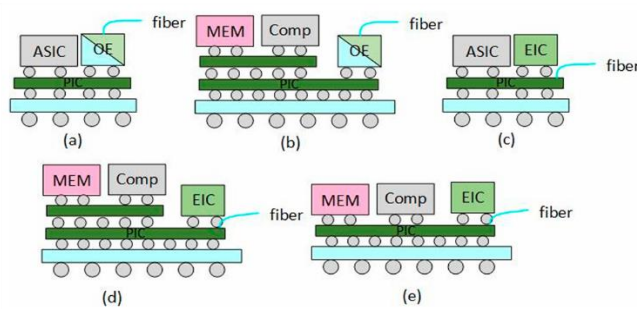
基于 3D 封装的光引擎，ASIC 芯片可通过 Interposer/基板/硅桥与光引擎互联，或者以其中 PIC 作为 Interposer，再通过金属互联和 TSV 实现水平和垂直的电气互连。

图20：3D 封装的 CPO 技术也是目前研究的热点和趋势

CPO based on 3D PE



CPO with PIC Interposer

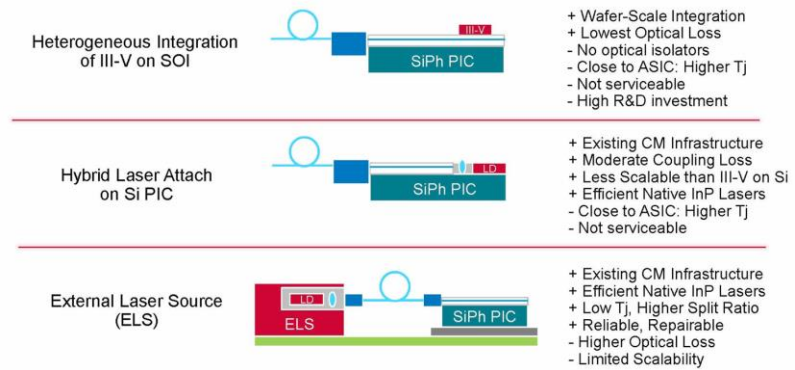


资料来源：John H. Lau 《Flip Chip, Hybrid Bonding, Fan-In, and Fan-Out Technology》、开源证券研究所

2.2、光源：ELS 是当前硅光 CPO 的主流选择

目前外部激光源（ELS）是硅光 CPO 的主流选择。基于硅光 CPO，由于硅材料间接带隙的能带结构使得它无法实现高效率的片上光源，因此在硅基光电子芯片中其光源器件仍然需要依赖 InP/GaS 材料的半导体激光器。当前主流硅光 CPO 将连续波（CW）激光器光源单独外置，作为高密度封装体的外围可插拔单元。这样的设置有如下优点：一是实现了易失效光源元件的可更换和可标准化生产；二是激光器的外置减少了硅芯片单元的散热压力，有利于系统稳定性；三是外部光源单元可以灵活配置，如采用波分光源或者非致冷光源等。

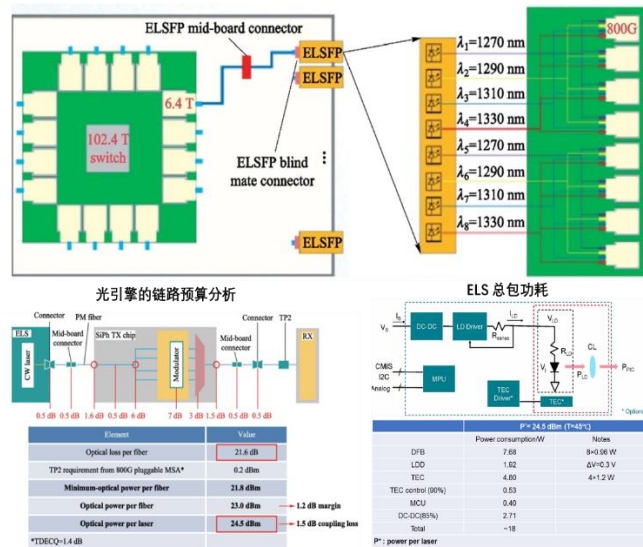
图21：硅光 CPO 主要采用 ELS



资料来源：John E 等《Performance and Reliability of Advanced CW Lasers for Silicon Photonics Applications》

输出功率和功耗是 ELS 的关键特征。激光源作为 CPO 核心器件之一，在 CPO 体系中激光器约占系统功耗的 10-20%，硅光 CPO 中 ELS 的引入带来更高的插入损耗，这些损耗需通过增加 ELS 的输出功率来补偿。ELS 的输出功率主要由这几方面决定：一是光引擎的链路预算、二是 CW 激光功率分配比、三是硅光引擎损耗，包括调制器和耦合损耗。其中激光芯片的高输出功率是造成大部分功耗的根本原因，此外，热电冷却器（TEC）消耗额外的电力来消散激光芯片产生的热量。

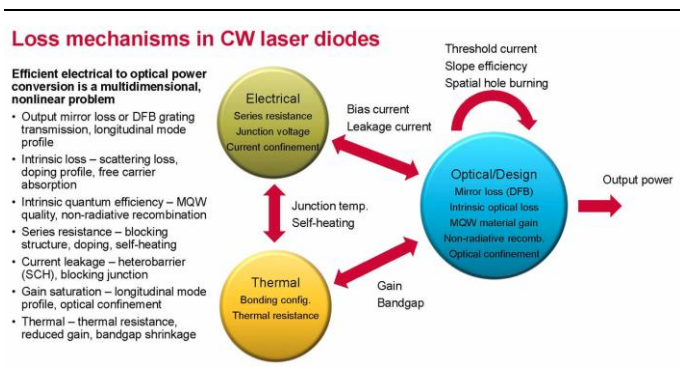
图22：输出功率和功耗是 ELS 的关键特征



资料来源：Min Tan 等《Co-packaged optics (CPO): status, challenges, and solutions》、开源证券研究所

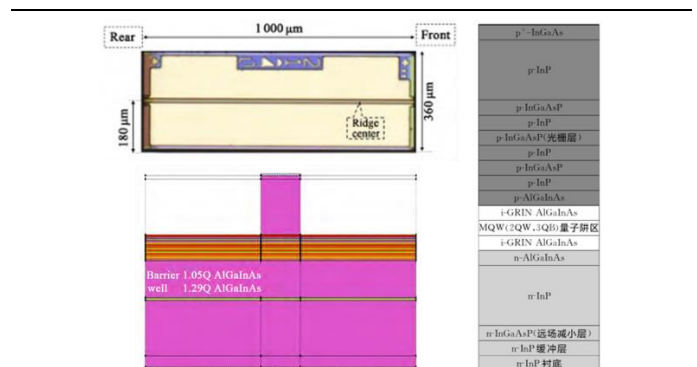
ELS 向着高功率、低噪声、低功耗方向发展。在整个 ELS 产品设计中，关键技术包括耐高温大功率光源芯片，光路透镜耦合，电流源控制反馈等，其中在激光光源方面，CW-DFB 激光器仍是目前 CPO 技术最优的外置光源选择。**高功率方面**，CPO 需要输出功率至少为 100mW 的高功率连续激光器来满足链路预算要求，提升 CW-DFB 激光器出光功率的主要措施包括增大光功率斜率效率、提高饱和电流和提升单模工作电流范围，限制光功率升高的主要因素是热饱和现象和光学灾变损伤；**能源效率方面**，高电光转换效率是高功率连续激光器的另一个理想特性，为了节省功耗，CW 激光器的电光转换效率需要进一步提高，热效率高的 TEC 有助于降低 ELS 功耗，同时非制冷高功率激光器也可能是 CPO 光源的最终解决方案之一。2021 年光通信行业标准组织发布了连续波一波分复用多源协议《CW-WDM MSA Technical Specifications Rev 1.0》，对基于硅基光子学的高密度共封装光学、光学计算和人工智能等新兴应用的外置光源进行了初步的规范。该协议要求连续波的外置激光器光源满足单模、高功率、低噪声、低功耗、连续稳定工作，对工作波长（O 波段）、最高相对强度噪声（RIN）、最低激光器功率等都做了明确的要求。

图23：有效的光电转换是一个多维的非线性问题



资料来源：John E 等《Performance and Reliability of Advanced CW Lasers for Silicon Photonics Applications》

图24：CW-DFB 激光器是目前 CPO 技术最优的外置光源选择

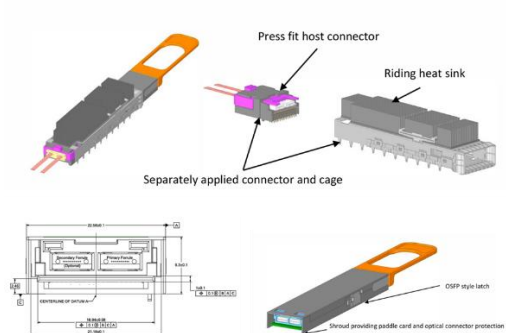


资料来源：刘耀等《用于共封装光学的高功率连续波 DFB 激光器》

ELS 正在逐步标准化。当前 CPO 系统中针对 ELS 做标准定义的主要有三个标准组织，分别是 OIF(光互联论坛)定义的 ELSFP(External Laser Small Form Factor Pluggable)标准；IPEC(国际光电委员会)定义的 PELS(Pluggable External Laser Source)标准；CCITA(中国计算机互连技术联盟)定义的 ELS(External Light Source)。

在 OIF 的外置光源标准中，已经推出了直通 ELSFP 的定义，除了作为外置光源模块为 CPO 系统提供光源外，还在模块前端(模块拉环一侧)增加了一个光纤连接器，可以直接将 CPO 系统中光引擎模块的 TX 和 RX 信号引出到前端，作为光纤通道使用，减少了系统前面板上的 TX 和 RX 光连接器，符合可插拔光模块的使用习惯。目前直通 ELSFP 仍存在问题，如保偏光纤和单模光纤集成在一起的良率低，几乎无法商用；DR4 和 FR4 应用由光引擎决定，CPO 光引擎无法实现 colorless，配置方式不灵活。

图25: OIF 发布 ELSFP 标准



资料来源: OIF《External Laser Small Form Factor Pluggable (ELSFP) Implementation Agreement》

图26: ELS-DR/FR 应用实际由光引擎决定

	ELS-DR	ELS-FR
封装	QSFPDD- modified	QSFPDD- modified
工作温度	0~70°C	0~70°C
LD工作温度	TEC semi-cooled	TEC semi-cooled
LD数量	8个 (一腔/module)	4个 (一腔/module)
波长	1310nm 单模	CWDM (1271nm~1331nm) 单模
输出光功率	Min: 18dBm/lane Max: TBD	Min: 22dBm/lane MAX: TBD
光功率稳定性	纹波 < 15微瓦 (瞬态) < 0.5dB (长期波动)	纹波 < 15微瓦 (瞬态) < 0.5dB (长期波动)
功耗	< 12W	< 12W
光连接器	modified MPO	modified MPO
人眼安全	光电接口协同设计	



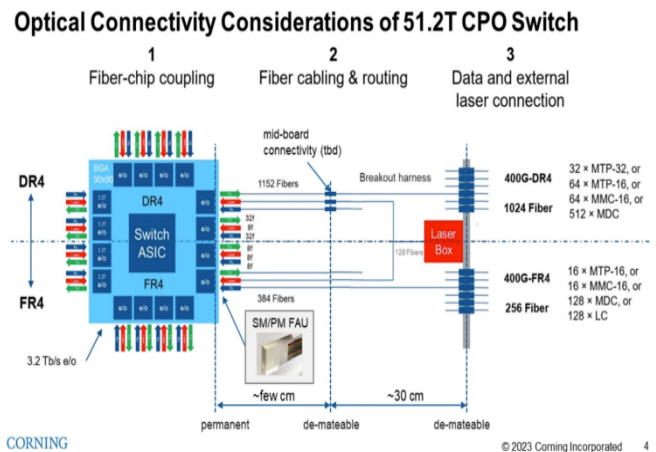
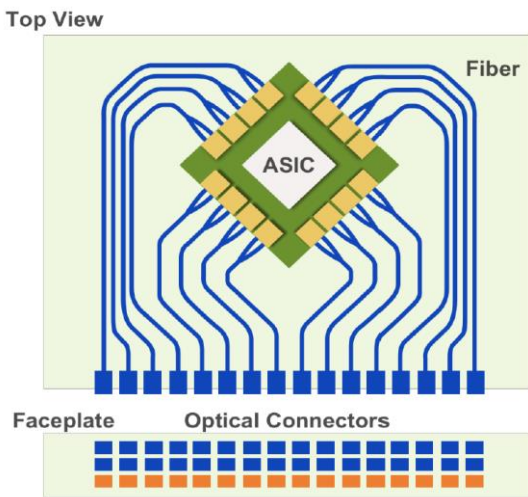
资料来源: GSA 《CPO 光源池设计与挑战》

2.3、光学互联：CPO 光链路较可插拔方案引入额外的光纤及光纤连接器

CPO 内部光纤路由的处理也是 CPO 的一大挑战。从构成上来看，CPO 系统的实现涉及各种组件的系统规模集成，包括光引擎、ASIC 封装、光纤阵列、大型体基板、电源管理组件、热组件、路由光纤组件以及外部激光源等。在 CPO 内部，为最小化电气路径的距离，从而最大限度地提高电气性能并降低整体 ASIC 功耗，光引擎紧密围绕 ASIC 放置，CPO 内部光互连路径主要就是从光引擎到 CPO 交换机机箱内部的前面板，其连接方法和连接类型都是影响信号、热量和布线密度的总系统要求的设计考虑因素，不同的设计选择及光纤离开光引擎的不同方向使得系统内部的光纤布线进一步复杂化，同时在安装应用中，都需注意避免对光纤玻璃表面损坏、大拉应力的应用以及破坏其涂层的完整性。

图27：CPO 光互连主要包括光引擎到前面板连接器的光纤路由

图28：CPO 的实现涉及各种组件的系统规模集成



资料来源：COBO 《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》

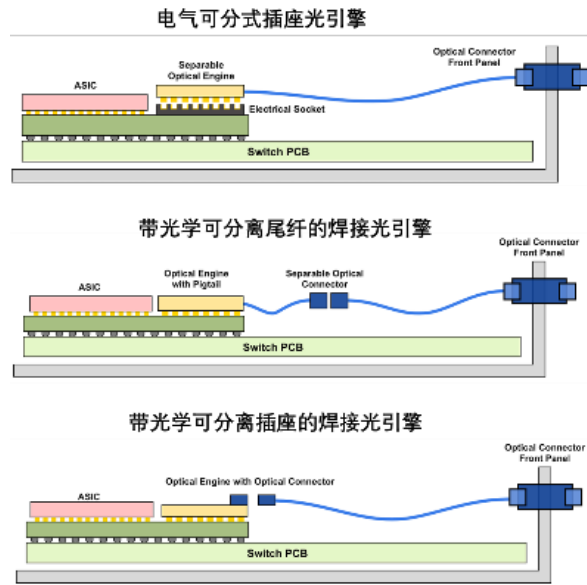
资料来源：Corning 官网

(1) **光引擎端**：根据不同封装工艺，可通过对光引擎接口进行设计保护措施、更换组件，从而改良整个 CPO 交换机的良率和可靠性。组件和 CPO 的物理分离包括电气、光学分离。

电插座方案，电气分离通常通过光引擎和 CPO 基板之间的插座来实现，该方案下 CPO 工厂在焊接回流工艺后插入光引擎，避免将光引擎、光纤和连接器直接暴露在高温下，从而提高了良率和可靠性，并可使用标准光学器件来降低成本，实现成熟、多样化的供应链，但电插座方案在某个速度阈值下，可能难以保持信号完整性；

光分离方案，通常通过光引擎和板载光纤之间的光连接器来实现。实现光学分离的一种方法是光引擎将一小段光纤末端与光纤连接器（即光纤尾纤）集成在一起。由于光纤尾纤需永久熔接到光引擎，因此也必须与焊料回流温度兼容；另一种方法是将光纤插座集成到光引擎中，消除了光纤和连接器暴露在回流焊温度下的情况。与电插座式光引擎相似，允许使用标准光学连接器与插座配合。

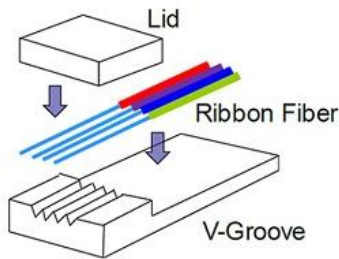
图29：光引擎接口保护涉及多种光电分离方案



资料来源：COBO《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》、开源证券研究所

硅光引擎通过与光纤阵列单元（FAU）耦合实现光的进出。光纤阵列（FA）是把光纤按照一定的间距排列固定起来形成的光器件，是光进出光器件的通道。光纤阵列分为单芯光纤阵列（SFA）和多芯光纤阵列（MFA），多芯 FA 的制作涉及到精确控制多个光纤之间的间距，需要一个精密的基底给光纤定位，最常用的是硅 V 型槽和玻璃 V 型槽，通过在 V 槽上涂抹紫外胶，用一个平整的小玻璃片将光纤压入 V 槽，固化后在 V 槽后的平台区涂上保护层，最后将端面抛光成预定角度，从而完成 FA 制作，光纤阵列通常有常规 FA、45° 光纤悬出 FA、光纤转 90° FA 等。

图30：光纤阵列对材料和制造工艺的要求较高



资料来源：ofweek 官网

图31：光引擎通过 FAU 耦合实现光的进出

Fiber Array Units (FAUs) & Assemblies

- High performance and reliable fiber-to-chip coupling for:
 - Transceivers
 - Wavelength selective switches
 - Co-packaged optics
 - High performance computing
- Wide range of channel count, fiber types, core pitch & terminations
- Highly customizable on alignment, glass angle & cable assemblies
- Supporting edge and surface coupling, as well as 1D & 2D configs
- Innovating towards improved density, footprint & tolerances

资料来源：Corning 官网

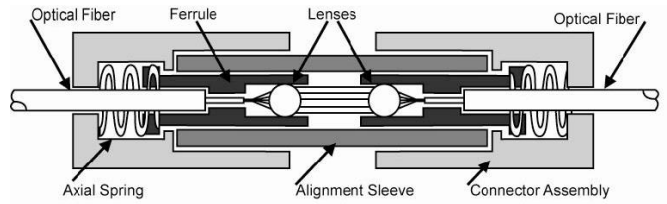
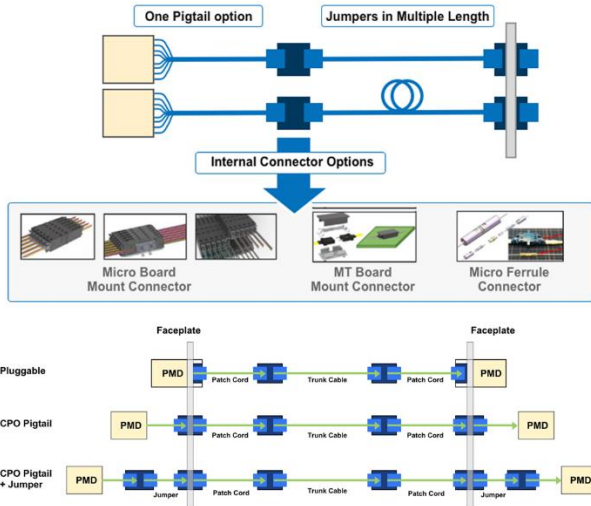
(2) 光引擎—前面板：需要不同长度的光纤来路由每个光学引擎，尾纤长度的变化带来设计及安装维护的挑战。

中板/板载光互连解决方案：通过在 OE 和面板之间增加一个中板连接器，并提供各种长度的跳线，尾纤长度可以减少到只有一个设计，可以简化光引擎在面板上的安装，简化光引擎供应商的制造，并降低光引擎和附加尾纤损坏的风险。另一方面，该方案会增加额外的连接器从而导致光损耗，由于潜在连接点数量的增加，CPO 组件将在设计中添加额外的光纤电缆和连接器，除了 CPO 解决方案中包含的电缆外，

还增加了一组跳线电缆，可以使用更不敏感且易于清洁的气隙或扩束连接器，来降低这些连接的组装和维护相关的运营成本。

图32: 通过引入中板/板载光互连解决方案来解决光引擎纤长度不同问题

图33: 扩束连接器可以减少由于光学接口污染而导致的信号损失



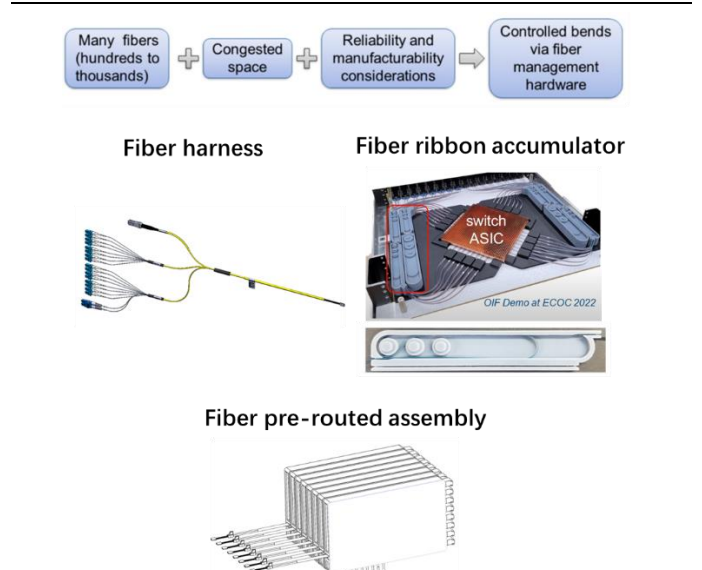
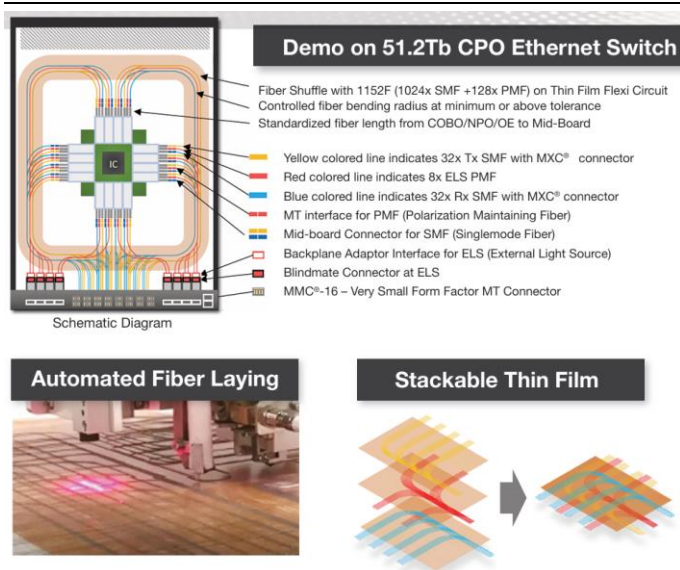
资料来源: COBO 《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》

资料来源: Edward Simonini 等 《Expanded Beam & Physical Contact Fiber Optic Connectors》

在光纤线束管理方面，还可以进一步引入光纤柔性板（Fiber Shuffle）、带状光纤（Fiber Ribbon）、光缆捆束（Fiber Harness）、光纤带集线器（Fiber ribbon accumulator）、光纤预装盒等来提高光纤的可靠性。其中光纤柔性板提供了一种专门的方法来管理电路板上的数百到数千个光纤，薄膜结构优化了空间，从而增强了密集设备中的气流，同时它是可堆叠的，可以处理多层设计。

图34: 利用光纤柔性板管理

图35: 通过部分硬件设计提高光纤可靠性



资料来源: optectechnology 官网

资料来源: Corning 《Deploying Robust and Scalable Co-Packaged Optics Fiber Infrastructure》、开源证券研究所

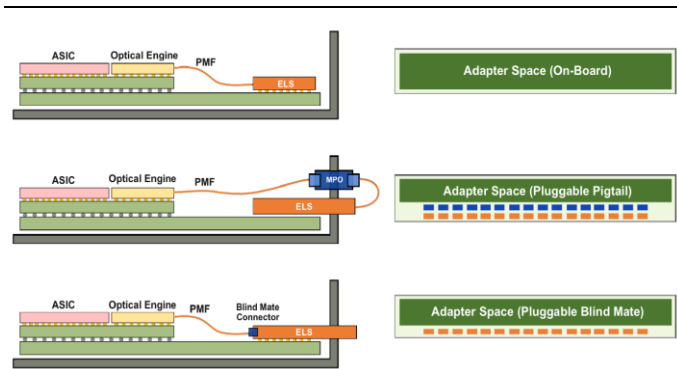
(3) ELS—光引擎：ELS 与光引擎的互联设计可分为 3 种类型：板载光学（OBO）设计、带光纤尾纤的前板可插拔设计（可插拔尾纤）和带盲插接光纤连接器的前板可插拔设计（可插拔盲插）。三种 ELS 类型中的每一种都使用一组保偏（PM）光纤来连接到光引擎。

保偏光纤是一种特种光纤，它能够在光纤通信和传感系统中保持光的偏振状态。这种光纤的设计和制造是为了解决传统光纤在传输过程中偏振态容易受到外部因素如温度、弯曲和拉伸等影响而发生变化的问题。保偏跳线则通过精准的连接器键位来实现偏振模式的耦合对准，保偏连接器是两根保偏光纤耦合的重要组件，确保两根保偏光纤在耦合时的偏振模式保持偏振光原有的偏振状态。

保偏光纤的工作原理基于双折射现象，通过设计上的特殊处理，引入了强烈的双折射，从而抵消了外部因素对光偏振态的影响；制造方法主要包括应力型和形状型，结构主要有椭圆包层型、领结型和熊猫型等；保偏光纤的性能主要通过双折射、拍长和消光比等参数来衡量，消光比越高，说明光纤保持偏振态的能力越强。

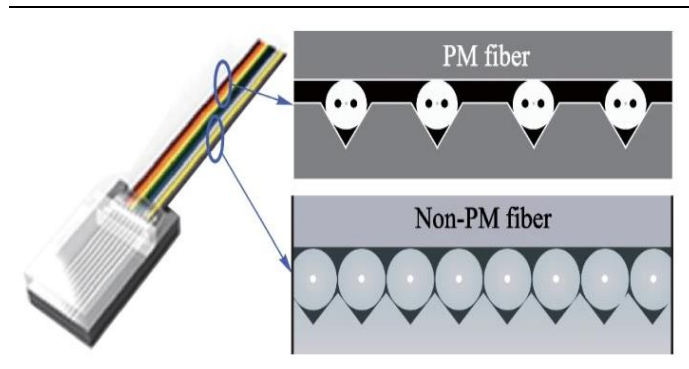
保偏光纤仍然面临着一些挑战，如保偏光纤的制造成本相对较高，且与标准单模光纤相比，其衰减也更高；保偏光纤的拼接和终端处理也需要精确的操作，以确保保偏振态的正确对齐。

图36： ELS 通过保偏光纤连接光引擎



资料来源：COBO 《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》

图37： 用于光输入的 PM 光纤和用于光输出的非 PM 光纤的混合封装



资料来源：Min Tan 等《Co-packaged optics (CPO): status, challenges, and solutions》

(4) 前面板侧：前面板可以通过多种方式进行配置，具有光纤端口通道密度和连接器类型的不同组合，同时需满足数据中心的运营需求，并协助开关盒的热管理，特别是如果这涉及>1kW 系统的空气冷却。例如，51.2 Tbps 交换机盒的面板可以配置为 32 个端口，每个端口的吞吐量为 1.6 Tbps，或 128 个端口，每个端口 400 Gbps，对所需的面板高度（机架空间）和可用于气流的面板表面产生影响。连接器选择确定后，任何可用的剩余空间都可用于交换机面板上的冷却或其他组件，更高密度的连接器配置都可以显著减少整体空间，为其他组件提供空间或将开关从 2U 减少到 1U 设计。

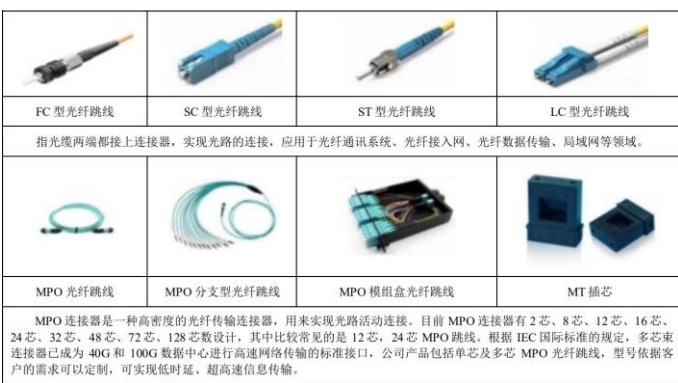
光纤连接器品种繁多，以 MPO/MTP 为代表的多芯连接器有望成为未来连接器发展趋势。光纤连接器又称“光纤跳线”，属于一种光无源器件，是光通讯器件的重要组成部分，主要用于光纤线路的连接、光发射机输出端口/光接收机输入端口与光纤之间的连接、光纤线路与其他光器件之间的连接等，可实现低时延、超高速信

息传输，应用场景包括光纤到户、数据中心、4G/5G 通讯等。光纤制造商根据应用场
景的不同推出众多类型的光纤连接器，如接口类型划分为 MPO/LC/SC/FC/ST 光纤
连接器，按光纤类型分为单模/多模光纤连接器等。整体来看，光纤连接器正朝着低
成本、标准化、高埠数、小型化、结构简化、易于安装的方向发展，特别是随着局
域网、数据中心和存储区域网络中的连接器增多，高密度与小型化将是未来连接器
发展的主要方向。

MPO/MTP 光纤跳线作为小型化和集成化发展下的产品方向，其一端或两端为
矩形状的 MT 插芯链接，通过一个插芯实现多芯光纤的并排链接。

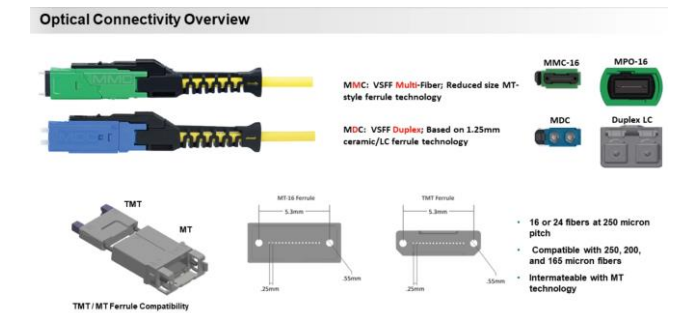
MT (Mechanical Transfer) 插芯是 MPO 光纤连接器的核心构造元素，通常用于
实现多芯光纤的连接，其关键技术包括塑料成型插芯、金属导向销、插芯端面研磨
抛光技术和检查技术等，对精度的要求较高。插芯一般按照金属铸模结构采用注入
成型法，由模槽前方的 V 形槽确定及固定中心销位置而制造成型。MT 插芯通过导
针和导针孔进行精准连接，确保了光纤连接器的高密度、高速度传输。

图38：光纤连接器品类繁多



资料来源：致尚科技 2024 半年报

图39：基于 MT 插芯的光纤连接器或成大容量配线需求的重要解决方案



资料来源：Corning 官网

总的来看，与使用可插拔光模块的光链路相比，使用 CPO 的光纤链路包含更多的
的光纤连接器。这些附加连接器包括 CPO 交换机面板上的连接器以及任何中板连接
器。必须仔细考虑这些连接器的特性，以确保 CPO 共封装的光学器件满足可与可插
拔模块互操作；向后兼容已安装在数据中心的结构化布线。

图40：前面板需对光纤端口通道密度、连接器类型和热管理等综合考虑

32 ports x 1.6T/port 32 SN-MT					
64 ports x 800G/port 64 x MPO					
64 ports x 800G/port 64 x MMC + 16 x ELS					
64 ports x 800G/port 64 x AirMT					

Fiber Connector	Fibers per Connector	Connectors per 1RU	Fibers per 1RU	DR (1024f)	FR (256f)
LC	2	72	144	2U+	2U
CS	2	160	320	2U+	1U
MDC	2	216	432	2U+	1U
SN	2	216	432	2U+	1U
MPO-12	12	80	960	2U	1U
MPO-16	16	80	1280	1U	1U
AirMT-12	12	128	1536	1U	1U
MPO-24	24	80	1920	1U	1U
MPO-32	32	80	2560	1U	1U
AirMT-24	24	128	3072	1U	1U
MXC-32	32	104	3328	1U	1U
MMC-16	16	216	3456	1U	1U
SN-MT16	16	216	3456	1U	1U

资料来源：COBO 《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》

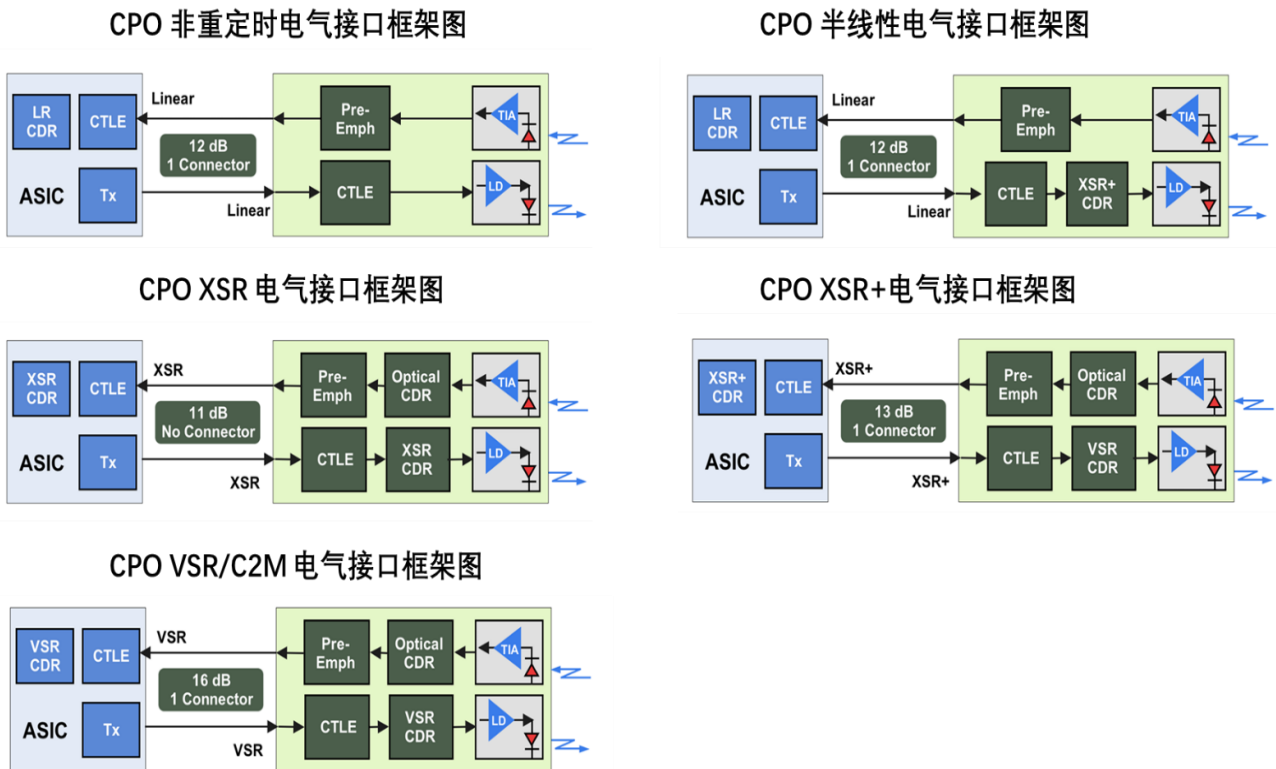
2.4、电气互联：CPO 中单片 CMOS EIC 或成发展方向

随着数据中心核心交换机的聚合带宽达到 51.2 Tb/s，由于交换机前面板的有限空间有限以及 SerDes 和交换机 IC 之间的通道损耗过大，传统可插拔光模块面临更多挑战，CPO 通过交换芯片和光引擎的共封装，在消除交换机前面板的带宽密度限制的同时，封装内毫米级的电气链路也可以产生更小的损耗，并进一步简化 SerDes 设计和降低功耗。

不同的 SerDes 模块针对不同的距离进行了优化。SerDes 串行互连技术采用差分信号传输方式实现数据的高速传输，具有功耗低、抗干扰强、速度快的优点。根据发射端与接收端之间的距离，互连的 SerDes 技术可细分为长距 (LR) SerDes、中距 (MR) SerDes、短距 (VSR) SerDes、极短 (XSR) SerDes 和超短距 (USR) SerDes。总的来看，高速 SerDes 演进的核心动力为用尽量低的功耗、面积及链路成本解决好尽量高速率下的横向时序和纵向信噪比的信号完整性问题，包括纵向信噪比下的数据均衡设计、横向时序下的时钟定时设计和高速率下的宽带扩展设计，在实际应用中，封装产品根据不同项目产品的需求选择合适的 SerDes 类型，以实现成本与带宽的平衡。

在 CPO 中，ASIC 和 CPO 光引擎之间的电气互连没有连接器（可能有高性能插座），该电气通道使用封装或 Interposer 走线来实现良好的信号完整性，其电气通道的信号完整性由通道布线、插座性能和封装寄生决定。有多种电气接口选项可用于 CPO 中电气互联，其电气接口的选择取决于插入损耗、连接器的使用和互连的信号完整性。

图41：CPO 电气接口选择多样

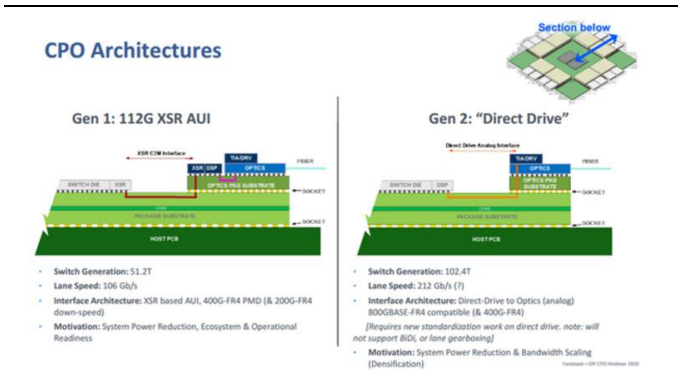


资料来源：COBO 《Design Considerations of Optical Connectivity in a Co-Packaged or On-Board Optics Switch》、开源证券研究所

高速 CPO 中 DSP 功能或仍不可或缺。在传统光模块中，随着通道速度达到 50 Gb/s 及以上，在 NRZ 上引入了 PAM-4 调制方案 以节省一半的带宽，其中大多数后端功能（如 CDR 和 SerDes）都合并到 CMOS PHY 芯片（有时也称为 DSP）中，其中还引入了密集的数字均衡，以补偿 PAM-4 信号中信号完整性的恶化。

面对未来 224Gb/s 高速率通信系统的众多实现方案，其中两类 CPO 架构可供参考，一种是交换芯片 Die 上引出短距的 XSR 接口，通过 XSR 接口与芯片基板上的光部分进行电气互连，用于信号调制的 DSP 部分与光部分放在一起，另一种则是将 DSP 部分进一步集成到交换芯片 Die 上，从而简化芯片基板上的光部分，降低芯片内部光部分的功耗。在第一种架构中，重定时芯片的主机侧通过 XSR SerDes 连接到 ASIC，重定时芯片的线路侧通过 LR SerDes 连接到光引擎。

图42: DSP 功能或仍不可或缺



资料来源：讯石光通讯网

图43: ADC+DSP 仍是下一代 224Gb/s 实现方案之一

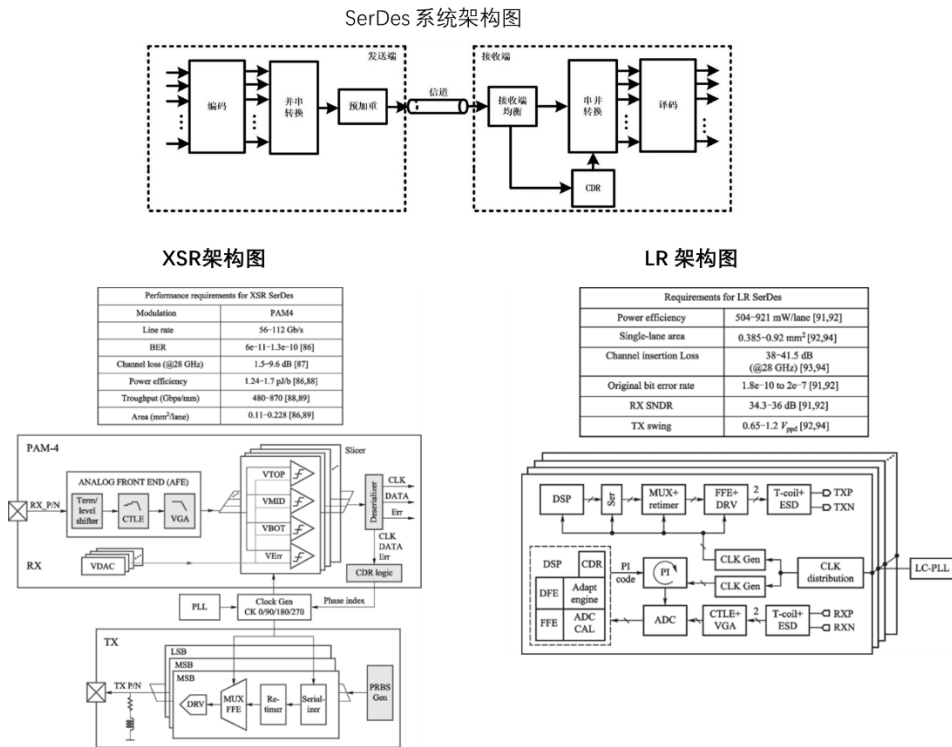
	PAM-4 112 Gb/s	PAM-4 224 Gb/s	PAM-8 224 Gb/s	Multiwire Encoding 224 Gb/s	Bidirectional Signalling 224 Gb/s
Nyquist Frequency	28 GHz	56 GHz	39 GHz	67 GHz	28 GHz
channel	XSR-USR	<10 ⁻⁶	<10 ⁻⁶	<10 ⁻³	<10 ⁻⁵
	MCM	<10 ⁻⁶	<10 ⁻⁴	>10 ⁻²	<10 ⁻⁴
	Chip-to-module	<10 ⁻⁶	>10 ⁻²	>10 ⁻²	<10 ⁻⁴ (<45 dB) >10 ⁻² (>45 dB)
ADC Resolution	6 bit	6 bit	8 bit	5 bit	8 bit
ADC Power	1x	3x	2.8x	2.5x	3x
Equalizer	10 tap FFE & 1 tap DFE	10 tap FFE & 1 tap DFE	10 tap FFE & 1 tap DFE	8 tap FFE & 3 tap DFE	10 tap FFE & 1 tap DFE & 5-tap Echo-Canceller
Jitter Requirement	150 fs	80 fs	130 fs	125 fs	130 fs
Power	1x	2.8x	2.5 x	2.5 x	3x

资料来源：Masum Hossain 《Toward 224-Gb/s Electrical Signaling—Modulation, Equalization, and Channel Options》

主机端 XSR SerDes 通过缩短两个通信芯片之间的连接距离来优化功率效率、集成密度和传输延迟。以 56–112 Gb/s PAM4 XSR SerDes 为例，发射器通常采用模拟混合架构或 5 位 DAC 拓扑结构，带有 CMoS MUX，多个分接 FFE 和 SST 驱动架构，以实现数据序列化，波形失真和输出驱动。接收器通常采用简单的连续时间线性均衡器 (CTLE)，然后是 VGA 和几个切片器，直接提取原始传输的数据。与传统收发器类似，XSR SerDes 也需要一个公共锁相环和一个本地 CDR 来自适应跟踪最佳采样点。总体而言，XSR SerDes 的主要特点是利用简单的 RX 端 CTLE 与 TX 端 FFE 相结合，实现高功率效率和低代码错误率，同时处理相对较低的信道损耗。

线端 LR SerDes 主要处理非理想因素，如有限带宽、线性调频效应、噪声、色散效应和器件的非线性。LR 的均衡部分与 XSR 相比更加复杂，因此在设计时应确保误码率和能耗比之间的平衡。发射器通常是由 FIR 滤波器、MUX、多个分接 FFE 和 DAC 驱动器组成的 DSP。DAC 驱动器有 SST 形式和 CML 形式。接收器主要由 CTLE、VGA、ADC 和一个具有校准、均衡和时钟恢复功能的 DSP 组成。公共 PLL 和本地 CDR 用于确定最佳跟踪采样点。

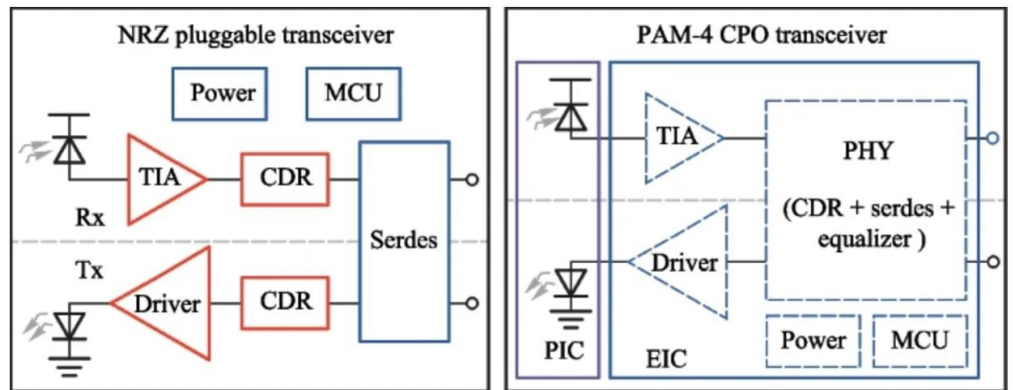
图44: 不同的 SerDes 模块针对不同的距离进行了优化



资料来源: Min Tan 等《Co-packaged optics (CPO): status, challenges, and solutions》、开源证券研究所

单片 CMOS EIC 或成为重要发展方向。对于需要极高集成度和功耗的 CPO 应用来说,一方面,EIC 单片集成方法或是不可避免的,这需要将模拟 TIA 和 Driver 进一步集成到 CMOS EIC 芯片中,另一方面,这要求接收器设计技术从模拟优化的 SiGe 转向数字优化的 CMOS,需要克服噪声、带宽和线性度等问题的技术挑战。总的来看,随着这些技术与低功耗和低成本的 CPO 本征优势相结合,单片 CMOS 电子器件或成为未来重要发展方向。

图45: 单片集成 EIC 或成 CPO 发展方向



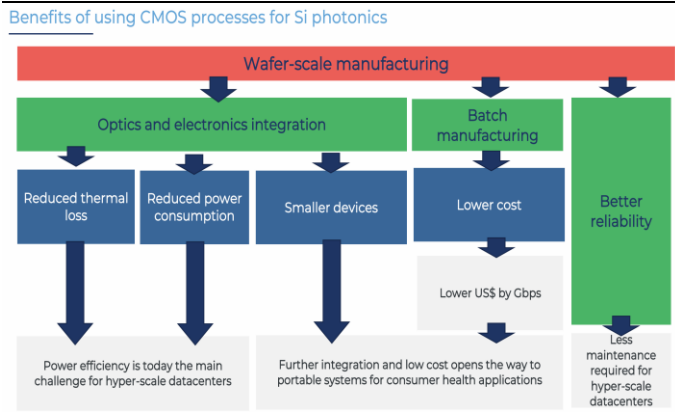
资料来源: Min Tan 等《Co-packaged optics (CPO): status, challenges, and solutions》,

3、AI 光通信时代，CPO 迎三大产业变化

3.1、变化 1：硅光技术加速发展，CPO 硅光引擎不断成熟

硅光引擎作为 CPO 的技术核心，在 AI 光通信时代加速成熟。硅光技术是实现光子和微电子集成的理想平台。在当前“电算光传”的信息社会下，微电子/光电子其技术瓶颈不断凸显，硅基光电子具有和成熟的 CMOS 微电子工艺兼容的优势，有望成为实现光电子和微电子集成的最佳方案。硅光引擎作为当前 CPO 光引擎的主流方案，硅光技术的成熟有望进一步带动 CPO 的发展。

图46：硅光技术综合性能优异



资料来源：Eric Mounier 《Chiplets enabled by silicon photonics》

图47：硅光技术应用广泛

MARKETS		Main application				Emerging sensing applications			
		Telecom & Infrastructure		Processing		Consumer	Automotive	Medical	Industrial
APPLICATIONS		Fiber optics datacom		Fiber optics telecom		Wireless		Computing	
END-SYSTEMS		Communication		Servers		5G base stations		Servers, HPC, quantum	
MODULES		Transceivers	Pluggable transceivers	Pluggable transceivers	Pluggable transceivers	Embedded modules	Optical I/O, CPO	Phononic processor, phononic qubits module	
		Interconnects	CPO						
		Processors							
		Sensors							
		Fibers	Single, multimode fiber	Single fiber	Single, multimode fiber	Single, multimode fiber			
SILICON PHOTONICS UNIT		Si photonics die + laser	Si photonics die + laser	Si photonics die + laser	Si photonics die + laser	Si photonics die + laser	Si photonics die + laser	Si photonics die + laser	Si photonics die + laser
SILICON PHOTONICS FUNCTIONS		Waveguides, splitters, modulators, photo detectors				Waveguides, splitters, modulators, gratings, photo detectors			

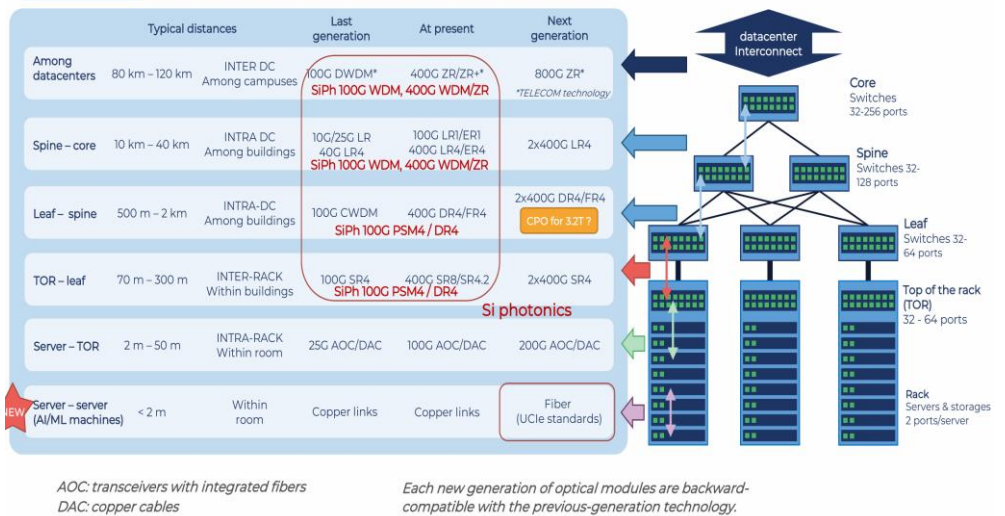
资料来源：Eric Mounier 《Chiplets enabled by silicon photonics》

(1) 从硅光技术应用来看，硅光技术作为硅光光模块、CPO 和 OIO 光引擎底层技术，高速时代基于硅光光通信的拓展，有望进一步催化硅光引擎技术成熟。硅光作为光通信技术，有望充分受益于 AIGC 的发展，硅光子技术在数据中心的芯片侧的 OIO、设备侧 CPO、设备间光模块以及数据中心间的相干光通信都有望迎来进一步发展。

图48：数据中心中硅光光模块已逐步应用

DATACENTER ARCHITECTURE

Application landscape of datacom optical modules



AOC: transceivers with integrated fibers
DAC: copper cables

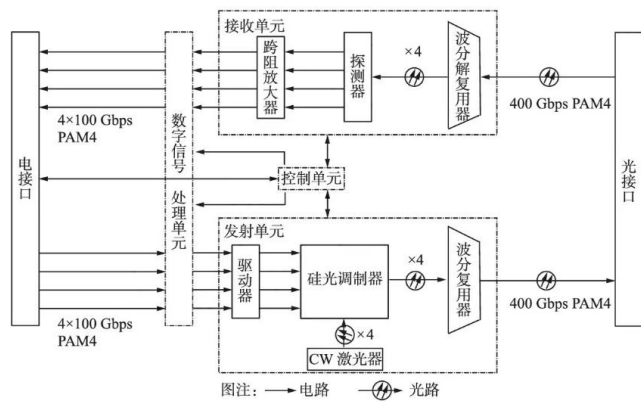
Each new generation of optical modules are backward-compatible with the previous-generation technology.

资料来源：Eric Mounier 《Chiplets enabled by silicon photonics》

在光模块应用中，在不同速率和距离的与传输距离下，硅光子技术相比 III-V 器件竞争优势有演进的过程，随着大数据中心对联结带宽的不断升级，多通道技术成为必须，高集成高速硅光芯片成为性价比更优越的选项，目前 800G 光模块已在全球范围内逐步进入商用部署阶段。同时长期来看，我们认为随着硅光光模块低成本、多通道大带宽的技术优点有望得到进一步凸显，硅光光模块的渗透率有望得到进一步提升，特别是在 1.6T、3.2T 等高速时代，有望进一步促进硅光技术成熟，CPO 中硅光引擎有望得到进一步发展。

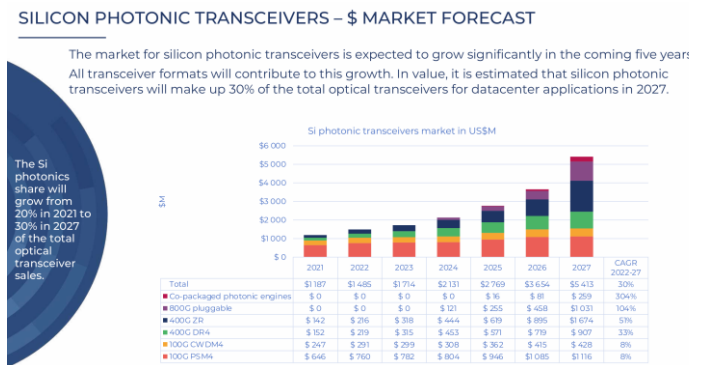
根据 Lightcounting 的预测，光通信行业已经处在硅光技术规模应用的转折点，使用基于硅光光模块市场份额有望从 2022 年的 24% 增加到 2028 年的 44%。据 Yole 预测，硅光收发器 2022 年市场规模约为 14.85 亿美元，2027 年市场规模有望合计达 54.13 亿美元，其中 CPO 光引擎市场规模有望达 2.59 亿美元。

图49：硅光光模块与传统光模块原理架构基本相似



资料来源：宋泽国等《400G FR4 硅光收发模块的研究》

图50：硅光收发器市场规模有望不断扩大

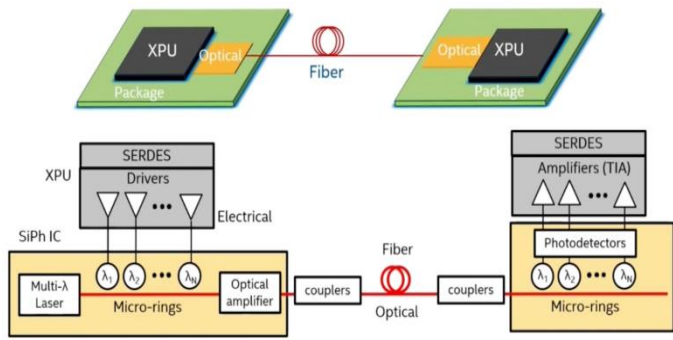


数据来源：Eric Mounier《Chiplets enabled by silicon photonics》

在 OIO 应用中，硅光方案高度契合 OIO 发展需求，OIO(In-Package Optical I/O) 是一种基于芯片的光互联解决方案，与计算芯片（CPU、GPU、XPU）集成在同一封装中，旨在实现分布式计算系统中它们之间的无缝通信（跨板、机架和计算行），在相同能效情况下，OIO 的边带宽密度与 UCIe、NVlink、PCIe 等电互连相当，但传输距离远超电互连。OIO 基于光互连低延迟、高带宽和低能耗的特点，非常适用于计算结构（即内存语义结构），有望成为为机器学习扩展、资源分解和内存池定制的新数据中心架构的关键驱动力。硅光子技术目标就是在芯片上集成光电转换和传输模块，使芯片间光信号交换成为可能：电流从计算核心流出，到转换模块通过光电效应转换为光信号发射到电路板上铺设的超细光纤，到另一块芯片后再转换为电信号，其本身具备尺寸小、功耗低、同 CMOS 工艺兼容、可集成、成本低等优点，且由于采用与集成电路兼容的工艺制作，可方便地在电学芯片的内部引入硅基集成光路，实现光通信电路与控制电路和驱动电路的紧密集成，进一步降低成本，因此硅基光互连是实现片间光互连的理想平台。

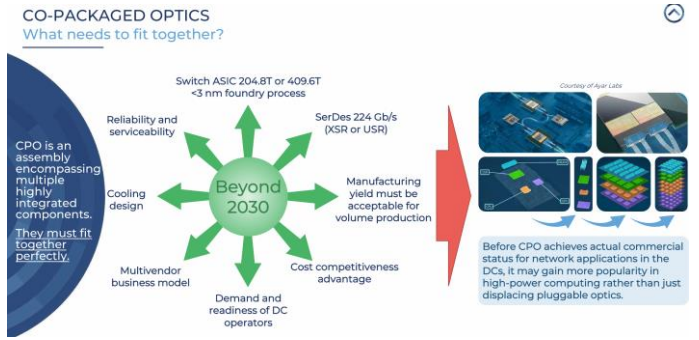
我们认为，OIO 目前仍处于起步阶段，与计算芯片联合设计仿真优化，在物理层和协议层方面都需要进一步创新，不同于 CPO 主要针对网络架构，针对计算架构的 OIO 中硅光+Chiplet 或成为主流解决方案，头部芯片厂商及硅光初创公司/设计公司企业不断投入研究，随着 AI 技术对算力的持续需求，芯片间数据传输不断增大，OIO 的技术优势有望不断凸显，与 OIO 技术通源的 CPO 技术也有望得到相应的重视和发展。据 Yole 预测，OIO 市场有望从 2022 年的 500 万美元增长到 2033 年的 23 亿美元。

图51: OIO 是一种芯片的光互连解决方案



资料来源: Cadence 官网

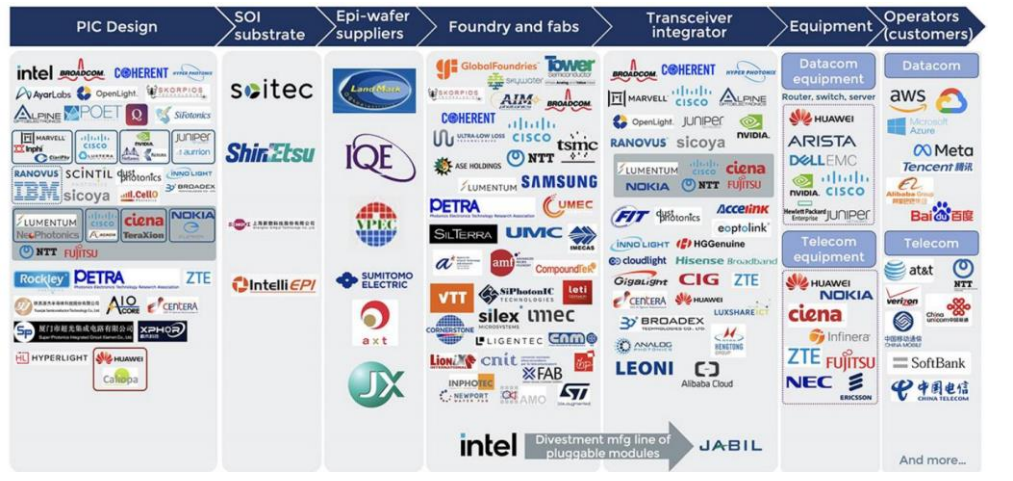
图52: 高耗能算力场景促进 OIO 发展



资料来源: Martin Vallo 《Co-packaged optics are inching closer to reality》

(2) 从硅光发展节奏来看, 全球企业积极推动硅光技术发展, 硅光产业链进一步完善。目前, 硅光技术产业仍在发展, 产业链不断构建, 已初步覆盖了前沿技术研究机构、设计工具提供商、器件芯片模块商、Foundry、IT 企业、系统设备商、用户等各个环节。2010 年左右, 硅光技术的研发体制开始由学术机构推进转变为厂商主导。硅光子技术主要有以下几种发展模式: 一是国家项目支持, 如美国 2014 年发布“国家光子计划”, 出资打造集成光子工艺研究院, 随后在 2015 年投资 6.1 亿美元成立集成光子学创新机构 AIM Pho.tonics, 组织产业链各环节共同打造标准化的集成光子平台。全球其他相关研究项目和机构, 如欧盟 Leti 硅光光模块量产研究计划等。二是 Intel、IBM 等 IT 巨头的投入, Intel、IBM 从 2003 年左右开始致力于硅光子技术研究, 进行了长期、巨额投入。三是小型初创公司早期靠风险资金进入, 后期被大企业并购再持续投入, 该模式已成为硅光子的一种重要发展模式。四是一些新崛起的初创公司, 如 Acacia、SiFotonics 等。

图53: 硅光产业链不断完善



资料来源: Yole

(3) 从硅光产业机会来看, 硅光方案景气度不断提高, 硅光技术有望成厂商切入 CPO 产业契机。第 25 届中国国际光电博览会 (CIOE 2024) 于 2024 年 9 月 11-13 日在深圳国际会展中心举办。在 AI 的拉动下, 从光电芯片及光器件/光引擎到光模块在向高速率方向快速升级, 同时以硅光/CPO/薄膜铌酸锂/相干等为代表的新技术成熟度不断提升, 其中硅光技术成熟度和市场关注度显著提升, 众多企业布局硅光技术。

会上，旭创科技展示了 800G/400G 全系列硅光模块，并积极推广 1.6T 硅光方案；新易盛 400G 和 800G 硅光模块均已经入量产阶段，最新的 1.6T 硅光模块也已经完成开发，并进入样品阶段；华工正源的 1.6T OSFP DR8 光模块搭载自研单波 200G 硅光芯片，并表示沿着自研硅光芯片的技术路线，目前已具备从基于各种化合物光芯片到器件、模块、智能终端全系列产品的垂直整合能力，下一步将布局 3.2T 及更高速率的光模块、CPO 和光 I/O；源杰科技年初推出的硅光大功率激光器，25 毫瓦的 100G DR1 搭配硅基的调制器，2024 年有机会实现小批量出货，50 毫瓦和 70 毫瓦也已经送样，其中 70 毫瓦可以做到一分四，即做到 400G DR4 的规格；Sicoya（熹联光芯）展出最新硅光技术及解决方案，包括 1.6T DR8 PIC、800G DR8 PIC、800G2xFR4PIC、200G/lane PIC wafer 等产品，并现场进行单通道 200G 硅光产品的性能演示；SiFotonics 同样展示了最新研发和量产的全系列硅光产品，包括 800G/1.6T AI/DC 智算互联应用的 200G Ge/Si PIN PD 和 4x200G SiPho MZM PIC，现场演示了和 Anristu 硅光 PCIe 光互联解决方案，目前已创 7000 万硅光芯片交付新纪录。

表1：海内外企业积极布局硅光子技术

厂商名称		发展现状
海外	Marvell	公司 2020 年收购 Inphi，基于 Inphi 前几代 COLORZ 光学模块技术基础，于 2024 年发布其最新的硅基光电子平台。同年在 OFC 上展示 3D 硅光 (SiPho) 引擎，具有 32 通道 200G 电气和光学接口，能以多太比特的速度连接下一代人工智能 (AI) 集群和云数据中心
	Lumentum	作为全球领先的光学元件供应商，公司 2023 年收购中国香港光模块制造商 Cloud Light Technology (云晖光电)，2024 年在 OFC 上推出 1310nm DFB 激光器，该激光器专为共封装光学器件(CPO)和硅光子 800G 和 1.6T 收发器应用而设计
	SiFotonics	作为最早开始探索硅光子技术的公司之一，目前已在数据中心硅光 PIC 及光引擎、硅光相干 PIC 及组件等方面推出 400G/800G 硅光集成发射芯片、硅光 IC-TROSA 等多种产品。2024 年在 OFC 上展示了其研发和量产应用于 800G/1.6T AI/DC, 100G/400G/800G 相干和 25G/50G PON 的全系列硅光新产品
	Sicoya	2024 在 OFC 上展示了 400G/800G/1.6T 硅光产品及单通道 200G 硅光方案
	Cisco	公司先后收购 Lightwire、Luxtera、Acacia 等三家硅光公司深度参与硅光子技术布局，其中 Luxtera 在 2015 年就已发布 100G-PSM4 硅光子芯片，是最早推出商用级硅光集成产品商之一；Acacia 是首家提出将硅芯片作为多个离散光子功能集成平台的相干模块供应商，2024 年推出硅基 800G 相干可插拔产品，其基于 Delphi DSP 的可插拔模块预计于 2024 年第二季度上市。Cisco 与 Inphi 合作推出 51.2Tb/s 交换机，并在 2023 年 OFC 上展示了基于硅光子的 CPO 路由器和 800G 硅光光模块
	Juniper	公司 2016 年收购 Aurrion 以发展硅光业务，在 2019 年 OFC 上推出基于硅光子技术的 100G QSFP28 和 400G QSFP-DD 封装的两款光模块，2022 年与 Synopsys 建立开放的硅光子学平台
	Ciena	公司 2016 年收购 TeraXion 的高速 InP 和硅光子技术以及相关专利，2023 年推出 WaveLogic 6，采用 3nm CMOS、高带宽硅光子学和基于磷化铟的电子光学等先进技术
	AMD	公司 2022 年完成对赛灵思的收购，与 Ranovus 联合发布基于硅光引擎的 CPO 器件，在硅光子集成领域有申请相关专利
	TSMC	公司携手博通、英伟达等大客户共同开发硅光子及共同封装光学元件，已组建由约 200 名专家组成的专门研发团队，专注于利用硅光子技术开发未来芯片。公司硅光工艺平台已由 COUPE 升级成 COUPE 2.0
	NVIDIA	公司 2020 年完成对 Mellanox 的收购，Mellanox 曾收购硅光子器件公司 Kotura，具备较强的技术积累；2022 年，公司与 Ayar Labs 合作开发将硅光互连用于 GPU 与 NVSwitch 之间

		的数据传输。公司和台积电进行合作以研发硅光子技术
	Intel	2023 年公司剥离硅光模块部门，由 Jabil 承接相关业务，保留硅光芯片部门。2024 年在 OFC 上展示了硅光子学 Tx 和 Rx Ics。公司基于硅光子技术网络平台，目前已在光学收发器领域推出 400G FR4 QSFP-DD、200G FR4 QSFP56、100G DR/FR/LR QSFP28 等多款产品并已实现批量出货
	Coherent	2023 年推出高功率 CW DFB 激光二极管，为传输容量介于 400G 到 1.6T 的硅光子收发器提供支持
	Broadcom	2024 年向客户交付了业界首款 51.2Tbps 共封装光学(CPO)以太网交换机。该产品将八个基于硅光子的 6.4-Tbps 光学引擎与博通同类最佳的 StrataXGS Tomahawk5 交换芯片集成在一起。同年于 OFC 上展示了基于 200G 硅光子调制的 CW 激光器
	中际旭创	2022 年全球光模块厂商中排名第一，在硅光领域研发和布局多年，目前已推出了搭载自研硅光芯片的 400G 和 800G 硅光光模块；2023OFC 上展示其基于 5nm DSP 和先进硅光子技术的第二代 800G 模块；2024 年在 OFC 上演示范向人工智能和数据中心应用的 800G/1.6T 硅光高性能强度调制直检和相干检测光模块解决方案
	新易盛	2022 年收购 Alpine，深入参与硅光光模块以及硅光子芯片技术的市场竞争；2024 年在 OFC 展示其 800G OSFP DR4 LPO，收发器采用硅光子学 PIC，以 200Gb/s 的速度传输 4 个并行通道
	华为	2012、2013 年陆续收购英国光子集成公司 CIP 和比利时硅光子公司 Caliopa，2019 年后累计投资包括熹联光芯微源光子、长光华芯、芯视界在内的 10 余家光芯片产业链相关企业
	华工科技	2024 年在 OFC 上正式推出 1.6T-200G/λ 高速硅光光模块方案，采用了自研的单波 200G 硅光芯片，并且与薄膜铌酸锂调制器和量子点激光器兼容
	罗博特科	公司 2020 年参股 ficonTEC 进入光模块设备领域，目前正着手收购 ficonTEC 全部股份，以提供高速硅光光模块封装与测试设备，在硅基光芯片方面可提供镜检、测试及贴装设备
	光迅科技	2018 年联合研制成功 100G 硅光收发芯片并于 2020 年实现量产；2024 年 OFC 上联合思科成功推出 1.6T OSFP-XD 硅光光模块
国内	博创科技	2020 年公司已推出高性价比的 400G 数据通信硅光模块解决方案：400G QSFP-DD DR4 (500m)和 400G QSFP-DD DR4+ (2km)，2021 年完成批量出货，2024 年 400G FR4 硅光模块预计也完成了量产部署，并向 800G 硅光模块开发
	赛丽科技	公司 2021 年成立，以化合物半导体材料为基础，利用硅基 CMOS，MEMS 平台和 Chiplet，TSV 等先进封装技术实现光电芯片高度集成，产品广泛应用于汽车电子，高速数据通信，生物传感器等。目前已推出基于硅基 CMOS 兼容的调制器以及 5DIPS 光引擎
	猎奇智能	2024 年 OFC 上，公司展示了其 800G 硅光光模块封装工艺设备，其 HP-EB3300 高精度共晶贴片设备在满足常规 COC 需求之外还支持硅光应用±3 微米的高精度封装
	亨通光电	公司与 Rockley 合作布局硅光业务，2017 年两者共同成立江苏亨通洛克利生产硅光光模块，2020 年亨通洛克利发布第一款样品版 400G QSFP-DD DR4 硅光光模块，2022 年发布量产版 400G QSFP-DD DR4 硅光光模块，并且基于硅光子技术成功推出国内第一台 3.2T CPO 工作样机
	熹联光芯	2021 年完成对 Sicoya 的并购，并基于 Sicoya 硅光子技术自主设计研发了 400G QSFP-DD ZR、800G OSFP DR8、800G OSFP 2xFR4 等光模块产品以及 400G DR4、800G 2*FR4 硅光引擎，主要应用于以太网、数据中心及云计算等
	阿里云	公司与 Elenion、海信宽带在硅光领域深入合作，2019 年推出基于硅光子技术的 400G DR4 光模块，但公司主要从网络系统角度研究和规划模块技术，并不擅长基础器件的生产

资料来源：各公司官网、讯石光通信网、开源证券研究所

3.2、变化 2：龙头厂商积极布局 CPO，进一步催化 CPO 产业发展

各大芯片厂商积极布局 CPO 技术，硅光 CPO 原型机不断推出。CPO 方案众多，各大芯片厂商推出 CPO 方案，其中 Intel、Broadcom、Raonvus、AMD、Marvell、Cisco 等均有在近年 OFC 展上推出 CPO 原型机，不断实现交换容量的提升和功耗的降低，Nvidia 及 TSMC 等厂商也展示了自己的 CPO 计划。我们认为，一方面，其中基于硅光引擎的 CPO 技术为主流方案，有望充分受益于硅光技术的发展；另一方面，龙头厂商的入局，有望进一步加速 CPO 产业链的完善和发展。

Intel 一直致力于可插拔光模块和微环调制器技术的研究和开发，并在 2020 年后利用其硅光工艺平台来搭建基于微环调制器的 CPO 系统。在“OFC 2020”会议上，Intel 推出首款 CPO 样机，由 1.6Tbit/s 的硅光引擎与 12.8Tbit/s 的可编程以太网交换机集成，并在架构设计上考虑了散热。在 2024 年 IEEE ISSCC 上，Intel 公布了其 CPO 技术的最新进展，信号传输速率达到 4x64Gb/s，同时保持了仅为 1.3pJ/bit 的低系统功耗；Intel 和 Ayar Labs 合作多年，Supercomputing 2023 大会上展示了将 2 颗 4Tb/s 带宽的 TeraPHY OIO chiplet 嵌入到 Intel Agilex FPGA 中，并由两个 SuperNova 光源支持每个 chiplet 上 8 根光纤的 64 个光通道的高速光通信；

Broadcom 在“OFC 2022”会议上，博通推出了首款 CPO 交换机，将 25.6Tbps Tomahawk4 交换芯片与光引擎相结合；2023 年推出 Strata Tomahawk XGS5，交换容量为 51.2Tbps，功耗仅为 5.5W，速率为 800Gbps；在“OFC 2024”会议上，Broadcom 宣布已向客户交付了业界首款 51.2Tbps CPO 以太网交换机—Bailly，该产品将八个基于硅光子的 6.4-Tbps 光学引擎与 StrataXGS Tomahawk5 交换芯片集成在一起，使光互连的功耗降低了 70%，硅面积效率提高了 8 倍；

Ranovus 在“OFC 2021”会议上发布了 Odin 品牌模拟驱动 CPO 2.0 架构，该架构由 Ranovus、IBM、TE 和 Senko 共同开发，通过消除重定时功能和实施 IC 有效的单芯片解决方案，实现了 40% 的功耗降低和成本节约；Ranovus 在“OFC 2023”上展示了将 800G 直驱硅光引擎与 AMD 的 FPGA 芯片相结合；

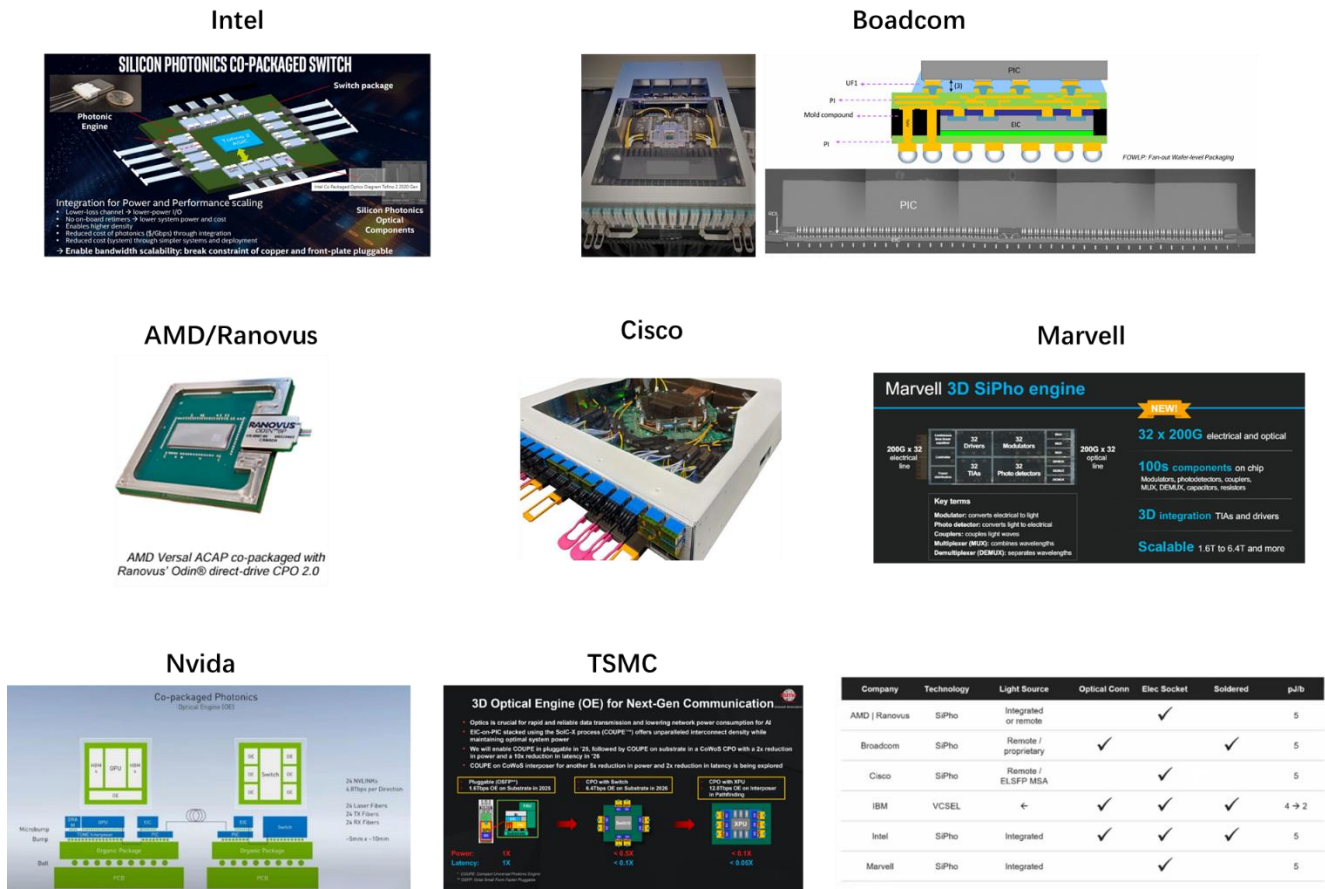
Marvell 在“OFC 2022”会议上展示了其首款 CPO 样机，带宽为 1.6Tbit/s；在“OFC 2023”会议上发布了 51.2Tbit/s 的交换芯片；

Cisco 在“OFC 2023”上展示了基于 CPO 技术的 25.6T 交换机原型，有八个 3.2T 硅光引擎，每个引擎配备八个 400G-FR4 硅光芯片，每个光引擎单通道 100Gbps。

Nvidia 一直在开发硅光 CPO，在“2020 GTC”会议上展示了一个通过 CPO 将 GPU 和交换机芯片互连的系统架构图，并与台积电、Ayarlabs 等公司积极合作开发 CPO 技术；

TSMC 于 2017 年开始与 Luxtera 合作开发了一个 65nm 节点的 12 英寸硅光子工艺平台，随后引入先进封装，推出 COUPE1.0/2.0 平台，在公布的 CPO 发展路线计划 2025 年实现 6.4Tbps 光引擎。

图54：硅光 CPO 原型机不断推出



资料来源：Tian, W 等《Progress in Research on Co-Packaged Optics》、开源证券研究所

3.2.1、Broadcom: TH5-Bailly— SiPh PIC + 7nm CMOS EIC + FOWLP

Broadcom 积极推动 CPO 技术从交换机侧向服务器侧渗透。2021 年 Broadcom 推出了配备 CPO 光学器件的下一代交换芯片系列，第一款 25.6T Humboldt 计划于 2022 年底上市，并计划于 2022 年推出 51.2T Bailly，并宣布了基于硅光子集成电路的 800G DR8 可插拔收发器，并与 DSP 共同封装，以及未来将光学器件与 CPU 和 GPU 共封装的计划；

图55：Broadcom CPO 产品不断推出



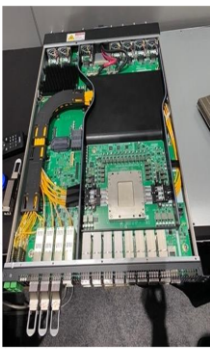
资料来源：Broadcom 官网

OFC 2022 展会上 Broadcom 展示了与 Tomahawk 4 交换芯片共封装的 800Gb/s 光引擎， OCP 2022 上展示了 CPO 进展， 并宣布与腾讯和锐捷建立战略合作伙伴关系， 在超大规模数据中心内部署世界上第一个基于 Tomahawk 4 的 25.6T Humboldt CPO 系统;OFC 2023 上进一步演示了基于 Tomahawk 4 的 25.6T Humboldt CPO 系统;

TH4-Huboldt: 作为 Broadcom 第一代 CPO 系统， 采用半 CPO、 半电连接方式， 交换芯片与两侧共 4 个 3.2T 光引擎（32×100Gbps DR） 互联， 光引擎由硅光 PIC 和 SiGe EIC 构成， 采用内置光源， 整体封装上基于 TSV 工艺通过基板互连， 系统光互连功耗低于每 800G 7W， 比传统的可插拔模块提高了 50% 以上。

图56: TH4-Huboldt 是 Broadcom 第一代 CPO 系统

TH4-Humboldt: First Generation System



Product Features:

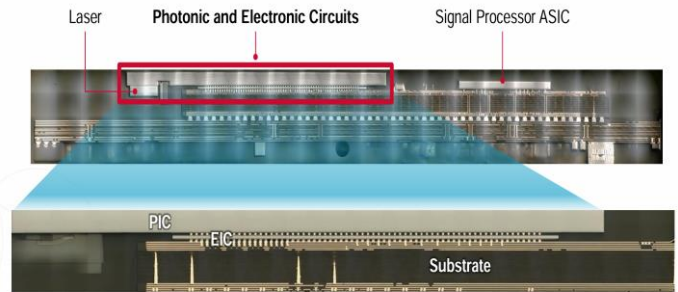
- 25.6T Ethernet Switch
- Half CPO, Half Electrical connectivity
- Four 3.2T optical engines (32x100Gbps DR connectivity)
- Optical engine is a PIC bonded to a SiGe EIC
- Each optical engine has ~ 250 optical components

SiGe dissipates additional 3 pJ/bit power consumption compared to CMOS solutions

资料来源: Manish Mehta 《An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures》

图57: TH4-Huboldt 采用 SiPhPIC+SiGeEIC+TSV 架构

TH4-Humboldt: SiPh PIC + SiGe EIC + TSV



资料来源: Manish Mehta 《An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures》

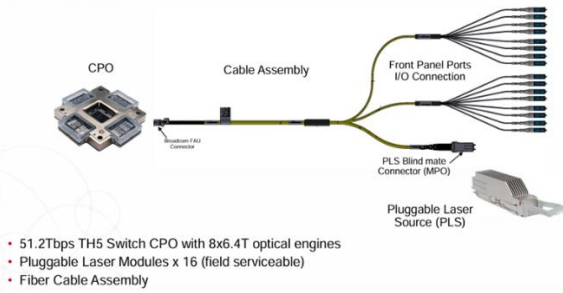
Broadcom 的 CPO 平台逐步完善。OFC 2023 上 Broadcom 展示了世界上第一个基于 Tomahawk 5 的 51.2T Bailly CPO 原型系统; 2024 年 3 月, Broadcom 宣布向其客户交付了业界第一台 51.2T 的 CPO 以太网交换机; OFC 2024 上进一步展出 Bailly 51.2T CPO 以太网交换机系统, 以及集成了 HBM、Logic 和 PHY 在内的多芯片模块共封装 6.4T 光引擎;

TH5-Bailly: 该产品将 Broadcom Tomahawk 5 交换芯片与 8 个 6.4T 硅光光引擎（64x100Gbps FR4） 连接, 其中 PIC 上已集成光学 MUX/DEMUX, 全 COMS EIC 包含低功耗 TIA 及 Driver, PIC 与 EIC 基于 FOWLP 工艺互连, 并通过带有 Broadcom FAU 连接器的光纤组件与前面板连接, 同时采用外置可插拔激光器 (PLS), 通过 PLS 盲插连接器 (MPO) 连接。

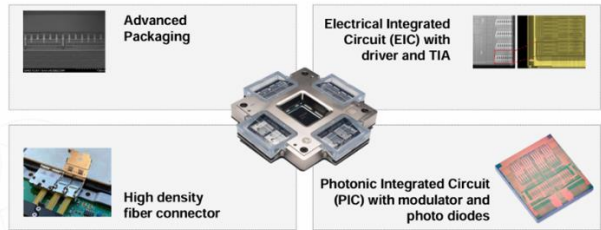
整体来看, 与可插拔光模块解决方案相比, CPO 使光互连的功耗降低了 70%, 硅面积效率提高了 8 倍, 使整个交换机功耗降低了大约 30%。Broadcom 表示, 一个 800G 模块将消耗 13-15W 的功率相比, 使用 CPO 并消除 DSP 复杂性等因素, 功耗能降至 4.8W 以下。

图58: TH5-Baily 采用 SiPh PIC + 7nm CMOS EIC + FOWLP 架构

CPO Schematic



Key Components of CPO

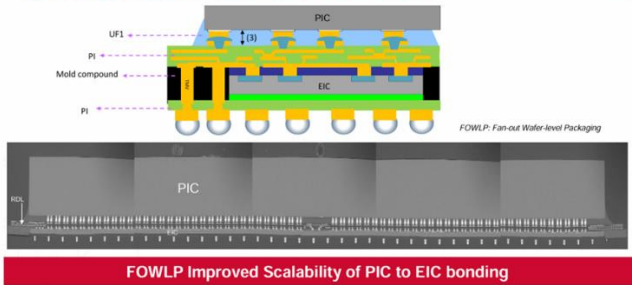


TH5-Baily: Second Generation System



- Product Features:**
- 51.2T Ethernet Switch
 - All Optical CPO connectivity
 - Eight 6.4T optical engines (64x100Gbps FR4 connectivity)
 - Optical engine is a PIC bonded to a CMOS EIC
 - Each optical engine has ~ 1000 optical components

TH5-Baily: SiPh PIC + 7nm CMOS EIC + FOWLP

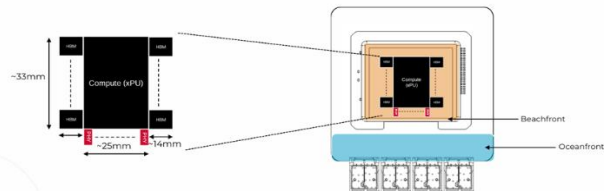


资料来源: Manish Mehta 《An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures》

Broadcom 正在尝试将 CPO 技术从交换机进一步拓展到算力芯片，实现更大规模的扩展域。相比交换芯片的 CPO 封装，GPU 会更加复杂，涉及到更多的 HBM 和更多的计算块。当前，一套设备具备 64x100G，两套设备可实现 12.8T，未来有望提升到 102.4T 的高带宽。

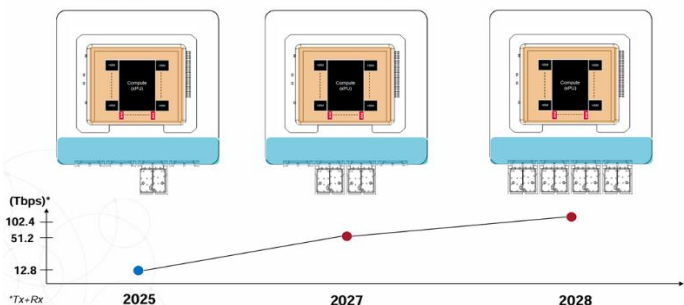
图59: Broadcom 将 CPO 技术进一步拓展到算力芯片

Beachfront vs Oceanfront: Utilizing Fan-Out



- Can escape four optical engines along single oceanfront
- Much more reliable and cost effective
 - Optics is farther away from high power dissipation GPU
 - Known Good Optical Engines can be attached last to the package → high manufacturing yield

Scale-Up Optical Oceanfront Density Roadmap



资料来源: Manish Mehta 《An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures》

3.2.2、TSMC：积极布局硅光技术，推出 COUPE 平台

TSMC 宣布推出 COUPE 平台。TSMC 在 2024 年北美技术研讨会上，披露了自身的 3D 光学引擎路线图，并计划为台积电制造的处理器提供高达 12.8 Tbps 的光连接。由于铜缆信号无法满足不断增长的带宽需求，硅光子学将成为未来数据中心的一项关键技术。TSMC 的紧凑型通用光子引擎（COUPE）是硅光子学领域的重要成果之一。该技术采用 TSMC 的 SoIC-X 封装技术，将电子集成电路（EIC）堆叠在光子集成电路（PIC）上，形成 EIC-on-PIC 结构。这种结构可以在模对模接口处实现最低的阻抗，从而实现最高的能效。此外，COUPE 还具备紧凑的集成设计、广泛的波长兼容性、高效的光电转换以及可扩展性和灵活性等特点，使得它能够支持多种光互联应用，并满足不同应用的需求。

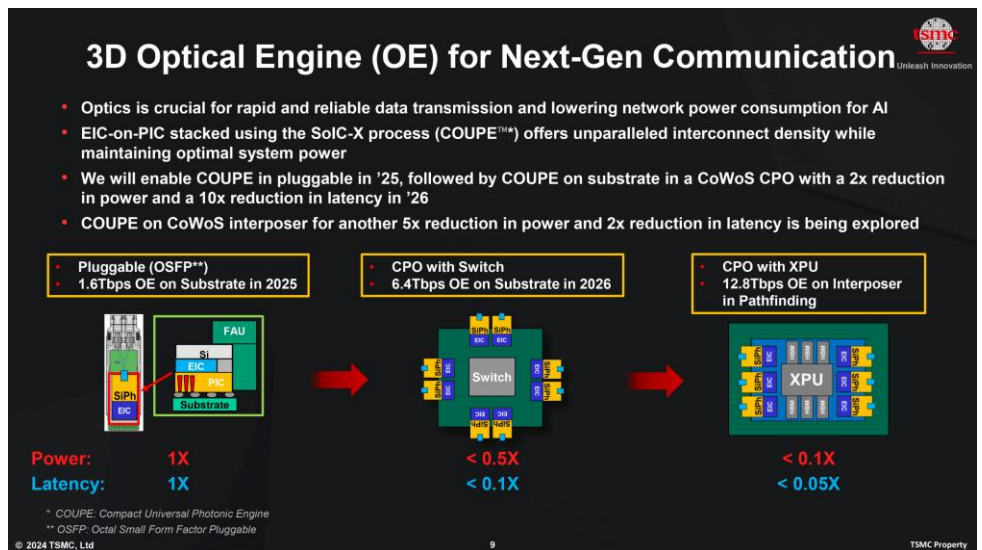
目前，台积电的 3D 光学引擎已经进入开发阶段，未来将逐步提升传输速度并将光学连接更靠近处理器本身。COUPE 发展计划有三个阶段，每个阶段都致力于提高传输速率和降低功耗：

(1) 2025 年，TSMC 的第一代 3D 光学引擎将集成到运行速度为 1.6 Tbps 的 OSFP 可插拔设备中，两倍于当前基于铜的以太网解决方案的最高速率。第一代 COUPE 不仅有望实现高带宽，还有望提高电源效率，而这两个问题是现代数据中心中亟待解决的关键问题。

(2) 2026 年，TSMC 的第二代硅光产品计划将 COUPE 集成到 CoWoS 封装中，实现交换芯片及光学器件的共封装，这将实现速度高达 6.4 Tbps 的主板级光学互连，第二代功耗预计为第一代的 50% 以下，延迟预计为第一代的 10% 以下。

(3) 第三代产品旨在集成到处理器封装中，COUPE 运行在 CoWoS Interposer 上，目标传输速率达 12.8 Tbps，同时使光学连接更接近处理器本身。此阶段迭代仍处于探索阶段，没有明确的发布时间，TSMC 表示正在考虑进一步降低功耗和延迟。

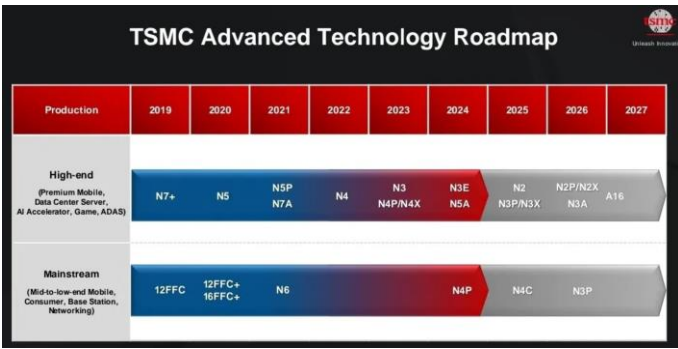
图60：TSMC 推出 COUPE 平台



资料来源：Kevin Zhang 《TSMC 2024 North American Technology Symposium Highlights》

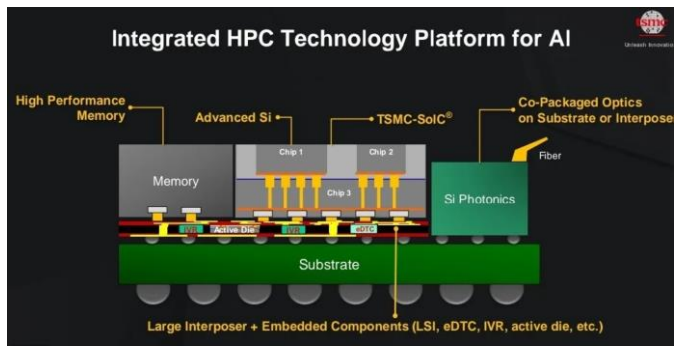
TSMC 作为全球知名的晶圆厂供应商，其封装技术的主要特点之一，是能够在基础芯片上堆叠异构芯片，从而实现更好的集成度和性能水平。通过利用混合键合技术，最大限度地提高了堆叠芯片的 I/O 功能，进一步增强了连接性和数据吞吐量。

图61: TSMC 提供其先进技术路线图



资料来源: Kevin Zhang 《TSMC 2024 North American Technology Symposium Highlights》

图62: 芯片异构集成是 TSMC 封装技术之一



资料来源: Kevin Zhang 《TSMC 2024 North American Technology Symposium Highlights》

目前,台积电正与 Ansys、Synopsys 和 Cadence 合作,开发其硅光子集成系统能力, TSMC 在 OIP 2024 生态系统论坛上进一步展示了其供应商目前拥有的支持 COUPE 设计流程的工具,其中可以看出, Synopsys 和 Ansys 工具之间存在协同效应。此外,台积电计划与 Broadcom、Nvidia 等客户共同开发硅光子技术、CPO 等新产品,这一合作的制程技术从 45nm 延伸到 7nm,为相关工艺提供更加先进的支持。

总的来看, TSMC 通过部署 3D 光学引擎,不仅进入了关键的数据中心连接领域,而且还计划大幅降低硅光子技术的功耗,通过解决互连性、电源和可扩展性方面的关键挑战, TSMC 的创新方法有望进一步助力现代计算架构的发展,同时与 Broadcom、Nvidia 等大客户共同开发硅光芯片技术,有望集合各方的技术优势和资源,推动硅光芯片的规模量产,并对硅光电子市场的竞争格局产生深远影响。

图63: TSMC 供应商支持的 COUPE 设计工具

Design Solution	Cadence	Synopsys	Ansys	Siemens
Electrical-Optical Co-simulation	● Spectre	● PrimeSim SPICE		● AFS
Macro Cell Auto-Insertion	● Virtuoso	● OptoCompiler		
3D Die-stacking	● Integrity 3DIC	● 3DIC Compiler		● Xpedition
Incremental EIC and PIC ECO	● Integrity 3DIC	● 3DIC Compiler		
Interface Checking	● Pegasus	● ICV		● Calibre
System-level Electromagnetic	● EMX		● RaptorX	
System-level IREM	● Voltus-Fi		● RedHawk-SC/Totem	
System-level Thermal	● Celsius 3D		● RedHawk-SC-ET	
Optics		● CODE V	● Zemax	

● Ready ● On-going

资料来源: semiengineering 网站

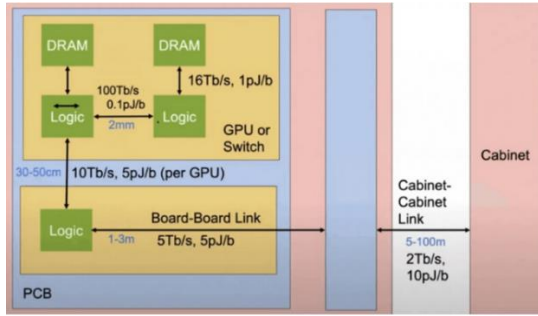
3.2.3、Nvidia: GPU 龙头企业, 积极布局 CPO DWDM 方案

Nvidia 积极开发硅光子 CPO 技术。Nvidia 作为全球 GPU 龙头企业,其首席科学家 Bill Dally 在 GTC 2020 上介绍了其在硅光及共封装方面研究。在 HOTI 2023 上的“Accelerator Clusters: the New Supercomputer”演讲,进一步展示了有关基于

CPO 技术的互联系统的讨论。

不同的设备连接具有不同的带宽和功耗，挑战在于如何将它们有机地组合在一起，需要同时考虑功率、成本、密度和连接距离等因素，通过这些尺寸测量，CPO DWDM 成为一个可行的选择， GPU 或交换机、它们所连接的 PCB 以及它们汇集的机柜之间存在带宽和功率限制，这为硅光互连奠定了基础，链路越短，带宽越高，偏移所消耗的能量就越低， CPO DWDM 方案的目标是具有比电缆更低的功耗但成本相似，具有与有源电缆相当的覆盖范围，并提供与 PCB 相当的信号密度。

图64：不同的设备连接具有不同的带宽和功耗

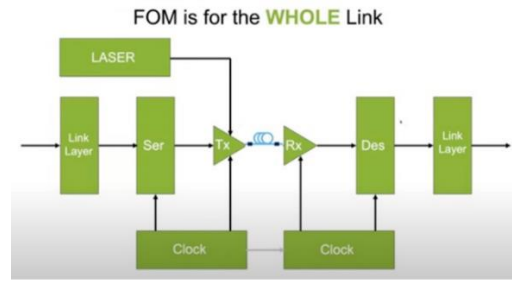


Figures of Merit

	IPoser	PCB	Cable	AOC	
Power	10 ⁻¹³	5x10 ⁻¹²	5x10 ⁻¹²	10 ⁻¹¹	J/b
Cost	10 ⁻¹⁵	10 ⁻¹³	10 ⁻¹⁰	10 ⁻⁹	\$-s/b
Density	10 ¹³	5x10 ¹¹	5x10 ¹⁰	10 ¹¹	b/s-mm
Reach	.005	0.5	5	100	m

资料来源：Bill Dally《Accelerator Clusters: the New Supercomputer》

图65：CPO DWDM 或是个综合性能优异的方案



Goal for Co-Packaged DWDM

	IPoser	PCB	CPO	Cable	AOC	
Power	10 ⁻¹³	5x10 ⁻¹²	10 ⁻¹²	5x10 ⁻¹²	10 ⁻¹¹	J/b
Cost	10 ⁻¹⁵	10 ⁻¹³	10 ⁻¹⁰	10 ⁻¹⁰	10 ⁻⁹	\$-s/b
Density	10 ¹³	5x10 ¹¹	2x10 ¹²	5x10 ¹⁰	10 ¹¹	b/s-mm
Reach	.005	0.5	100	5	100	m

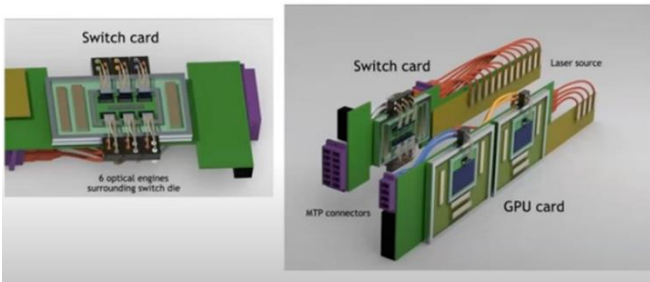
Lower power than cable with comparable cost
Density higher than PCB
Reach comparable to AOC
Reliability may be an issue

资料来源：Bill Dally《Accelerator Clusters: the New Supercomputer》

其光互连系统中，交换机卡和 GPU 卡中采用 CPO 器件。交换芯片周边布置 6 个光引擎，光信号从尾纤导出，并通过带状光纤连接至前面板的 MTP 光纤连接器。GPU 卡中可能包含多个 GPU，采用 CPO 器件，通过 NVlink 连接至面板。交换机卡、GPU 卡分别进一步整合，分别构成交换机机架和 GPU 机架。

图66：交换机卡和 GPU 卡中采用 CPO 器件

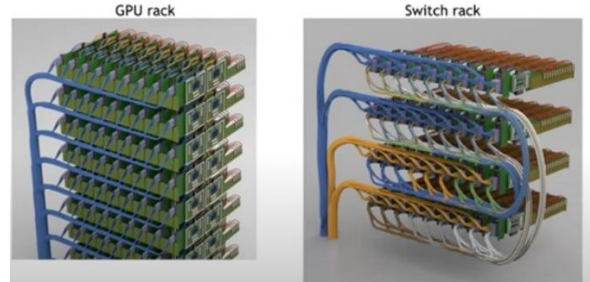
SYSTEM CONCEPT



资料来源：Bill Dally《Accelerator Clusters: the New Supercomputer》

图67：GPU 卡、交换机卡分别构成相应机架

SYSTEM CONCEPT

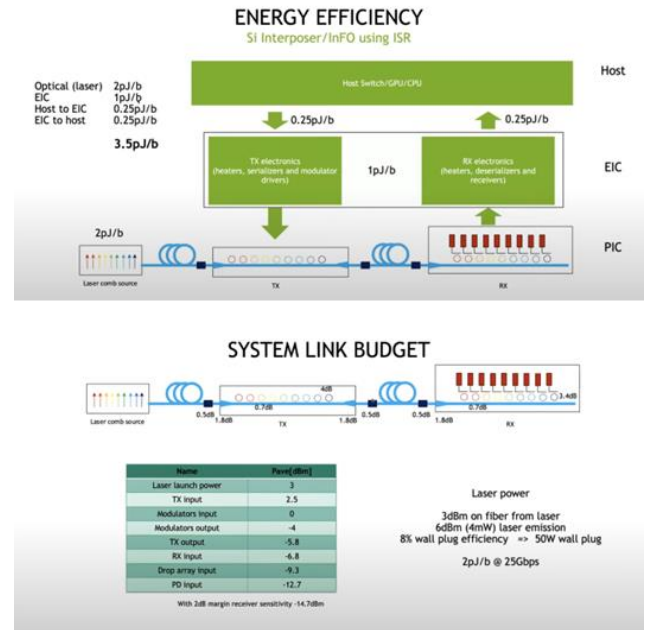
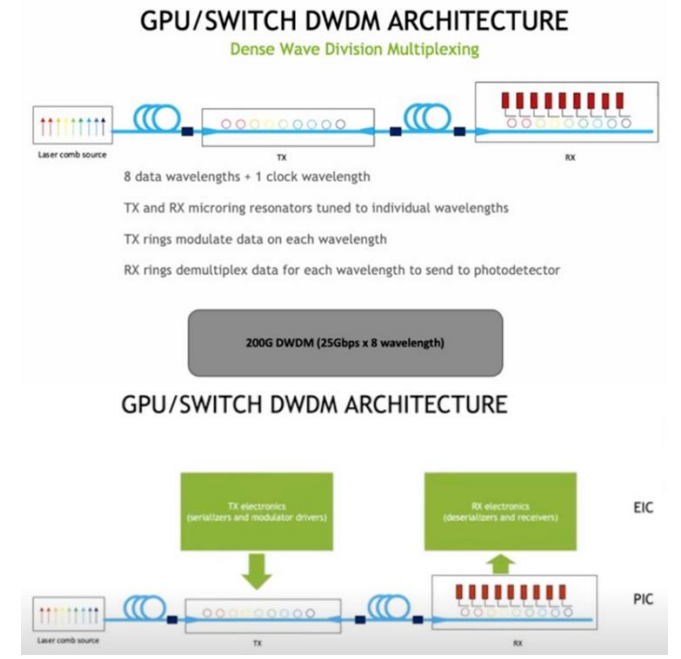


资料来源：Bill Dally《Accelerator Clusters: the New Supercomputer》

光源方面，Nvidia 希望最终量子点光源能够使用，但目前仍以 DFB 激光器为主，通过光纤将光源导入发射端。发射端采用微环阵列调制器，调制范围在 25G/s-200G/s，调制后的信号导入接收端芯片，接收端包含光电二极管及跨阻放大器，将光信号转为电信号。同时在能耗上，早期原型机的功率预算大约是 3.5 pJ/b，其中大部分是激光器。

图68: Nvidia CPO DWDM 架构采用 DFB 光源和微环调制器

图69: 激光器占主要功耗预算

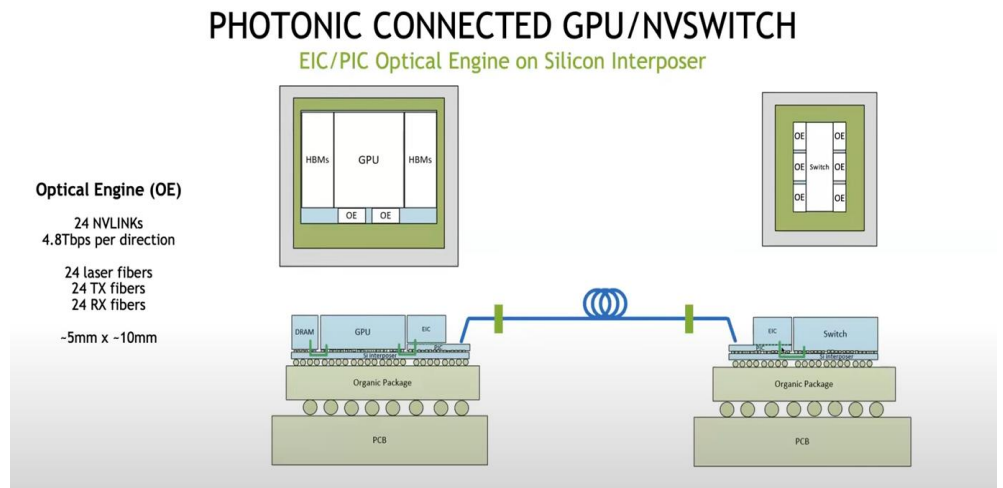


资料来源: Bill Dally 《Accelerator Clusters: the New Supercomputer》

资料来源: Bill Dally 《Accelerator Clusters: the New Supercomputer》

器件结构上,光引擎通过硅基 Interposer 与交换机芯片互联,其中 PIC 集成了微环调制器、波导、耦合器, EIC 放置于 PIC 之上,和交换芯片连接距离非常短,包含发射端的微环调制器的驱动器、序列化器等,以及接收端的跨阻放大器、解序列化器等。GPU 侧结构和交换机侧结构类似。

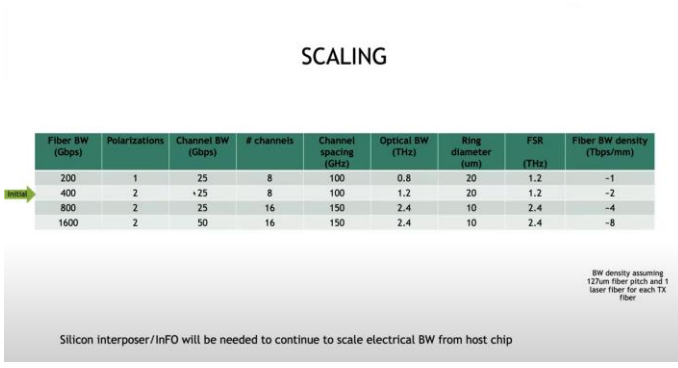
图70: Nvidia CPO DWDM 架构中采用硅基 Interposer



资料来源: Bill Dally 《Accelerator Clusters: the New Supercomputer》

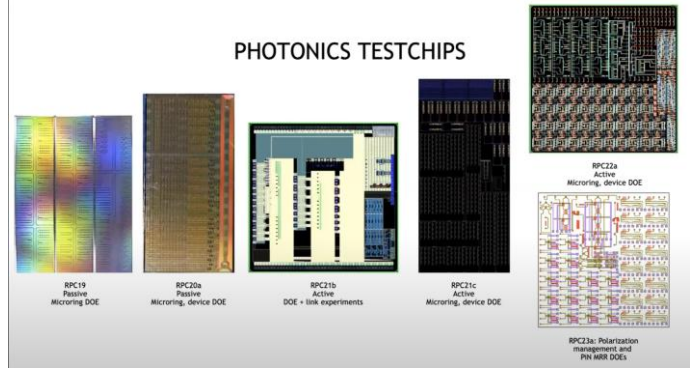
速率上, Nvidia 的一个原型机做到每根光纤带宽 400Gbps, 其中每个偏振包含 8 个通道, 每个通道带宽为 200Gbps。未来希扩展到每根光纤 800Gbps 和 1.6Tbps。目前 Nvidia 已制造了许多测试芯片, 比如 RPC 19 被动微环调制器 DOE 已于 2019 年完成。

图71: Nvidia 的 CPO 原型机速率达到每根光纤 400Gbps



资料来源: Bill Dally《Accelerator Clusters: the New Supercomputer》

图72: Nvidia 已制造 CPO 各类型测试芯片

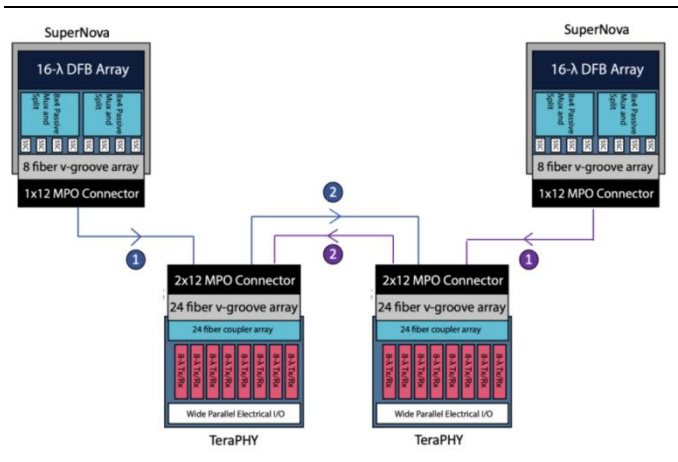


资料来源: Bill Dally《Accelerator Clusters: the New Supercomputer》

Nvidia 与 AyarLabs 积极合作开发 CPO。 Ayar Labs 2022 年宣布与 NVIDIA 合作加速人工智能/机器学习架构中光互连的开发和应用,此次合作将侧重于集成 Ayar Labs 的技术,为未来的 NVIDIA 产品开发由高带宽、低延迟和超低功耗基于光学的互连实现的横向扩展架构。两家公司计划共同加速光学 I/O 技术的开发和采用,以支持 AI 和机器学习 (ML) 应用程序和数据量的快速增长。

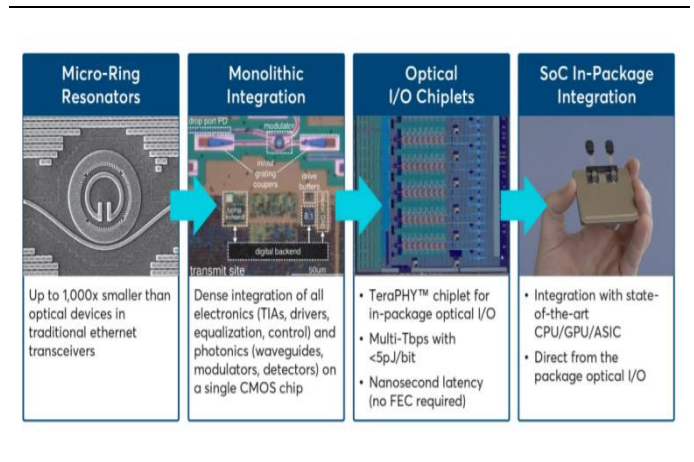
Ayar Labs 是片间互联的领军企业,公司结合了硅光子技术和 Chiplet 来设计新一代片间互联产品,其产品主要包括 TeraPHY (光信号互联芯片)和 SuperNova (独立激光器),两者经常配合使用,其中 TeraPHY 硅光芯片采用体积小、功耗低的微环调制器,利用多个波长携带信号来提高带宽密度,当前产品通过 8 个光端口实现了 4096 Gbps 的双向吞吐量,每个链路支持每个光口 256Gbps,每个光口有 8 个波长,每个波长 32Gbps。

图73: TeraPHY 和 SuperNova 典型链路



资料来源: foresightnews

图74: TeraPHY 采用硅光微环调制器

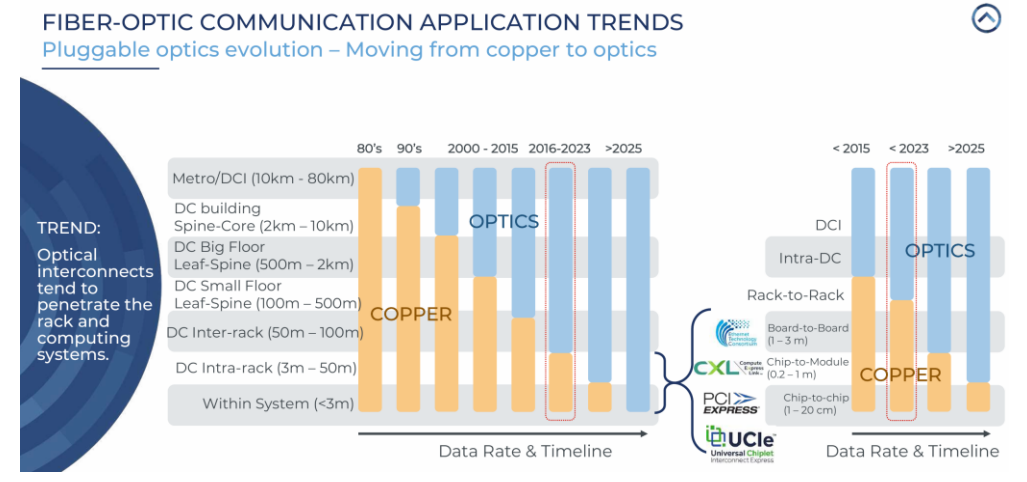


资料来源: Ayar Labs 官网

3.3、变化 3: AI 时代高速交换机需求增长, CPO 方案优势不断凸显

CPO 交换机 AI 时代迎来产业机遇期。在光互连不断穿透机架和计算系统的背景下,交换机作为光通信网络系统中核心网络设备,随着全球 AI 的高速发展,AI 集群规模持续增长,AI 集群网络对组网架构、网络带宽、网络时延、功耗等方面提出更高要求,带动交换机朝着高速率、多端口、低功耗等方向迭代升级,AI 时代 CPO 方案交换机有望迎来产业机遇期。

图75: 光互连正逐渐取代铜互连

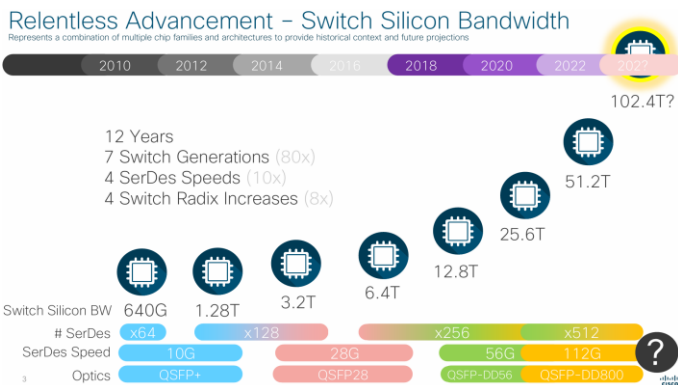


资料来源: Martin Vallo 《Co-packaged optics are inching closer to reality》

3.3.1、AI 时代交换机带宽加速迭代, 端口互联速度快速发展

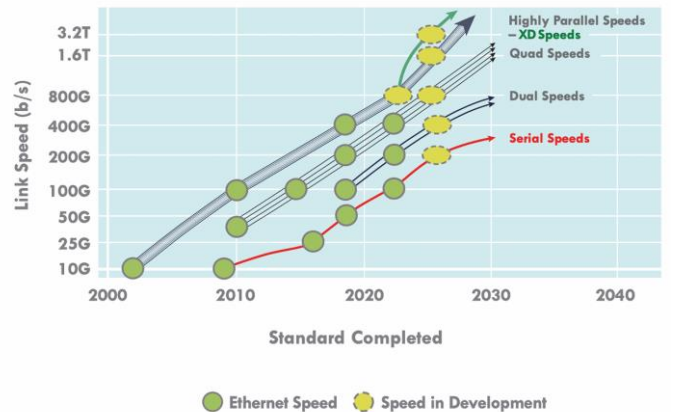
AI 加速交换机带宽发展, 端口互联速度快速迭代。自 2019 年后全球数据中心产业开始步入算力中心阶段,根据 Cisco 数据,2010-2022 年全球数据中心网络交换带宽提升了 80 倍,特别是近期 AIGC 的快速发展带来网络架构的升级和 GPU 的加速迭代,进一步带动设备间更高的带宽需求,2023 年作为 AI 元年,AI 在一半的时间内将互联速度提升一倍,数据中心交换芯片的演化角度来看,目前进入每两年翻一番的快速增长阶段,预计 2025 年有望实现 102.4T 的容量,对应 1.6T 光口。

图76: ASIC 带宽约每两年翻一番



资料来源: Rakesh Chopra 《Looking Beyond 400G: A System Vendor Perspective》

图77: 以太网速度跟随 ASIC 带宽的扩展

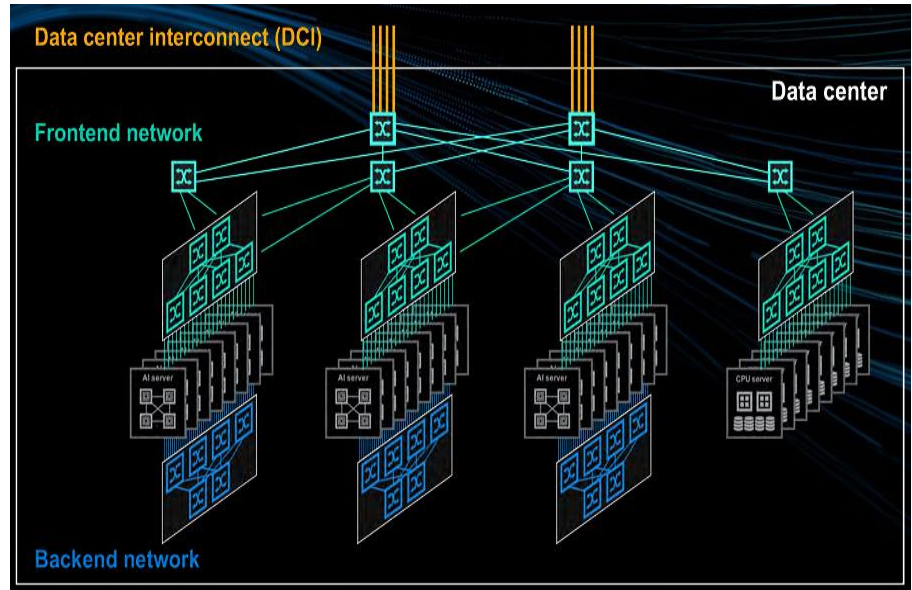


资料来源: Sandeep Razdan 等 《Co-Packaged Optics Integration for Hyperscale Networking》

3.3.2、AI 集群加速 Scale out，后端网络组网拉动高速交换机需求

在数据心里，包括前端网络和后端网络，以及内部计算网络。计算网络：在一个服务器内连接多个 XPU，通常使用短距铜缆连接，使用协议包括 NVLink、Infinity Fabric、PCIe；后端网络：用于一个集群类多个服务器连接，通过 XPU 的 NIC/DPU 的端口进行光缆连接，使用协议包括 Infiniband、Ethernet；前端网络：将服务器连接至数据中心，通过 CPU 的 NIC/DPU 的端口进行光缆连接，使用协议为 Ethernet。

图78：前后端网络组网均带来大量交换机需求

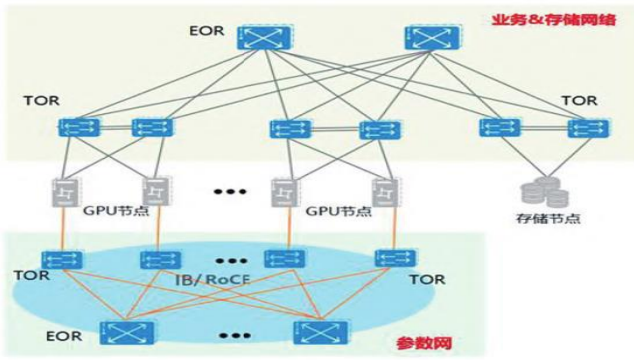


资料来源：Marvell 官网

AI 训练集群带来 GPU 互联需求，新增后端网络组网需求。传统数据中心架构下，传统服务器与交换机之间通过网卡互相通信，网卡可直连 CPU 进行数据交换；AI 服务器比传统服务器新增 GPU 模组，服务器内部 GPU 之间通过 PCIe Switch 芯片或 NVSwitch 芯片实现内部互联，GPU 模组通过对应的网卡与其他服务器的网卡互联，实现各节点之间的通信。因此相比传统网络架构，AI 服务器组网增加后端网络组网（Back End），增加了每台服务器的网络端口数量，拉动对高速交换机、网卡、光模块、光纤光缆等组件的需求。

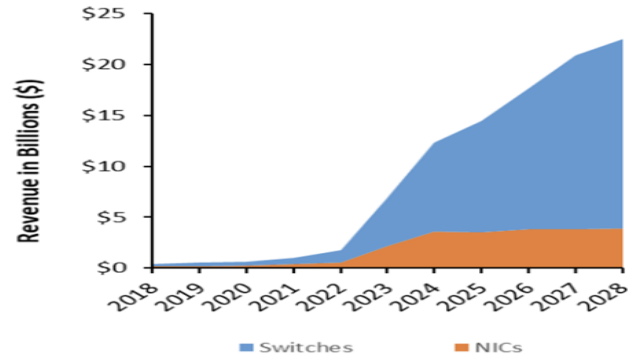
AI/ML 后端网络市场规模快速增长，进一步拉动交换机需求。后端网络可采用运用 RDMA 技术的 RoCE 以太网和 IB 网络组网，据 650group 数据，2021 年之前，RDMA 的市场规模每年在 4 亿至 7 亿美元之间，主要受 HPC 应用的驱动。2023 年，由于 AI/ML 部署的增长，市场对 RDMA 的需求提升至 60 亿美元以上，预计到 2028 年将突破 220 亿美元，其中主要以交换机设备需求为主。

图79: AI 网络架构带动 GPU 互联需求



资料来源: 李家清等《智算中心 IB 及 RoCE 网络技术探究》

图80: RDMA 市场中交换机需求快速增长



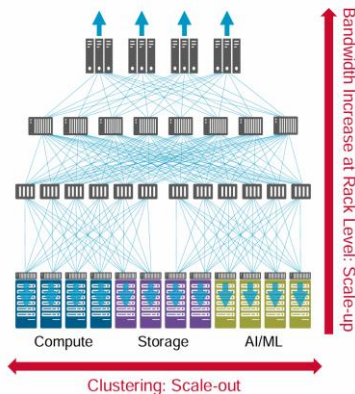
资料来源: 650 group

AI 集群加速 Scale out, 大集群组网带来大量高速交换机需求。随着 AI 模型参数持续增长, 带动集群规模从百卡、千卡拓展至万卡、十万卡, 对于超节点及超大规模组网架构, 未来有望从 Scale up 和 Scale out 两个维度来实现总算力规模的提升, Scale out 推动组网架构从 2 层向 3 层、4 层架构拓展, 带来大量高速交换机需求。

Scale up: 主要通过提高单个节点内的算力规模, 进而提升集群的算力规模。在服务器层面增加算力芯片总数, 以 A100、H100、B200 DGX 系列为例的单个 AI 服务器内部算力模组主要由 8 张算力卡内部通过 NVSwitch 芯片互联组成, 未来有望通过引入支持更多算力芯片互联比如 16 卡、32 卡互联的 Switch 芯片, 以优化 GPU 南北向的互联效率和规模, 增强张量并行或 MoE 并行的数据传输能力, 同时提升 GPU 卡间互联带宽, 通过高速互联总线将更多算力芯片互联, 提升单服务器算力性能; 在机柜层面增加服务器总数, 以 GH200 NVL32、GB200 NVL72 为例, 单机柜内部通过引入更多服务器再搭配高速交换机实现互联, 提升单机柜算力性能, 再通过机间互联扩展至 NVL576, 提升单个节点的算力性能。

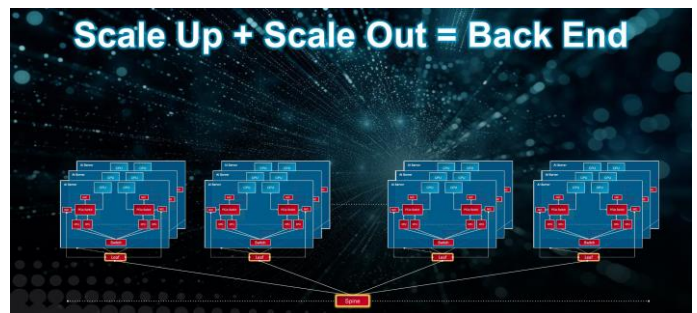
Scale out: 主要通过高速互联容纳更多节点, 进而提升集群整体算力规模。当前机间通信主要以 400G/800G 为主, 未来有望通过更高速率如 1.6T 组网互联, 以提高互联带宽, 支持更多节点高速互联; 采用 CPO (Co-Packaged Optics) /NPO (Near Packaged Optics)、多异构芯片 C2C (Chip-to-Chip)封装等方式降低延时, 进而提升数据传输效率; 通过增加交换机端口数量提升相同架构下的 GPU 节点数量上限, 或通过增加集群组网规模以实现更多节点间互联, 如从 2 层胖树组网增加至 3、4 层组网架构, 或改由 Torus、Dragonfly 等方式组网, 实现从千卡向万卡、十万卡集群拓展。

图81: 算力集群拓展方向包括 Scale up 和 Scale out



资料来源: Broadcom

图82: Scale up + Scale out 构成后端网络



资料来源: Charlie Kawwas 《ENABLING AI Infrastructure》

3.3.3、AI 集群功耗成关键挑战，CPO 方案优势凸显

CPO 是在成本、功耗、集成度各个维度上优化数据中心的光电封装方案。传统光电互连采用的板边光模块，走线较长，寄生效应明显，存在信号完整性问题，且模块的体积较大、互连密度低、多通道功耗较大。共封装技术通过将光收发单元与 ASIC 芯片封装在一个封装体内，进一步缩短了光信号输入和运算单元之间的电学互连长度，在提高光模块和 ASIC 芯片之间的互连密度的同时实现了更低的功耗。CPO 相较于可插拔光模块，带宽密度提升一个数量级，能量效率优化 40% 以上。

随着 AI 集群的快速扩张，系统功耗迅速提升。以采用液冷系统的 NVL576 为例，根据 Broadcom 的估算，NVL576 包含 8 个 GB200 机架，4 组 L2 交换机机架，其中包含 144 TRAYS×4 GPU/TRAY=576 个 GPU，8×L1 交换机层×18 交换机/层+4×L2 机架×8×L2 交换机/机架=216 台交换机，648 个 1.6T OSFP 接口（用于 L1 至 L2 间的光模块），200G/通道的铜互连。其用于 576 个 GPU 计算的光互连功率约为 16.2kW，若采用 CPO 方案，有望降低到 7.1kW，节约 9.1kW。

进一步，随着 NVL576 进一步向着万卡集群组网，以 30528 GPU 集群为例，根据 Broadcom 的估算，基于 DSP 可插拔方案，其互连功耗将达到 832kW，采用 CPO 方案有望降低到 366kW。

图83：CPO 方案有望有效降低 AI 集群功耗



资料来源：Rajiv Pancholy 《Will You Need CPO in 3 Years?》、开源证券研究所

4、CPO 发展潜力较大，商业落地仍需产业协同

总体来看，CPO 是实现高集成度、低功耗、低成本、小体积的最优封装方案之一。虽然 CPO 具有显著的潜在优势，但 CPO 目前处于产业化初期，除了技术上的挑战外，更受集成光学器件的市场接受度、标准和制造能力的限制。作为光通信解决方案的一环，其发展仍需整体产业链的协同推进。

4.1、技术方面，CPO 在工艺、仿真以及测试等方面仍面临很多挑战

(1) 封装工艺：CPO 涉及到 TSV、TGV、多层高密度互连基板、Bumping 和芯片堆叠等先进封装中的关键技术，每种关键技术都有各自的优缺点，比如：TGV 通孔技术可能会损伤玻璃造成表面不光滑，大多数 TGV 加工方法效率低，没法大规模量产，TGV 结构的电镀成本和时间比 TSV 略高，玻璃衬底表面的黏附性较差，容易导致 RDL 金属层异常，玻璃本身的易碎性和化学惰性给工艺开发带来了难度；TSV 的通孔加工、孔填充都有较高的工艺要求，此外还涉及到晶圆减薄，存在潜在的成品率和可靠性的问题；

(2) 器件性能问题：目前的硅光技术还有一些需要克服的技术难题，比如如何减少硅波导的损耗、如何实现波导与光纤的有效耦合、如何克服温度对于功率和波长稳定性的影响等。

(3) 散热技术：热会导致机械应力，可能导致基板翘曲，影响光耦合和电子互连的性能，CPO 中分配给光学和电气元件的空间非常有限，由于光学元件对热量较为敏感，散热设计成为 CPO 另一个挑战；

(4) 仿真技术：随着集成密度的不断提高，为提高产品的一次设计成功率，仿真技术在 CPO 设计阶段的应用将显著提升，由于 CPO 面临着光学、电学、热力学等交叉学科的融合和多层级的跨越，对仿真提出了更高的要求。目前光子设计自动化（PDA）工具能够提供精确的光子器件仿真，但仿真效率较低，不适合大规模系统级仿真，同时电子设计自动化（EDA）工具大多基于电路级或系统级仿真，因此能够应用于电路级和系统级仿真的光子器件模型是大规模电子-光子联合仿真的关键，是未来光电共封装器件大规模商业化的重要条件，可以提高设计效率。光-电-热-力多物理场的跨维度耦合仿真以及芯片-封装-系统的跨尺寸联合仿真将成为仿真领域的发展趋势和难点；

(5) 测试和良率挑战：由于光芯片是直接和电芯片通过先进封装工艺封装在一起，这给良率和测试带来了诸多挑战，同时光器件和电器件建立在不同的制造工艺技术上，因此具有不同的测试要求。共封装的光学器件具有较高的通道密度，同样给测试带来挑战。

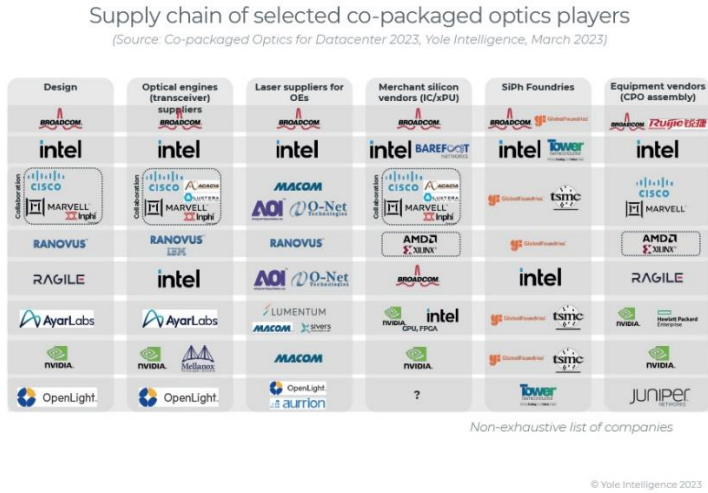
4.2、产业协同：AI 时代 CPO 方案或与可插拔方案长期共存

根据 Yole 报告，CPO 技术路线下，产业链分为了设计、光引擎、激光光源、芯片供应商、硅光代工、设备商（CPO 组装）。随着 CPO 产业的逐步成熟，CPO 正逐渐从学术研究成果转变为市场需求产品，但在当前可插拔光学器件行业逻辑下，要成为商业化主流方案，仍需交换芯片及设备厂商、各模块厂商、各元器件厂商和运营商共同参与，其商业落地或将会对产业格局产生深远影响：

(1) CPO 方案与可插拔方案产生直接竞争。目前可插拔光模块市场供应链已经非常成熟，具备成熟工业生态系统，它包括分立或集成元件供应商、生产发射器和接收器光学组件（TOSA 和 ROSA）的光学公司、多路复用器、数字信号处理器（DSP）和 PCB，以及组装/测试集成商，商业体系复杂，参与厂商众多；CPO 严重依赖硅光子学，随着高度集成的硅光芯片的出现，新的工程能力和代工厂将非常需要，这对于传统的中型企业来说具有较大挑战，传统供应商方案转向成本较高；可插拔外形尺寸在所需的电气和光密度、热管理和能源效率方面支持高容量的能力或将受到限制，分离器件方案对功耗和热管理正成为未来可插拔光学器件的限制因素，但用于可插拔外形尺寸的新光学技术，包括硅光，薄膜铌酸锂（TFLN）、钛酸钡（BTO）等，可以帮助实现所需的低功耗，并且可以在不改变现有网络系统设计的情况下推向市场；尽管 CPO 解决方案的主流部署主要针对大型云运营商，但仍有许多小型企业数据中心尚未采用最新的互连技术，这或将影响 CPO 落地节奏；若 CPO 成为主流技术，可插拔模块在技术上或经济上不可行的几个应用中仍有较高的需求，例如长途应用和边缘数据中心，因此可插拔方案有望和 CPO 方案较长时间共存，但可插拔光学器件行业可能会整合。

(2) CPO 产业有望带动硅光代工行业发展。随着 AI/ML 系统的发展，未来数十亿个光互连、芯片-芯片和板-板的潜力推动大型代工厂为大规模生产做准备，由于大多数光子学制造知识产权（IP）由非代工公司持有，因此 Tower Semiconductor/Intel、GlobalFoundries、ASE Group、TSMC 和 Samsung 等大型代工厂正在准备硅光子学工艺流程，以接受设计公司的任何光子集成电路（PIC）架构。他们积极参与 Peripheral Component Interconnect Express（PCIe）、Compute Express Link（CXL）和 Universal Chiplet Interconnect Express（UCIe）等行业联盟；小芯片互连的通用规格支持构建超过最大标线尺寸的大型片上系统（SoC）的封装，这使得在同一封装中可以混合来自不同供应商的组件，并通过使用更小的芯片来提高制造良率，每个小芯片都可以使用适合特定器件类型或计算性能/功耗要求的不同硅制造工艺。

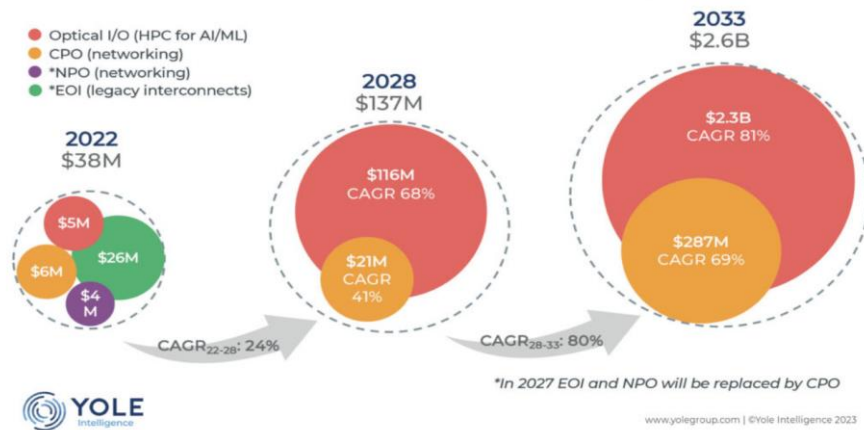
图84：CPO 产业链逐步成熟



资料来源：Yole

我们认为，受益于底层硅光技术的进一步发展，龙头芯片/主机厂商的深度布局及示范作用，以及 AIGC 算力需求对高带宽、低功耗、低成本的光通信方案的追求，CPO 有望在 AI 时代迎来其历史机遇期，特别是随着 CPO 相似技术的 OIO 技术的进一步成熟，商业系统中的通信和计算技术更紧密地集成，传统架构（基于铜的电气互连）的芯片到芯片或板到板的能力瓶颈有望被打破，使得高性能计算等领域得到拓展，CPO 商业化落地有望得到进一步加速，但另一方面，CPO 作为整体光通信解决方案中的一环，其实际商业化发展高度依赖于产业协同，特别是在传统可插拔方案的成熟市场下，其与可插拔光模块方案在不同应用场景下仍各有优劣，并有望保持较长时间的共存。根据 Lightcounting 预计，CPO 出货预计将从 800G 和 1.6T 端口开始，于 2024 至 2025 年开始商用，2026 至 2027 年开始规模上量，主要应用于超大型云服务商的数通短距场景。全球 CPO 端口的销售量将从 2023 年的 5 万增长到 2027 年的 450 万。2027 年，CPO 端口在 800G 和 1.6T 出货总数中占比接近 30%。Yole 报告数据显示，2022 年 CPO 市场产生的收入达到约 3800 万美元，预计 2033 年将达到 26 亿美元，2022-2033 年复合年增长率为 46%。

图85：CPO 市场前景广阔



资料来源：Yole

5、受益标的梳理

我们认为，当前 CPO 发展主要以海外 AI 算力需求为核心，产业链参与厂商以海外企业为主导，其发展或对传统光通信产业链格局产生较大影响：一是硅光技术重要性进一步凸显；二是 CPO 加大对先进半导体工艺的需求，整体来看，需重点关注以下板块：

(1) 光引擎板块：

硅光光器件/光模块：硅光光引擎作为 CPO 的核心器件，且与硅光光模块技术同源，是传统光模块厂商的重要切入点，CPO 的发展本质上是对光模块/光引擎厂商综合实力的长期考验，一方面硅光器件/模块厂商有望充分受益于产业发展，另一方面，硅光芯片具有较高产业壁垒，头部厂商的深度布局有望迎来新一轮产业演化；

硅光工艺配套：从硅光工艺流程看，硅光与微电子技术逐步趋同，面临着光学、电学、热力学等交叉学科的融合和多层级的跨越，具有产业独特性，需高度重视配套工艺设备、软件厂商的投资机会，如光引擎封测设备、仿真、设计软件等；

(2) 光互连板块：

ELS：ELS 作为当前 CPO 主流光源方案，且 CW-DFB 光源也是当前硅光芯片主流方案，随着 CPO 的发展，ELS 的需求有望得到提升，同时光通信速率需求的不断提升，硅光芯片的通道数也随之增长，CW 光源需求量有望得到进一步发展，重视 ELS 及 CW 芯片供应厂商；

无源器件：相较于传统可插拔光模块方案，CPO 方案在交换机内容引入额外的光纤及连接器，包括 PM 光纤、FAU、光纤连接器（如 MPO/MT/扩束连接器等）、根据光纤整理方案的不同，还或涉及 Fiber shuffle 等无源产品，重视相关无源器件供应商；

(3) 先进工艺板块：

Interposer：作为 2.5D 封装电气互连基础，根据材质不同可以分为硅基、玻璃、有机 Interposer，针对不同封装方案，重视相关产品供应商；

封装工艺：CPO 技术涉及大量先进半导体工艺，以及封装方案，随着 CPO 技术逐步落地，国内厂商有望直接获得相关份额，或与国内光引擎厂商合作，通过光引擎的封装及测试代工切入到 CPO 产业链条；

(4) 交换机板块：

交换机&交换芯片：CPO 作为高速交换机方案之一，随着 AIGC 发展，交换机产业链有望长期受益，重视交换机&交换芯片供应商；

表2：CPO 产业重要板块及公司

板块	公司
光引擎 硅光光器件/ 光模块	推荐标的：中际旭创、新易盛、天孚通信、亨通光电；受益标的：华工科技、光迅科技、博创科技、剑桥科技、万通发展、铭普光磁、聚飞光电、光库科技等
硅光配套厂 商	受益标的：罗博特科、杰普特、炬光科技等

光互连	ELS/CW 光源	受益标的：源杰科技（CW）、长光华芯（CW）、仕佳光子（CW）、锐科激光（CW）、光迅科技（ELS）、航天电器（ELS）等
	TEC	受益标的：富信科技、东方电子
	光纤	推荐标的：中天科技、亨通光电；受益标的：长飞光纤（PM）、烽火通信（PM）、光库科技（PM）等
	光纤连接器	推荐标的：天孚通信（MPO）；受益标的：太辰光（MPO）、致尚科技（MPO）、中航光电（MPO）、特发信息（MPO）、仕佳光子（FA）、光库科技（FA、MPO、MT）、博创科技（FA）、通鼎互联、亨通光电等
	封装工艺	受益标的：通富微电、长电科技、华天科技、晶方科技、华封科技、文一科技、实益达、易天股份、凯格精机、炬光科技、华海诚科、艾科瑞思、强力新材、飞凯材料等
交换机	交换机/交换芯片	推荐标的：紫光股份、盛科通信、中兴通讯；受益标的：锐捷网络、菲菱科思、共进股份、烽火通信、光迅科技等

资料来源：开源证券研究所

表3：相关标的估值

证券简称	证券代码	评级	收盘价 (元)	市值 (亿元)	EPS (元/股)			PE		
					2024E	2025E	2026E	2024E	2025E	2026E
中际旭创	300308.SZ	买入	136.85	1534.32	4.58	7.33	8.05	29.85	18.67	17.00
新易盛	300502.SZ	买入	129.42	917.34	3.61	5.72	8.12	35.80	22.62	15.94
天孚通信	300394.SZ	买入	105.60	584.99	2.70	3.93	4.92	39.15	26.85	21.47
亨通光电	600487.SH	买入	17.97	443.27	1.15	1.35	1.61	15.58	13.31	11.19
华工科技	000988.SZ	未评级	42.98	432.17	1.31	1.68	2.12	32.71	25.56	20.24
光迅科技	002281.SZ	增持	56.00	444.41	0.98	1.37	1.72	57.18	40.84	32.55
博创科技	300548.SZ	未评级	45.70	131.59	0.59	0.76	0.91	77.41	60.18	50.16
剑桥科技	603083.SH	增持	45.23	121.24	-	-	-	-	-	-
万通发展	600246.SH	未评级	7.04	139.91	-	-	-	-	-	-
铭普光磁	002902.SZ	未评级	24.54	57.79	0.31	0.59	-	80.27	41.75	-
聚飞光电	300303.SZ	未评级	7.22	101.68	0.21	0.27	0.34	34.23	26.90	21.23
光库科技	300620.SZ	未评级	49.43	123.17	0.33	0.53	0.72	150.70	93.60	68.42
罗博特科	300757.SZ	未评级	227.44	352.62	0.82	1.15	1.43	277.87	198.03	158.56
杰普特	688025.SH	增持	48.97	46.55	1.60	2.24	2.86	30.60	21.88	17.14
炬光科技	688167.SH	买入	63.52	57.40	0.96	1.75	2.49	66.17	36.30	25.51
源杰科技	688498.SH	买入	139.70	119.39	0.40	0.48	0.56	349.25	291.04	249.46
长光华芯	688048.SH	买入	39.31	69.30	-0.27	0.14	0.34	-147.12	272.42	114.64
仕佳光子	688313.SH	增持	15.13	69.42	0.11	0.22	0.34	136.18	68.31	44.79
锐科激光	300747.SZ	未评级	19.99	112.91	0.43	0.59	0.79	46.81	33.96	25.15
航天电器	002025.SZ	未评级	51.27	234.24	1.63	2.15	2.71	31.44	23.85	18.95
长飞光纤	601869.SH	未评级	31.57	239.27	1.16	1.39	1.62	27.12	22.72	19.55
烽火通信	600498.SH	增持	19.51	231.09	0.57	0.79	0.98	34.15	24.71	19.83
光库科技	300620.SZ	未评级	49.43	123.17	0.33	0.53	0.72	150.70	93.60	68.42
太辰光	300570.SZ	未评级	74.20	168.53	1.08	1.66	2.21	68.60	44.81	33.62
致尚科技	301486.SZ	未评级	47.65	61.32	0.63	0.76	1.16	75.89	62.72	41.26

证券简称	证券代码	评级	收盘价 (元)	市值 (亿元)	EPS (元/股)	PE				
中航光电	002179.SZ	未评级	39.80	843.63	1.74	2.11	2.50	22.91	18.89	15.90
紫光股份	000938.SZ	买入	28.96	828.28	0.81	1.08	1.29	35.75	26.81	22.45
盛科通信-U	688702.SH	买入	89.00	364.90	11.62	15.36	20.88	7.66	5.79	4.26
中兴通讯	000063.SZ	买入	40.08	1917.24	1.89	2.07	2.35	21.21	19.36	17.06
锐捷网络	301165.SZ	未评级	74.21	421.65	0.95	1.24	1.52	78.46	59.73	48.76
菲菱科思	301191.SZ	未评级	97.78	67.80	2.26	3.00	3.86	43.32	32.60	25.34
共进股份	603118.SH	增持	9.01	70.93	0.14	0.25	0.34	62.88	35.94	26.49

资料来源：Wind、开源证券研究所，股价为 2024 年 12 月 28 日收盘价，除中际旭创、新易盛、天孚通信、源杰科技、炬光科技、紫光股份、盛科通信、中兴通信由开源证券研究所预测外，其余标的均采用 Wind 一致预期

6、风险提示

(1) AIGC 发展放缓，配套 CPO 需求不及预期的风险

全球企业 IT 支出和数据中心建设发展若不及预期，整体光通信升级放缓，配套 CPO 等技术产品或面临需求减弱的风险。

(2) CPO 相关工艺升级不及预期的风险

CPO 涉及技术领域众多，如硅光工艺、封装技术等对量产的影响较大，若相关工艺发展不及预期，或严重影响 CPO 发展。

(3) CPO 产业链推动不及预期影响

CPO 作为下一代光通信技术，对原有光通信产业格局或造成深远影响，配套供应链体系复杂，若相关领域推进不及预期，亦将影响 CPO 发展。

(4) 存在贸易壁垒的风险

目前 CPO 发展需求主要集中于海外，如果未来国际环境发生不利影响，或将减少国产相关产品需求，增加关键原材料的采购难度，影响国内 CPO 产业发展。

特别声明

《证券期货投资者适当性管理办法》、《证券经营机构投资者适当性管理实施指引（试行）》已于2017年7月1日起正式实施。根据上述规定，开源证券评定此研报的风险等级为R4（中高风险），因此通过公共平台推送的研报其适用的投资者类别仅限定为专业投资者及风险承受能力为C4、C5的普通投资者。若您并非专业投资者及风险承受能力为C4、C5的普通投资者，请取消阅读，请勿收藏、接收或使用本研报中的任何信息。因此受限于访问权限的设置，若给您造成不便，烦请见谅！感谢您给予的理解与配合。

分析师承诺

负责准备本报告以及撰写本报告的所有研究分析师或工作人员在此保证，本研究报告中关于任何发行商或证券所发表的观点均如实反映分析人员的个人观点。负责准备本报告的分析师获取报酬的评判因素包括研究的质量和准确性、客户的反馈、竞争性因素以及开源证券股份有限公司的整体收益。所有研究分析师或工作人员保证他们报酬的任何一部分不曾与，不与，也将不会与本报告中具体的推荐意见或观点有直接或间接的联系。

股票投资评级说明

	评级	说明
证券评级	买入（Buy）	预计相对强于市场表现 20%以上；
	增持（outperform）	预计相对强于市场表现 5%~20%；
	中性（Neutral）	预计相对市场表现在-5%~+5%之间波动；
	减持（underperform）	预计相对弱于市场表现 5%以下。
行业评级	看好（overweight）	预计行业超越整体市场表现；
	中性（Neutral）	预计行业与整体市场表现基本持平；
	看淡（underperform）	预计行业弱于整体市场表现。

备注：评级标准为以报告日后的 6~12 个月内，证券相对于市场基准指数的涨跌幅表现，其中 A 股基准指数为沪深 300 指数、港股基准指数为恒生指数、新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）、美股基准指数为标普 500 或纳斯达克综合指数。我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议；投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者应阅读整篇报告，以获取比较完整的观点与信息，不应仅仅依靠投资评级来推断结论。

分析、估值方法的局限性说明

本报告所包含的分析基于各种假设，不同假设可能导致分析结果出现重大不同。本报告采用的各种估值方法及模型均有其局限性，估值结果不保证所涉及证券能够在该价格交易。

法律声明

开源证券股份有限公司是经中国证监会批准设立的证券经营机构，已具备证券投资咨询业务资格。

本报告仅供开源证券股份有限公司（以下简称“本公司”）的机构或个人客户（以下简称“客户”）使用。本公司不会因接收人收到本报告而视其为客户。本报告是发送给开源证券客户的，属于商业秘密材料，只有开源证券客户才能参考或使用，如接收人并非开源证券客户，请及时退回并删除。

本报告是基于本公司认为可靠的已公开信息，但本公司不保证该等信息的准确性或完整性。本报告所载的资料、工具、意见及推测只提供给客户作参考之用，并非作为或被视为出售或购买证券或其他金融工具的邀请或向人做出邀请。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会波动。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。客户应当考虑到本公司可能存在可能影响本报告客观性的利益冲突，不应视本报告为做出投资决策的唯一因素。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。本公司未确保本报告充分考虑到个别客户特殊的投资目标、财务状况或需要。本公司建议客户应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。若本报告的接收人非本公司的客户，应在基于本报告做出任何投资决定或就本报告要求任何解释前咨询独立投资顾问。

本报告可能附带其它网站的地址或超级链接，对于可能涉及的开源证券网站以外的地址或超级链接，开源证券不对其内容负责。本报告提供这些地址或超级链接的目的纯粹是为了客户使用方便，链接网站的内容不构成本报告的任何部分，客户需自行承担浏览这些网站的费用或风险。

开源证券在法律允许的情况下可参与、投资或持有本报告涉及的证券或进行证券交易，或向本报告涉及的公司提供或争取提供包括投资银行业务在内的服务或业务支持。开源证券可能与本报告涉及的公司之间存在业务关系，并无需事先或在获得业务关系后通知客户。

本报告的版权归本公司所有。本公司对本报告保留一切权利。除非另有书面显示，否则本报告中的所有材料的版权均属本公司。未经本公司事先书面授权，本报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。所有本报告中使用的商标、服务标记及标记均为本公司的商标、服务标记及标记。

开源证券研究所

上海

地址：上海市浦东新区世纪大道1788号陆家嘴金控广场1号楼3层
邮编：200120
邮箱：research@kysec.cn

北京

地址：北京市西城区西直门外大街18号金贸大厦C2座9层
邮编：100044
邮箱：research@kysec.cn

深圳

地址：深圳市福田区金田路2030号卓越世纪中心1号楼45层
邮编：518000
邮箱：research@kysec.cn

西安

地址：西安市高新区锦业路1号都市之门B座5层
邮编：710065
邮箱：research@kysec.cn