

半导体设备行业深度：  
AI芯片快速发展，  
看好国产算力带动后道测试&先进封装设备需求

首席证券分析师：周尔双  
执业证书编号：S0600515110002  
[zhouersh@dwzq.com.cn](mailto:zhouersh@dwzq.com.cn)

证券分析师：李文意  
执业证书编号：S0600524080005  
[liwenyi@dwzq.com.cn](mailto:liwenyi@dwzq.com.cn)

2025年9月21日

- **AI芯片快速发展，带来封测设备新需求。** (1) **测试机：** SoC芯片作为硬件设备的“大脑”，承担着AI运算控制等核心功能，对计算性能和能耗的要求极高，这使得芯片设计和制造的复杂性大幅增加，先进存储芯片为AI算力芯片提供高带宽的数据存储和传输支持，其容量和带宽的不断提升也进一步增加了芯片的复杂性，因此SoC芯片和先进存储芯片的复杂性提升共同推动了对高性能测试机需求的显著增长； (2) **封装设备：** HBM显存的高带宽突破了加速卡的显存容量限制； COWOS封装技术作为一种2.5D技术，是GPU与HBM高速互联的关键支撑。2.5D和3D封装技术需要先进的封装设备的支撑，进一步推动了对先进封装设备的需求增长。
- **后道测试：AI测试要求提升，关注国产测试机双龙头。** 我们预估2025年半导体测试设备市场空间有望突破138亿美元，SoC与存储测试机分别合计达48/24亿美元。 (1) **SoC测试机：** AI/HPC芯片的高集成度、高稳定性要求以及先进制程特性，导致测试量与测试时间显著增加，从而推动了对SoC测试机的需求增加。 (2) **存储测试机：** HBM测试包括晶圆级测试和KGSD测试，晶圆级测试增加了逻辑芯片测试，KGSD测试替代了常规的封装级测试，HBM高集成度、内嵌式I/O及裸片堆叠封装的技术特征，大幅提升了存储测试工艺的复杂度和难度。 (3) **测试机的核心壁垒在于测试板卡和芯片：** PE和TG芯片由于技术难度极大、市场空间较小，被ADI、TI等公司垄断，主控芯片多采取ASIC架构以保证测试速度，而ASIC架构芯片的开发需要极大的成本和漫长的迭代时间，800Mbps以上的高端机型需要用到自己研发的ASIC芯片。2024年全球半导体测试机市场基本由爱德万和泰瑞达垄断，合计份额约90%。
- **后道封装：HBM等先进封装快速发展，关注国产封装设备商。** 先进与传统封装最大区别在于芯片与外部电连接方式，先进封装省略引线，采取传输速度更快的凸块、中间层等，传统&先进封装所需设备有一定重合但工艺要求有所变化，设备增量主要在于前道图形化设备。
- **投资建议：** 我们建议投资者关注国内AI芯片带来的封测设备端投资机会。 (1) **测试设备：** 国产AI芯片制造采用更大的引脚和电流，测试难度显著提升，关注国产算力带来的国产测试机突破，相关标的为华峰测控、长川科技； (2) **封装设备：** 国产AI芯片采用CoWoS先进封装，中国在封测环节具备较强全球竞争力，国内先进封装有望进入起量元年，关注国产封装设备新机遇，相关标的为晶盛机电（减薄机）、某泛半导体领域设备龙头（磨划+键合）、华海清科（减薄机）、盛美上海（电镀机）、芯源微（涂胶显影+键合机）、拓荆科技（键合机）等。
- **风险提示：** 下游扩产不及预期，研发进展不及预期等。

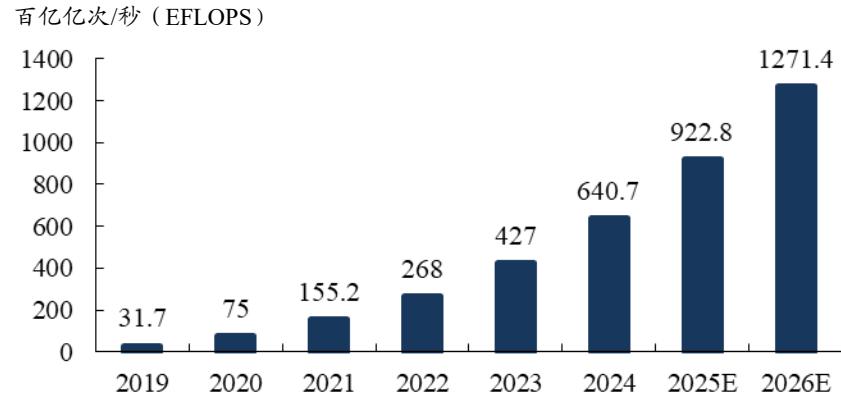


- 一、AI芯片快速发展，带来封测设备新需求
- 二、后道测试：AI测试要求提升，关注国产测试机双龙头
- 三、后道封装：先进封装快速发展，关注国产封装设备商
- 四、投资建议
- 五、风险提示

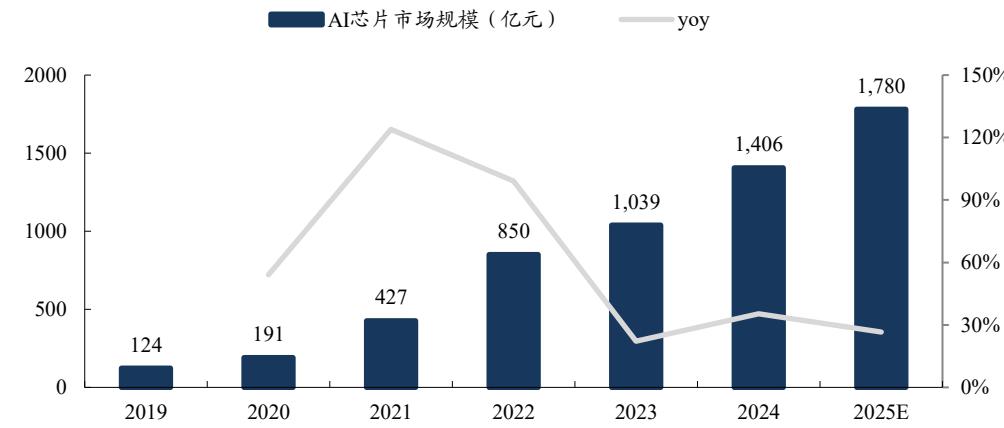
## 1.1 AI加速产业化，推动算力中心、终端用芯片需求快速增长

- 随着ChatGPT、DeepSeek等AI的兴起，2024年中国智能算力规模达640.7EFLOPS。根据IDC数据，2024年中国AI服务器市场规模将突破190亿美元，同比增长87%；对应智能算力规模达到640.7百亿次/秒（EFLOPS）。2026年中国智能算力规模则有望达1271.4 EFLOPS，2019-2026年复合增长率达58%。随着AI的不断发展，智能算力市场在中国将持续扩大，对AI算力芯片需求有望持续放量。
- 云端算力中心外，端侧应用发展迅猛。DeepSeek等开源模型的出现，推动端侧AI产品加速落地，SoC芯片有望加速放量。
- 随着云端与端侧AI应用加速产业化，中国2024年AI芯片市场规模突破1400亿元。根据IDC，2024年中国AI芯片市场规模达1405.9亿元，2019-2024年CAGR达36%。

◆ 图：中国智能算力规模2024年达640.7EFLOPS



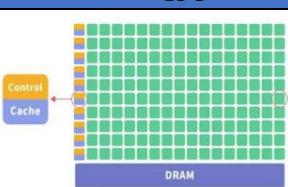
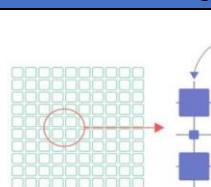
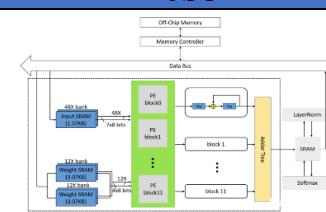
◆ 图：中国AI芯片市场规模2024年达1406亿元



## 1.2 AI芯片主要分为技术与应用层面两大类

- AI芯片是专门用于处理人工智能应用中大量计算任务的芯片。它通过优化硬件架构，能够高效处理大规模并行计算和复杂的神经网络算法，提升计算效率和能效比，是人工智能技术发展的重要硬件基础。
- AI芯片可以从技术层面和应用层面进行分类：（1）技术层面：①GPU（图形处理单元）：最初用于图形处理任务，但因其强大的并行计算能力，被广泛应用于人工智能领域。它能够高效处理大规模矩阵运算，适合深度学习中的训练和推理任务。②FPGA（现场可编程门阵列）：FPGA是一种可编程的集成电路，在制造完成后仍可使用配套软件对芯片进行功能配置，可以根据具体需求配置其内部逻辑功能，它结合了硬件流水线并行和数据并行处理能力，适合低延迟、低功耗的实时计算任务，常用于边缘计算和推理阶段。③ASIC（专用集成电路）：ASIC是为特定应用场景定制的芯片，具有高度优化的硬件架构，能够实现极高的性能和能效比，缺点是电路设计需要定制，相对开发周期长，功能难以扩展，其通常用于大规模推理任务。④NPU（神经网络处理器）：NPU是专为神经网络计算设计的芯片，模拟人脑神经元和突触的工作方式，能够高效处理深度学习任务，它通常用于移动设备和物联网终端，具有低功耗、高性能的特点。

### ◆ 图：主要AI芯片对比

品类	GPU	FPGA	ASIC	NPU
图例				
特点	图形处理能力，高并行计算能力强	功能可修改，数据并行处理能力强	性能功耗比高，算力水平高，灵活性差	功耗低，认知能力强，通信效率高
优点	通用性强，开发和使用门槛低，有大	可重构性强，适用于多种应用，开发周期短，灵活性高	性能和能效比高，单位成本低，适合量产，可靠性高	效率高，功耗低
缺点	功耗较高，价格较贵	单位成本高，开发难度大，性能和能效比不高	开发成本高，设计周期长，灵活性差	通用性差，开发难度高，生态和工具链不够成熟
适用场景	图形处理和密集型并行运算	算法频繁更新或市场规模小的领域	市场需求量大的专用领域	各种具体行业
主要厂商	AMD, 英伟达	赛灵思, Lattice	博通, 寒武纪	英特尔

- (2) 应用层面: ①云端AI芯片: 云端AI芯片应用在智能计算中心等相对远离用户侧的AI芯片, 算力通常可达到100TOPS以上。云端AI芯片是实现大规模数据处理和深度学习模型训练的关键。②终端AI芯片: 终端AI芯片有很高的计算能效, 通常部署在电子产品、汽车、工厂等终端设备上。其快速数据处理能力降低了对云端计算资源的依赖, 从而减少运营成本与算力中心算力压力。
- 云端AI芯片又可分为训练芯片和推理芯片: ①AI训练芯片: 这类芯片主要用于人工智能模型的训练阶段, 即通过大量的数据来“训练”AI模型。训练过程需要进行大量的矩阵运算和参数调整, 因此其通常需要具备强大的计算能力和高能效比, 所以价格也远高于推理芯片。②AI推理芯片: 推理芯片则用于模型训练完成后的部署阶段, 主要负责执行模型的推理任务。推理过程对实时性要求较高, 因此推理芯片需要在保证准确率的同时, 具备快速响应和低功耗的特点。

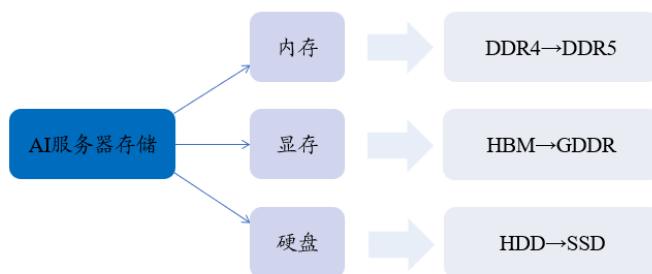
### ◆ 图: AI训练芯片和AI推理芯片对比

	AI训练芯片	AI推理芯片
环节	使用大量数据来训练模型, 使其能够学习数据特征并做出准确预测, 从而适应特点功能。	模型训练完成后的应用阶段, 利用训练好的模型, 使用新数据推理出各种结论。
计算性能	极高, 英伟达H100的FP16算力达1979TOPS	较低, 英伟达T4的INT8算力仅为130TOPS
精度要求	较高	较低
应用场景	在数据中心或云环境中进行, 需要处理庞大的数据集和复杂的计算任务。	广泛应用于各种场景, 包括智能手机、智能家居、自动驾驶汽车、云服务等, 这些场景要求模型能够快速且准确地响应。
影响需求的因素	大模型数量、数据集规模、模型复杂度、模型训练时长等因素	应用场景、实时性要求、能效比和成本等因素
未来趋势	增速放缓, 可能会集中在提高训练效率、降低成本和支持更复杂的模型上	可能集中在提升能效、减小延迟和支持更广泛的部署环境
主要产品	NVIDIA的A100、AMD的MI100等高性能GPU, 以及Google的TPU等专用AI芯片	NVIDIA的T4、Intel的Movidius VPU等

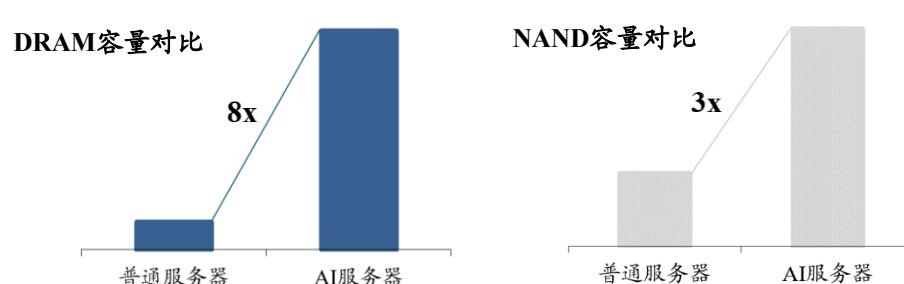
## 1.3 AI算力芯片对先进存储器需求激增

- AI算力芯片对存储器件需求极高。AI算力卡需要处理包含亿计的文本、图像资料的数据集，以支持机器学习模型的训练和推理。以OpenAI的SDXL应用为例，该应用能够将文本转换为图像，其训练过程中使用了超过1亿张图片作为数据集。这样的大规模数据处理对内存的要求极高，不仅需要足够的容量来存储这些庞大的数据集，还需要足够的带宽来保证数据能够迅速地在内存和处理器之间传输。
- AI算力芯片在内存、显存、硬盘上均有更高性能需求：（1）内存方面，DDR5逐渐取代DDR4。DDR5的传输速率可达DDR4的2倍以上，同时，DDR5每个模块的容量更高，为128GB，是DDR4的2倍。据美光数据，AI服务器中DRAM容量是普通服务器的8倍，NAND容量将是普通服务器的3倍。（2）显存方面，HBM在加速卡上全面取代GDDR显存，相较GDDR，HBM具有高带宽、高容量、低功耗和小尺寸四大优势。（3）硬盘方面，SSD逐渐替代HDD。
- 训练卡对比推理卡主要差异在显存，训练卡通常使用HBM：训练卡需要处理海量的数据，对存储的带宽和容量要求极高。HBM具有高带宽、低延迟的特点，能够满足训练过程中大量数据的快速读写需求，因此其成为训练卡的首选存储类型。推理卡虽然对存储的要求相对训练阶段有所降低，但仍需要一定的带宽和容量来保证推理的实时性和准确性，DDR内存具有较高的性价比和良好的兼容性，能够满足推理卡的存储需求。

◆ 图：算力芯片带动先进存储器放量



◆ 图：AI服务器DRAM容量需求是普通服务器的8倍



## 1.4 端侧AI应用落地，加速SoC芯片放量

- **端侧AI市场应用广泛。** 端侧AI是指在终端设备如智能手机、智能家居设备、智能穿戴设备等上实现人工智能功能。端侧AI正迅速渗透到我们日常生活的各个方面，从智能手机的语音识别和图像处理，到智能家居设备的自动化控制，再到可穿戴设备的健康监测，其使用场景不断丰富，市场应用广泛。
- **随着端侧AI应用的陆续落地，SoC芯片的需求不断增长。** 在AI终端设备上完成数据处理，无需将大量数据上传至云端，从而减少了数据传输延迟并缓解了算力中心服务器的压力。集成CPU、GPU和NPU的SoC芯片能够完美胜任这一任务，预计将在端侧AI应用的发展潮流中加速放量。
- **全球SoC芯片市场规模稳健增长。** SoC芯片通过高度的集成化和高性能设计，满足了不同应用领域的多样化需求。随着端侧AI应用的迅速渗透，SoC芯片市场需求的不断增长。根据Mordor Intelligence，2030年全球SoC芯片市场规模有望达到2741亿美元。

◆ 图：SoC芯片应用场景广泛



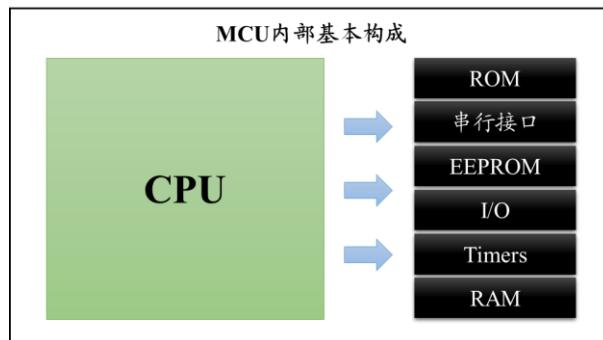
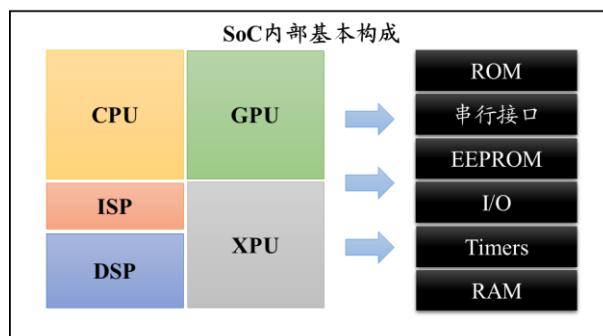
◆ 图：全球SoC芯片市场空间预计2030年将达2741亿美元



## 1.5 SoC芯片集成度高，IP核是核心

- 系统级芯片（SoC）是将一个完整系统的所有功能，包括处理器、存储器、输入输出接口等集成在一个芯片上的集成电路，旨在实现高度集成化、高性能和低功耗，广泛应用于各类电子设备中。与微控制器芯片（MCU）相比，SoC集成度高，包含处理器、多种功能模块等，可处理复杂任务。而MCU虽然集成度相对较低，但功耗和成本都比较低，开发过程也相对简单，更适用于对成本和功耗敏感、功能需求相对单一的应用场景。
- IP核是SoC芯片的核心，它是一种经过预先设计、验证，可以被重复使用的集成电路模块，通常以知识产权的形式存在，可分为软核、硬核和固核等不同类型。SoC通过集成各种IP核来实现复杂功能，IP核能大幅缩短设计周期、提高设计效率、降低成本、提升性能，是SoC实现高度集成化、高性能和低功耗目标的关键。

◆ 图：SoC与MCU内部基本结构对比



◆ 图：SoC常见IP与模块

组件	主要功能
中央处理器CPU	SoC芯片的中央处理单元，基于该CPU运行系统软件/应用软件，配合SoC芯片内部的其他硬件模块实现功能
图形处理器GPU	SoC芯片的图形处理单元，基于该GPU实现可运行于SoC芯片的各种游戏、各种图形UI界面的渲染和特效、高性能计算等
数字信号处理器DSP	用于运行运算量较大的算法软件或应用软件，比如视频编解码、图形图像处理、视觉影像处理、语音处理等
视觉处理器VPU	视频图像编码、解码单元，用作硬件加速引擎分别实现视频/图像数据的编码、压缩和终端产品上各种格式视频的解码、播放
总线	用于SoC芯片内部主设备和从设备之间的数据访问和互联互通，高性能的实现各种主设备同时访问多个从设备
接口	实现SoC芯片和其他芯片或外设的连接，用于SoC芯片外接存储器、摄像头、各种显示屏（包括电视）、USB设备等或用于实现各种高速数据传输
工艺物理库	用于优化CPU、GPU等高性能IP核工艺单元库，以提高高性能的设计效率
图像信号处理器	主要负责图像信号处理，处理相机拍照和视频
神经网络处理器	专门用于加速人工智能应用的芯片，它可以在较短的时间内完成大量的计算任务，从而提高了人工智能应用的效率和速度
调制解调器	一个将数字信号调到模拟信号上进行传输，并解调收到的模拟信号以得到数字信号的电子设备
显示渲染引擎	主要负责与触摸屏的显示器进行通信
存储控制器	主要负责管理连接到计算机系统的存储设备（如硬盘、固态硬盘等），比如数据传输，错误检测和校验、I/O调度，缓存管理等
加密管理	共钥私钥技术通过将敏感的用户数据隔离在一个专用子系统中来保护这些数据

## 1.6 国外巨头仍占据绝大部分市场份额，国产化替代加速



- AI芯片仍由海外巨头占据大部分市场份额，亟待国产替代。英伟达、英特尔、AMD、谷歌和Qualcomm等公司凭借其在芯片领域的长期领先地位，迅速切入AI领域并积极布局，形成了强大的产业生态和技术壁垒。其中，英伟达在GPU处于完全垄断地位，截止至2025年Q1占据近90%的市场份额，AMD、谷歌等厂商也纷纷紧随其后。
- 我国华为、海光、寒武纪等企业加速打破芯片技术垄断。  
(1) 华为凭借多年研发积累，推出了昇腾系列AI芯片。其中昇腾910则是目前华为推出的最强算力芯片，其AI芯片昇腾910B，性能已达到英伟达A100芯片水平，算力达到640TOPS (INT8)。  
(2) 海光基于x86架构开发出DCU深算2号训练芯片，具备高性价比优势，在数据中心、人工智能推理等场景应用广泛，助力企业实现算力自主可控。  
(3) 寒武纪推理卡研发迭代，性能持续提升。思元370集成了390亿个晶体管，目前最大算力已达到256TOPS (INT8)。

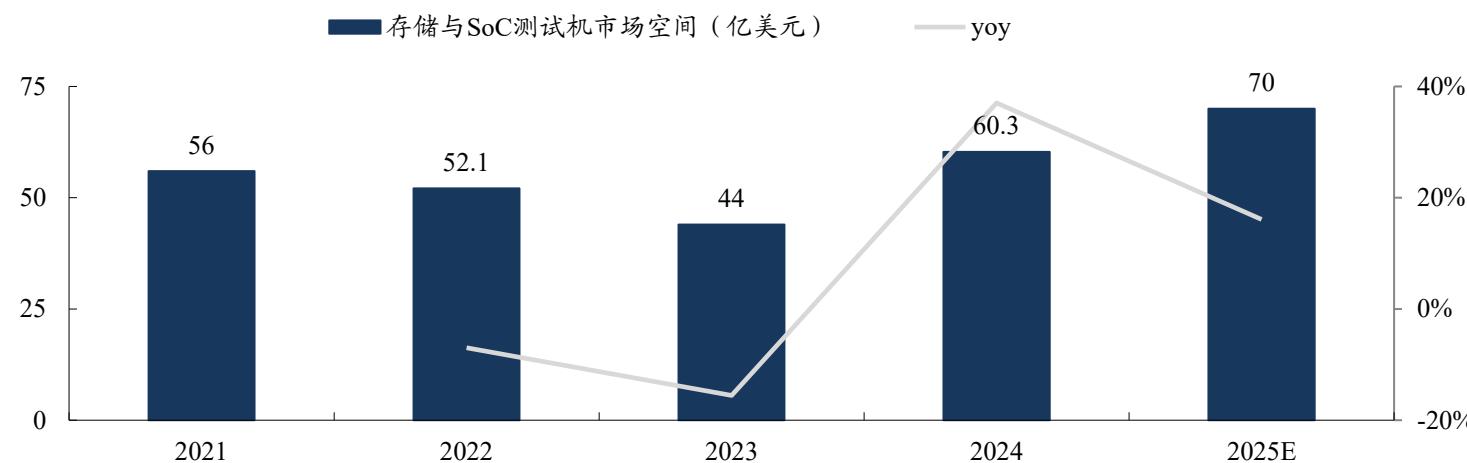
### ◆ 图：我国芯片持续迭代，加速打破芯片垄断

厂商	英伟达			AMD	华为		海光信息	寒武纪
<b>FP64</b>	L40S	A100 SXM	H100 SXM	MI300X	昇腾 310	昇腾 910	DCU	思元 370
<b>FP32</b>	-	9.7T	34T	47.9T	-	-	11.5T	-
<b>FP16</b>	183T	19.5T	67T	47.9T	-	-	-	24T
<b>INT8</b>	362.05T	312T	989.5T	383T	11T	320T	-	96T
<b>内存容量</b>	733T	624T	1979T	-	22T	<b>640T</b>	-	<b>256T</b>
<b>内存带宽</b>	48GB	80GB	80GB	192GB	-	-	32GB	24GB
<b>功耗</b>	864GB/S	1.99TB/S	3.35TB/S	5.05TB/S	-	-	1TGB/S	307.2GB/S
	350W	400W	700W	600W	8W	310W	260 - 350W	150W

## 1.7 云端先进存储+端侧SOC芯片需求旺盛，带动测试机需求

- SoC芯片与先进存储芯片是AI产业化的关键基础硬件，其复杂性均显著提升，从而推动了测试机需求的增长。SoC芯片作为硬件设备的“大脑”，承担着AI运算控制等核心功能，对计算性能和能耗的要求极高，这使得芯片设计和制造的复杂性大幅增加。与此同时，先进存储芯片为AI算力芯片提供高带宽的数据存储和传输支持，其容量和带宽的不断提升也进一步增加了芯片的复杂性。因此，SoC芯片和先进存储芯片的复杂性提升共同推动了对高性能测试机需求的显著增长。
- 根据爱德万预测，受HPC/AI芯片需求增加，2025年全球存储与SoC测试机市场空间有望突破70亿美元。

◆ 图：全球存储与SoC测试机需求有望在2025年突破70亿美元



## 1.8 HBM显存+CoWoS封装成为主流，带动先进封装设备需求



- AI芯片需要更高的集成度和性能，HBM显存+CoWoS封装技术已成为主流方案。HBM显存的高带宽突破了加速卡的显存容量限制；CoWoS封装技术作为一种2.5D技术，是GPU与HBM高速互联的关键支撑。2.5D和3D封装技术需要先进的封装设备的支撑，进一步推动了对先进封装设备的需求增长。
- 先进封装与传统封装工艺流程最大的区别在于增加了前道图形化的工序，主要包括PVD或CVD等薄膜沉积设备、涂胶显影设备、光刻机、刻蚀机、电镀机等。先进与传统封装均需要减薄机、划片机、固晶机、塑封机、键合机等设备，与传统封装不同的是，先进封装也需要晶圆制造的前道图形化设备，如TSV需要硅刻蚀钻孔、需要PVD来制作种子铜层，凸块也需要涂胶显影、光刻、刻蚀来制作更精细的间距。

◆ 图：先进封装主要增量在于前道的图形化设备--薄膜沉积、涂胶显影、光刻机、刻蚀机、电镀机等

先进封装技术	涉及的主要工艺设备	功能
TSV	深孔刻蚀设备	用于在硅基板上形成垂直穿透的通孔。这些设备通常基于干法刻蚀技术，如Bosch工艺。
	PVD\CVD设备	用于在通孔内壁沉积绝缘层、阻挡层和种子层。这些设备通过物理气相沉积 (PVD) 或化学气相沉积 (CVD) 技术来实现。
	电镀设备	用于在通孔内进行导电物质 (如铜) 的填充。电镀设备通过电流作用在通孔内沉积金属，形成导电通道。
	晶圆减薄设备	在完成导电物质填充后，需要对晶圆进行减薄，以便暴露出TSV的底部。晶圆减薄设备通常采用机械研磨或化学腐蚀等方法来实现。
	晶圆键合设备	用于将多个带有TSV的晶圆键合在一起，形成三维集成电路。晶圆键合设备通过施加压力、温度和/或电场等条件，促进晶圆之间的连接。
RDL	涂胶显影机	用于在芯片表面涂覆光刻胶，以定义出RDL图形的轮廓。
	光刻机	用于将RDL图形从掩膜转移到涂有光刻胶的芯片表面。光刻机通过曝光和显影过程，将RDL图形精确地转移到芯片上。
	刻蚀机	用于通过湿法或干法刻蚀技术，将RDL图形从芯片表面刻蚀出来。刻蚀机根据光刻胶定义的图形，去除芯片表面的材料，形成RDL布线结构。
	PVD	用于在刻蚀出的RDL布线结构上沉积阻挡层和籽晶层。溅射台通过物理溅射技术，将金属材料沉积在芯片表面，以形成良好的导电层。
	电镀设备	用于在籽晶层上进行铜的填充和增厚。电镀设备通过电流作用，在籽晶层上沉积铜材料，形成RDL布线层的导电通道。



- 一、AI芯片快速发展，带来封测设备新需求
- 二、后道测试：AI测试要求提升，关注国产测试机双龙头
- 三、后道封装：先进封装快速发展，关注国产封装设备商
- 四、投资建议
- 五、风险提示

## 2.1 ATE细分领域多元，AI兴起背景下SoC/存储测试机加速放量

- **自动测试设备（ATE）细分领域多元，市场需求存在差异：**不同类型芯片的测试需求的侧重点不同，ATE根据下游应用可细分为存储测试机、SoC测试机、模拟/混合类测试机、射频测试机；全球ATE市场以存储器和SoC测试为主，在AI兴起大背景下SoC测试机与存储测试机有望加速放量。
- **（1）SoC测试机：**主要针对SoC芯片的测试系统，其核心技术壁垒在于复杂多样的测试板卡。这些板卡需集成逻辑模块、微处理器（MCU/CPU）、数字信号处理器（DSP）、嵌入式存储器、外部通信接口、模拟前端（含ADC/DAC）、电源管理模块（PMIC）、人工智能加速器（如NPU）和安全加密模块等。SoC测试机适用于微处理器（如GPU、MCU、CPU）、通信芯片等纯数字芯片，以及数模混合或数字射频混合芯片，测试引脚数可达1000以上，对信号频率要求高，尤其是数字通道。目前，市场上的SoC测试机价格区间为20-150万美元，主要供应商包括泰瑞达、爱德万和华峰测控，国产化率较低。

◆ 表：SoC测试机测试对象、技术参数及主要玩家

测试机分类	测试对象	单芯片引脚数	主要参数	技术难点和特点	主要供应商	价格区间	国产化率
SoC 测试机	CPU、GPU、ASIC、DSP、MCU、CIS、显示驱动芯片、高端AD/DA芯片、射频芯片、专用加速芯片等	几十至上千个引脚	速度 100MHz - 1.6GHz 向量深度 256 - 512MV 调试工具 5 - 10 种 协议 100 余种 并测几百到几千引脚	SoC 芯片总体测试要求非常高，对测试机速度、精度、向量深度、种类、测试方法和算法、调试工具、软件等要求极高，尤其是数字通道测试频率要求较高。随着芯片制程工艺的不断缩小、芯片复杂度和技术要求提高，需要持续研发以适应不断迭代的高端芯片和新的技术标准协议	泰瑞达（UltraFlex 和 T50 系列） 爱德万（V93000 系列） 华峰测控（STS8300）	20-150万美元	较低

## 2.1 ATE细分领域多元，AI兴起背景下SoC/存储测试机加速放量



- (2) 存储测试机：主要用于对存储器进行测试，其运行原理与模拟测试机或SoC测试机相似，但主要差异在于使用的测试板卡。尽管存储器的逻辑电路部分相对简单，且无需像SoC测试机那样搭配多种板卡，但由于存储单元数量众多且数据量巨大，存储测试机需具备较多的管脚数，并对速率和信号同步性提出更高要求，因此存储器对测试板卡的速率和通道数有极高要求。目前，市场上存储测试机的价格区间为100万至300万美元，主要供应商为爱德万，国产化率极低。
- (3) 射频测试机：射频测试机主要用于测试射频器件、模块及系统，通过发射和接收射频信号，精确测量频率、功率、调制特性、增益、噪声系数、谐波等性能指标。它具备复杂的射频信号生成和分析能力，可处理不同频率、功率和调制方式的信号，并对微弱反馈信号进行精确分析。射频测试机通常配备高带宽信号处理通道、高精度频率合成器和信号检测器等关键部件，对电磁兼容性和测试环境稳定性要求较高。目前，射频测试机的市场价格在30-40万美元之间，主要供应商为泰瑞达和爱德万，国产化率较低。

◆ 表：存储测试机、射频测试机测试对象、技术参数及主要玩家

测试机分类	测试对象	单芯片引脚数	主要参数	技术难点和特点	主要供应商	价格区间	国产化率
存储测试机	DRAM、NAND、Nor Flash、3D XPoint、ReRAM、HBM、ROM等存储芯片	几百个引脚	速度 200MHz - 6GHz 向量深度 256 - 512MV 调试工具 5 - 13 种 协议 2 - 3 种 并测数万个引脚	HBM、DRAM、NAND 测试对测试机要求很高，系统、软件、算法、调试工具系统庞大复杂，对新的 DRAM 标准持续支持带来的研发投入大，技术难度大，同测数量要求可达 1024DUT；存储密度的提高与存储技术的发展，也给测试带来新的技术难点	爱德万（T5系列） 泰瑞达（Magnum系列）	100-300万美元	极低
射频测试机	PA、FEM、射频开关等射频芯片	一般不超过 10 个引脚	速度 50MHz 向量深度 8 - 16MV 调试工具近 10 种 协议近 20 种 并测几十到上百个引脚	射频板卡 VSTT X/RX 需支持最新协议标准，频率要求高、带宽宽、量测精度要求高，核心射频板卡研发难度大，但软件和系统方面相对于 SOC 测试机没那么复杂	泰瑞达（UltraFLEX） 、爱德万（V93000 系列）	30 - 40 万美元	较低

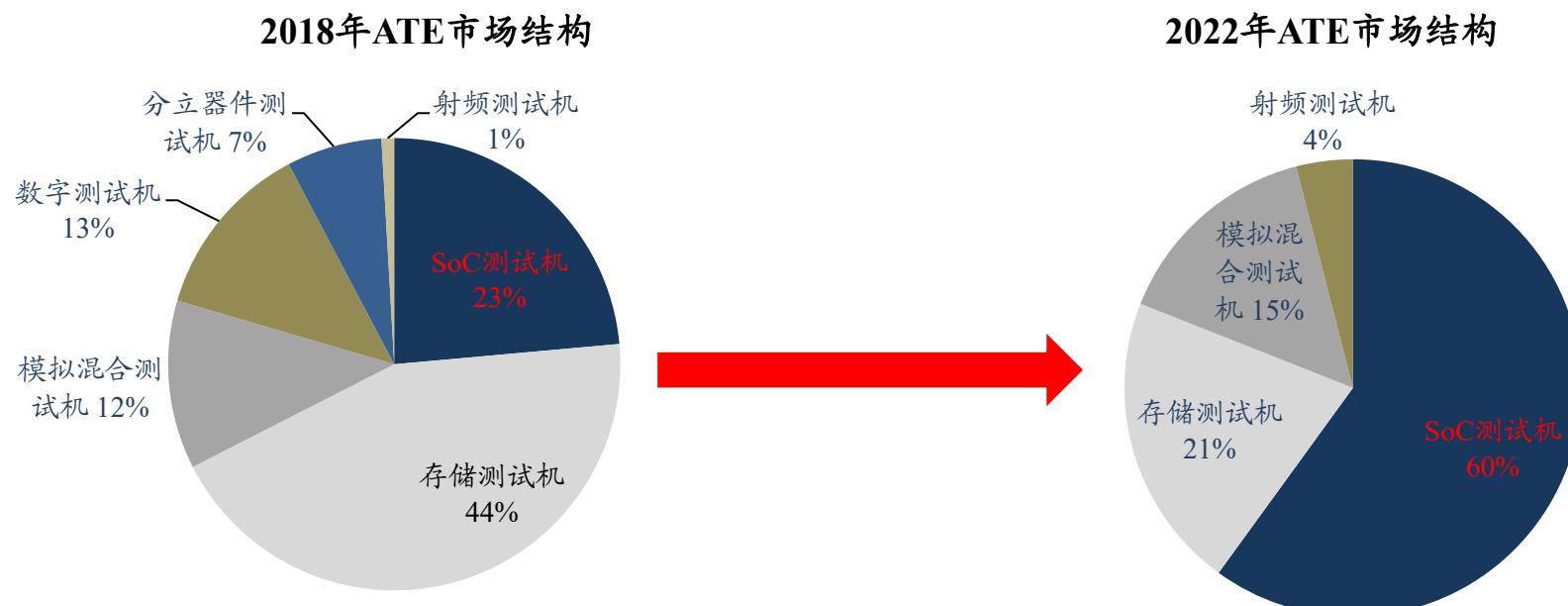
- (4) 模拟/混合类测试机：主要针对以模拟信号电路为主、数字信号为辅的半导体而设计的自动测试系统，被测电路主要包括电源管理器件、高精度模拟器件、数据转换器、汽车电子及分立器件等。其中模拟信号是指信息参数在给定范围内表现为连续的信号，或在一段连续的时间间隔内，其代表信息的特征量可以在任意瞬间呈现为任意数值的信号；数字信号是指人们抽象出来的时间上不连续的信号，其幅度的取值是离散的，且幅值被限制在有限个数值之内。模拟/混合类测试机技术难度整体不高，价格区间在5-15万美元，主要玩家为国外泰瑞达、国内华峰测控、长川科技和上海宏测，国产化率较高。

◆ 表：模拟/混合类测试机测试对象、技术参数及主要玩家

测试机分类	测试对象	单芯片引脚数	主要参数	技术难点和特点	主要供应商	价格区间	国产化率
分立器件测试机	MOS 管、二极管、三极管、IGBT 元件等	10个引脚以内	速度5 - 10MHz 向量深度8 - 16MV 调试工具1 - 3种 协议1 - 2种 并测几十到几百引脚	除 IGBT 等大电压、大电流的测试机相对有一定难度外，普通分立式器件测试对测试软件、算法和工具几乎无特别要求	泰瑞达 (ETS和Flex系列) 华峰测控 (STS8200) 长川科技 (CT系列) 上海宏测 (MTS737)	5-15万美元	较高
模拟测试机	放大器、电源芯片等	几个至几十个引脚		对测试软件、算法和工具要求不高			
数模混合测试机	低端AD/DA芯片等			对电压和电流的量测较多，只需基本的少量数字通道和矢量，对速度、向量深度、算法等要求不高			

- SoC测试机和存储测试机占据了测试机市场的半壁江山；随着AI技术的兴起，SoC测试机的市场占有率逐渐增加。根据SEMI的数据，2022年全球半导体测试机市场中，SoC测试机的市占率约为60%，相较于2018年的23%显著提升了37pct；存储测试机的市占率约为21%，模拟混合测试机约为15%，而射频模拟测试机的占比最小，约为4%。
- 我们认为随着AI芯片需求持续放量，SoC测试机、存储测试机市场占比进一步提高。

◆ 图：SoC测试机市占率在AI时代后显著提升



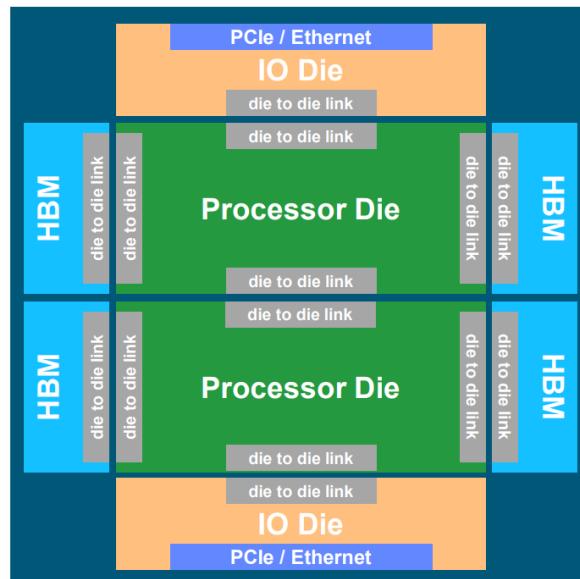
- 根据爱德万年报数据，2022-2026年SoC测试机市场空间分别为40.1/34.9/40.3/48.0/53.4亿美元。若我们假设测试机销售额占比稳定在63.1%，再假设SoC、存储、模拟和射频在测试机中销售额占比分别为55/28/12/5%；则我们预估2025年半导体测试设备市场空间有望突破138亿美元，SoC与存储测试机分别合计达48/24亿美元。

◆ 图：2025年半导体测试设备市场空间有望突破138亿美元，SoC与存储测试机分别合计达48/24亿美元

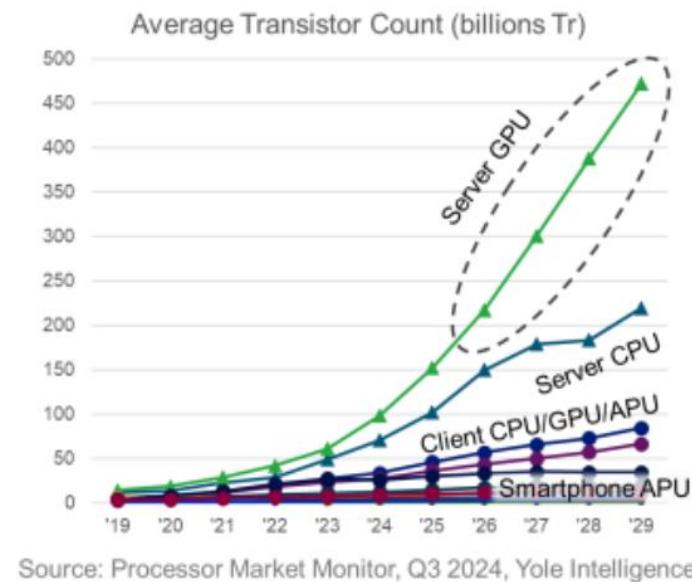
(单位：亿美元)		2022	2023	2024	2025E	2026E
全球半导体测试设备市场规模		115.53	100.67	116.23	138.37	153.78
yoY			-12.86%	15.46%	19.05%	11.14%
测试机 (63.1%)	SoC (55%)	40.1	34.9	40.3	48.0	53.4
	存储 (28%)	20.4	17.8	20.5	24.4	27.2
	模拟 (12%)	8.7	7.6	8.8	10.5	11.6
	射频 (5%)	3.6	3.2	3.7	4.4	4.9
	合计	72.9	63.5	73.3	87.3	97.0
分选机 (17.4%)		20.1	17.5	20.2	24.1	26.8
探针台 (15.2%)		17.6	15.3	17.7	21.0	23.4
其他 (4.3%)		5.0	4.3	5.0	5.9	6.6

## 2.2 SoC测试机：AI/HPC芯片测试量和时长激增，带动设备需求

- AI及数字货币技术爆发式发展，对AI芯片性能及算力要求更高。（1）随着ChatGPT等生成式AI技术的兴起，AI芯片数据处理能力要求显著提升。例如，从2018年OpenAI推出的GPT-1模型（1.17亿参数）到2023年的GPT-3.5（1750亿参数），参数量增长了近1500倍。（2）加密货币对高算力和低能耗的需求推动了对高性能芯片需求。例如，Antminer S19 Pro ASIC芯片的算力可达110 TH/s，能效比为21.5 J/TH。
  - 高性能算力（HPC）/AI芯片通过提升系统集成度和采用更高制程工艺来满足AI及数字货币带来的新算力与能耗需求。（1）HPC/AI芯片处理器组件集成度显著提升，一个芯片系统涵盖Chiplet设计、多个处理器芯片、IO芯片和HBM；（2）芯片制程显著提升，更高的晶体管密度不仅带来了更快的处理速度和更低的延迟，还实现了更低的功耗。例如7nm芯片相比14nm芯片，功耗降低了57%。
- ◆ 图：HPC/AI 芯片通常集成了多个处理器、I/O 芯片及HBM存储器



- ◆ 图：AI服务器因其大量算力需求，其晶体管数量显著高于传统CPU，

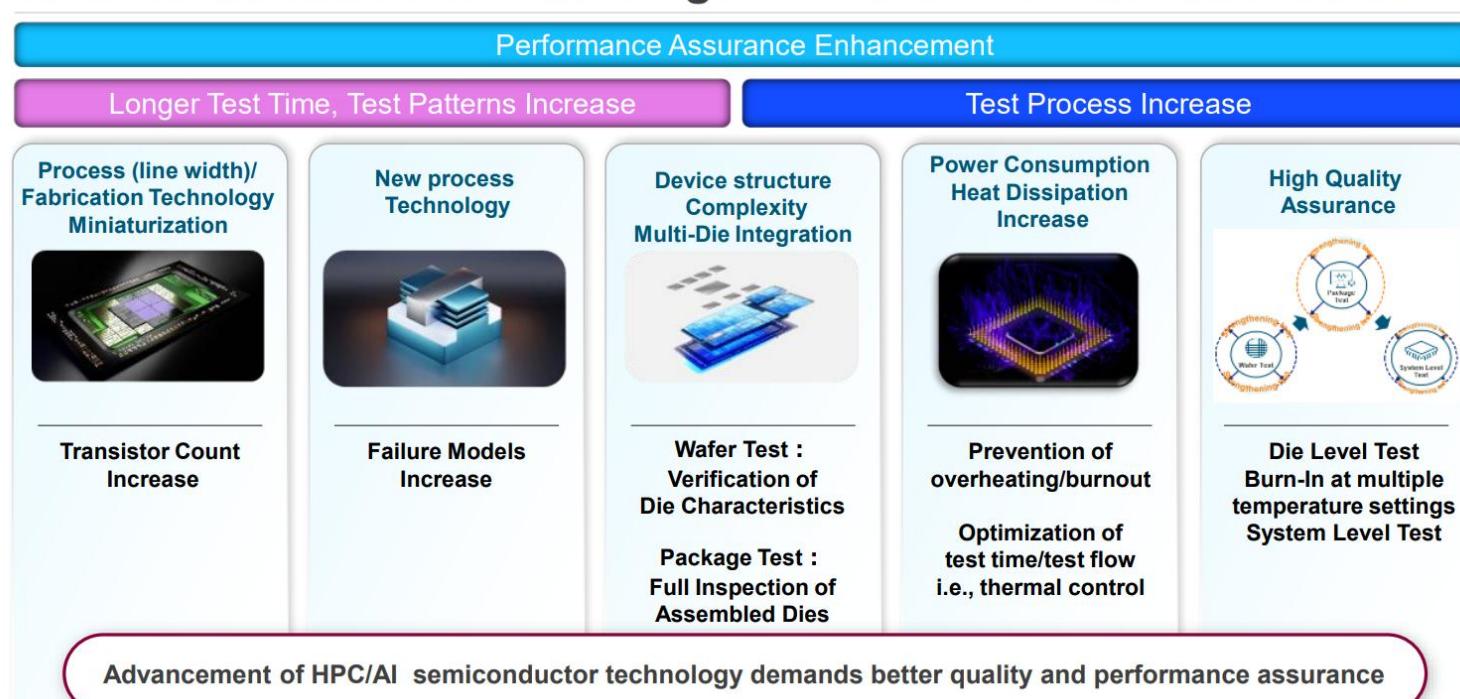


Source: Processor Market Monitor, Q3 2024, Yole Intelligence

## 2.2 SoC测试机：AI/HPC芯片测试量和时长激增，带动设备需求

- AI/HPC芯片的高集成度、高稳定性要求以及先进制程特性，导致测试量与测试时间显著增加，从而推动了对SoC测试机的需求增加：（1）AI/HPC芯片步入先进制程：更低的制程（如4nm）使得芯片能够在相同面积上集成更多被测晶体管，例如英伟达最新的Blackwell GPU（4nm工艺）集成了超过2080亿个晶体管；（2）结构复杂性提升：从FinFET转向更复杂的GAA结构，并在2nm制程下即将采用的CFET技术引入了新的失效节点；（3）Chiplet设计：现代HPC/AI芯片广泛采用Chiplet架构，即将多个小芯片集成在一起。这不仅需要在封装前单独测试每个Chiplet的性能（Die Level Test），还需要验证其在封装后的协同工作能力；（4）先进封装：2.5D-3D芯片中包含的裸片数量增多、晶体管数量伴随增加，并可能引入新的故障模型，因此需要在封装前对每一个单独裸片进行测试；（5）AI/HPC芯片对良率更高：算力中心对芯片良率要求更高，由于一个卡组故障就会导致算力损失。

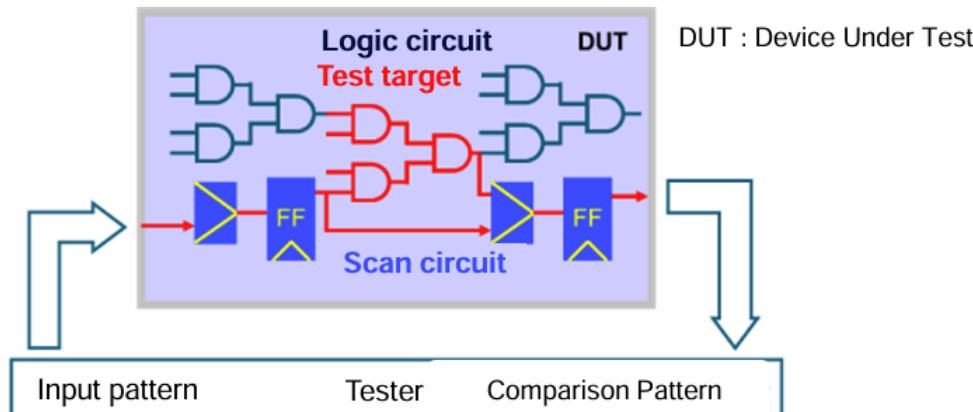
### Structural Factors Contributing to HPC/AI Test Volume Increase



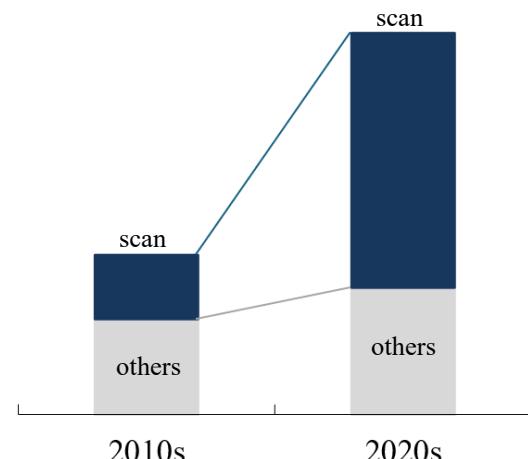
## 2.2 SoC测试机：AI时代扫描测试应用多，测试时间明显拉长进而带动设备需求

- 扫描测试（Scan Test）是目前主流的测试策略，其主要优势在于可以通过一个管脚输入多个测试向量。例如，当有10个测试项对应10个测试向量时，扫描测试可以将这些向量依次串行输入，并将结果依次串行输出，通过一套端口即可完成10个测试项的测试。此外，通过增加更多测试图案，扫描测试能够覆盖更多晶体管，从而实现更高的测试覆盖率，通常可达95%-99.5%。
- 虽然扫描测试能够有效缓解管脚数量的物理限制，但通过单一管脚依次测试多个向量会导致测试时间显著增加，进而提升了对测试机的需求量。

◆ 图：扫描测试可以通过一个管脚测试多个测试项



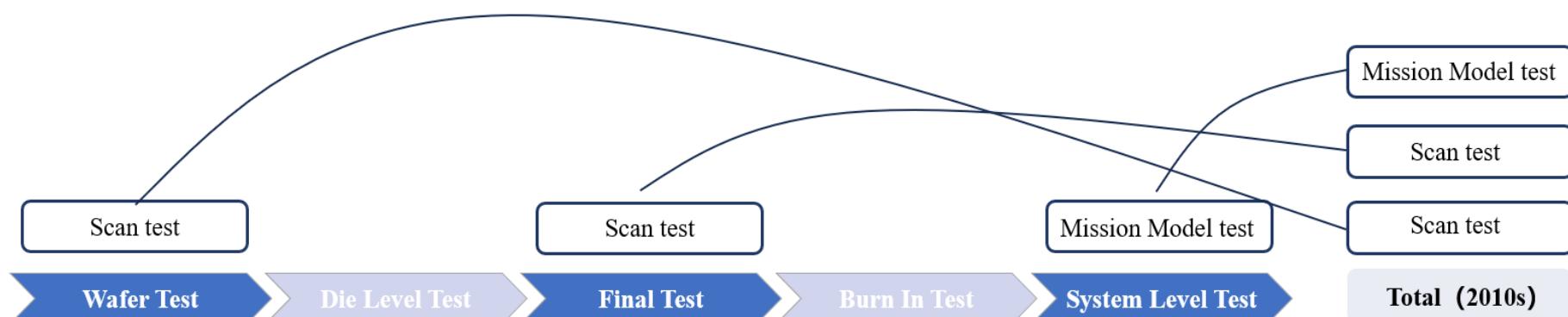
◆ 图：2010s与2020s相比扫描测试测试量爆发式增长



## 2.2 SoC测试机：芯片复杂性及支撑提高显著提升测试需求

- 2010s的测试流程相对简单，测试量较少。由于此时集成电路的复杂度相对较低，晶体管的数量和种类较少，所以测试的需求和复杂性都相对较低。同时由于测试技术的限制和简单的芯片设计，所以前道和后道的测试量大致相当。
- 这一时期芯片仅需进行三种类型测试：（1）晶圆端测试的扫描测试；（2）最终测试的扫描测试；（3）系统级测试中的任务模式测试。

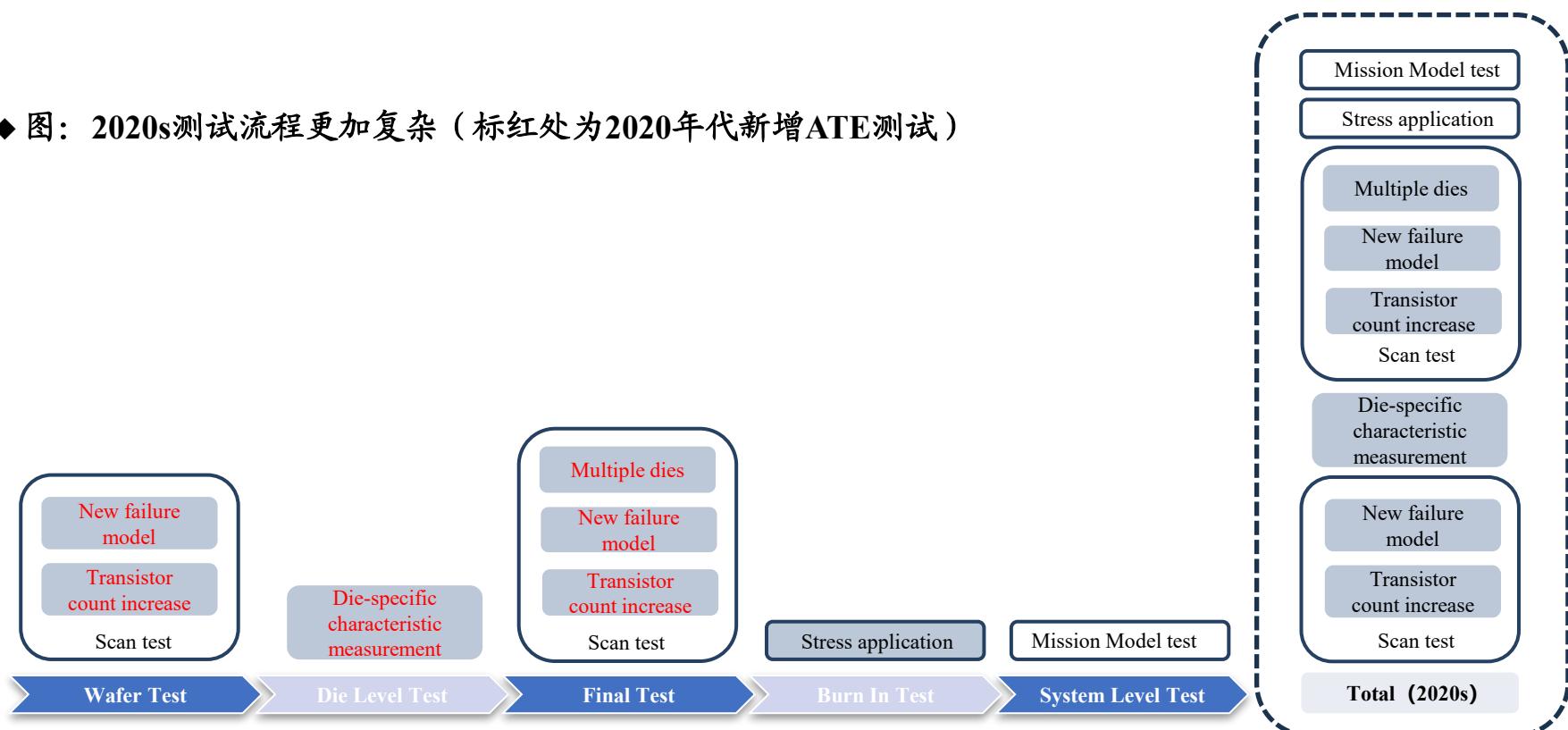
◆ 图：2010s的测试流程相对简单



## 2.2 SoC测试机：芯片复杂性及支撑提高显著提升测试需求

- 2020年以来，随着芯片复杂性与性能要求提高，ATE测试量不断增加，带动SoC测试机需求激增：（1）晶圆端：由于晶体管数量的增加以及新的故障模型的出现，晶圆端在原有扫描测试基础上新增了额外的晶体管与故障模型测试；（2）裸片测试：为了确保切片处理后，没有给芯片引入新的缺陷或影响其性能，因此新增了裸片测试；（3）终测：随着2.5D-3D芯片中裸片数量的增加、晶体管数量的上升以及新故障模型的引入，新增了针对多裸片、故障模型及晶体管的测试。

◆ 图：2020s测试流程更加复杂（标红处为2020年代新增ATE测试）



## 2.2 SoC测试机：测试类型与用途广泛，可应用多种测试需求



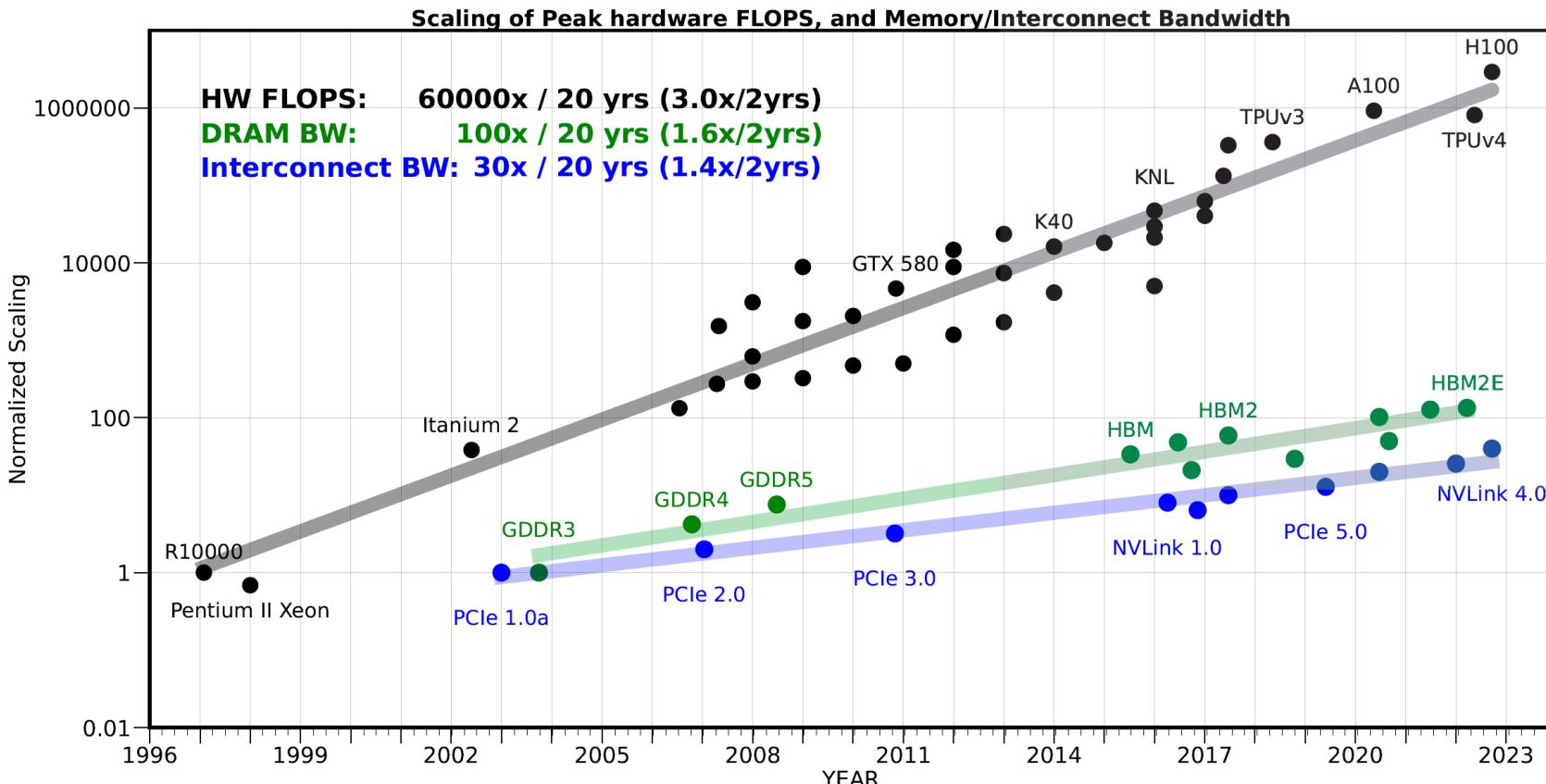
- SoC测试机用途广泛，也能够适配部分存储、数字、模拟等测试需求。凭借其强大的电源和板卡资源性能，SoC测试机不仅可以用于测试SoC芯片，而且通过调整板卡配置，还能用于测试数字电路、模拟电路、存储器、I/O、功耗和电磁干扰。测试类型涵盖扫描测试、功能测试、内建自测试等多种模式，其中应用最广泛的是扫描测试。

◆ 表：SoC测试机测试领域、测试类型与用途广泛

测试领域	测试类型	工作原理	用途
数字电路测试	扫描测试 (SCAN)	通过扫描链将内部触发器转变为可观测的节点，用于检测内部逻辑电路的故障	适用于大规模集成电路，能够高效检测制造缺陷
	自动测试向量生成测试 (ATPG)	生成能够检测到电路中所有潜在故障的测试向量进行检测	提高测试覆盖率和故障检测能力
	逻辑内建自测试 (LBIST)	利用内部生成的伪随机测试向量对逻辑电路进行自测试	帮助发现难以预测的故障模式
模拟电路测试	DC测试	检测直流参数如输入输出电压、电流	确保模拟电路的基本功能符合设计要求
	模拟多路复用器 (MUX) 测试	对数模接口信号进行多路选择测试	验证模拟信号的准确性和稳定性
存储器测试	内建自测试 (MBIST)	对RAM、ROM等存储器的内部故障进行自测试	确保存储器的可靠性和数据完整性
	存储器旁路模式测试	在基本扫描测试中使用旁路模式对存储器进行覆盖测试	提高存储器测试的效率和覆盖率
I/O测试	JATG协议测试	通过IEEE 1149标准，实现板级互连线测试和芯片内部IP调试	检测和诊断芯片的输入输出接口问题
	边界扫描寄存器测试 (BSR)	在芯片的输入输出引脚上插入扫描寄存器进行测试	实现测试信号的可控和可观测，提高测试的灵活性和效率
功耗测试	静态电流 (IDQ) 测试	测量芯片在静态条件下的电流	检测漏电流和短路故障，确保芯片的能效和可靠性
	低功耗模式测试	在不同低功耗模式下测量芯片的电流消耗	验证芯片在低功耗状态下的性能和功耗表现
电磁干扰测试	静电放电测试	通过人体放电模型 (HBM)、机器放电模型 (MM) 等方法测试芯片对静电的耐受性	确保芯片在实际使用中的电磁兼容性和可靠性

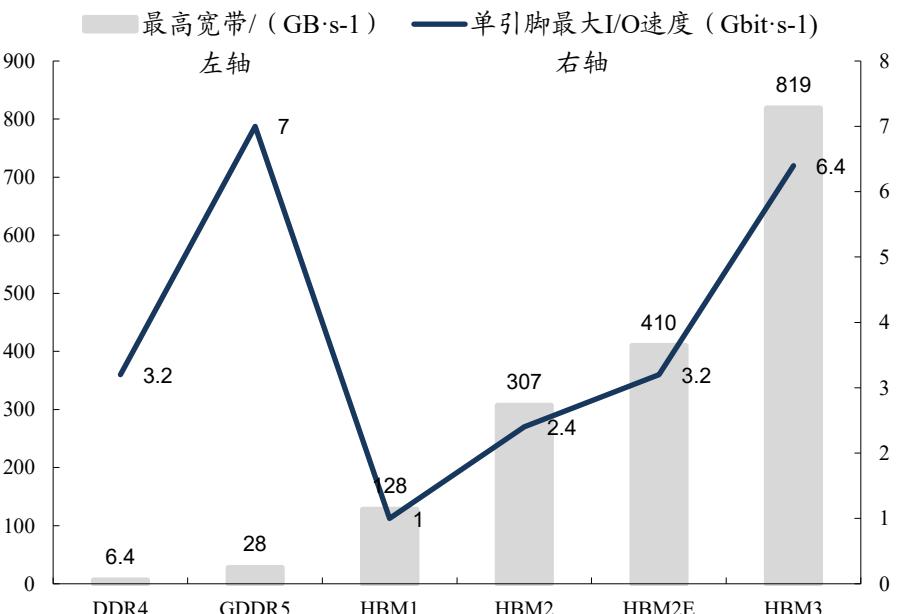
- 内存墙问题包括内存容量有限、内存传输带宽不足及传输延迟问题。计算逻辑与片上内存之间、计算逻辑与DRAM内存之间、不同sockets上不同处理器之间都存在同样的问题。对于单个芯片，芯片内寄存器、二级缓存、全局存储器等之间的内存传输成为瓶颈。当模型超过了单芯片可用的内存容量和带宽，需要利用分布式内存并行技术将训练/服务扩展到多个加速器。由于片间带宽小于片内带宽，此时会面临更严重的内存墙问题。

### ◆ 图：DRAM与互联带宽增速远低于服务器硬件算力增速

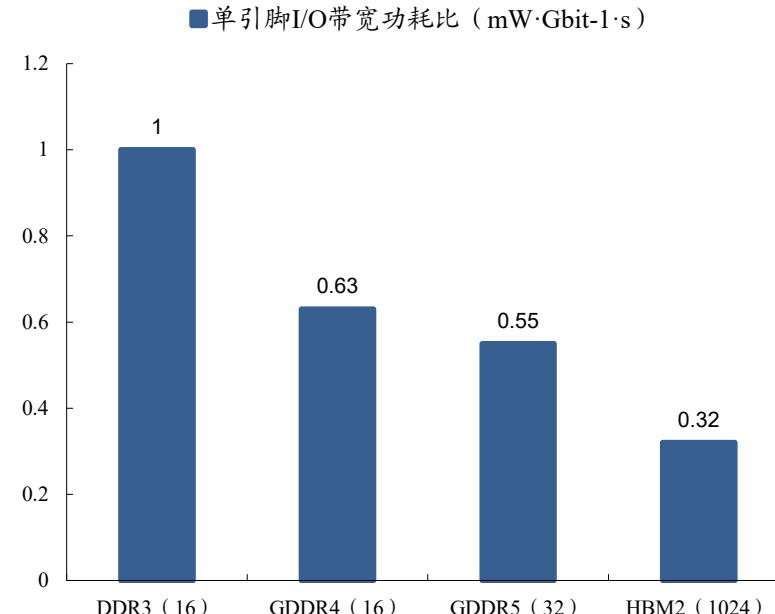


- **AI训练与推理急需高带宽存储芯片。**高带宽是复杂AI/ML算法的基本需求，同时端侧AI推理更重视计算效率、时延、性价比等。以ADAS为例，L2+/L3级别的复杂数据处理需要超过200GB/s的内存带宽；L5级的高阶自动驾驶要能够独立地对周围动态环境做出反应，需要超过500GB/s的内存带宽。单纯依靠堆砌额外数量的GPU和AI加速器，很难在成本、功耗、系统架构等方面获得竞争优势，**AI应用端更需要高带宽内存来解决内存墙。**
- **HBM具备高带宽、低延迟、低功耗等优势。**高带宽存储器（HBM）是一种采用三维堆叠和硅通孔（TSV）等技术的高性能DRAM，其核心优势在于采用微凸块技术缩短了DRAM和逻辑芯片之间的信号传输距离，同时通过增加存储多层堆栈的数量和位宽实现了更大的存储容量和更多的I/O引脚数量、降低了I/O工作电压并减少了信号线的数量和长度，因此具备高带宽、低延迟和低功耗等优势，是应对内存墙问题的核心技术。

◆ 图：HBM通过提升I/O引脚数量实现高带宽



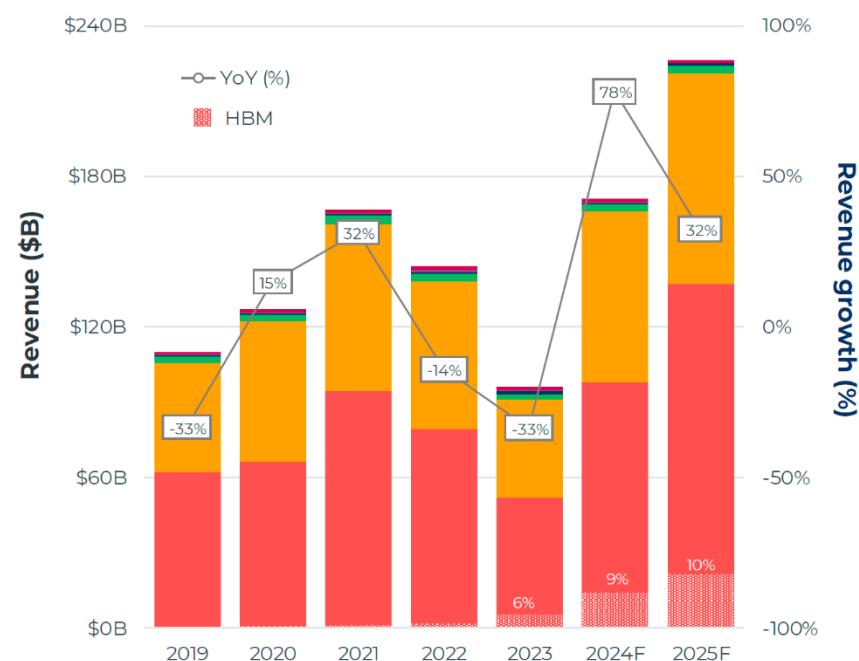
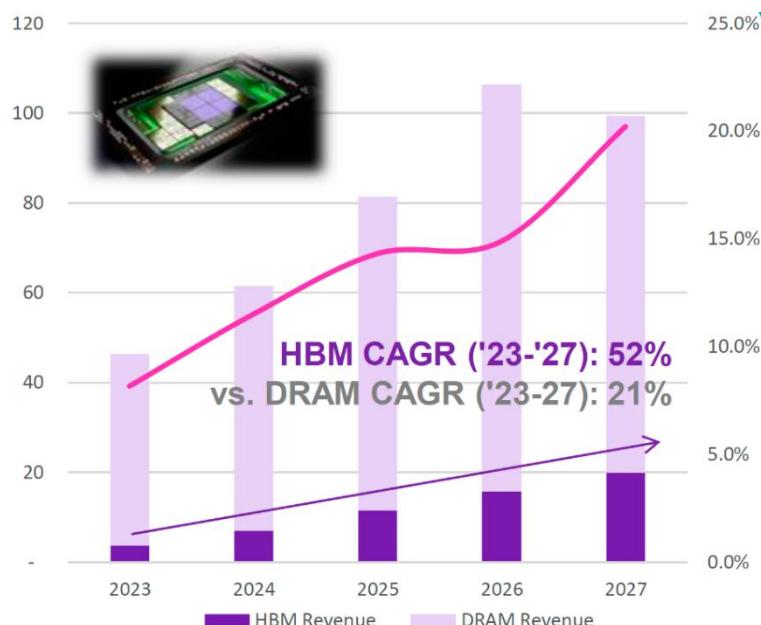
◆ 图：HBM以低单引脚I/O速度实现低功耗



## 2.3 存储测试机：HBM产业地位上升，成为AI芯片主流方案

- 主流AI训练芯片多采用HBM。以英伟达H100为例，1颗H100由1颗GPU+6颗HBM通过CoWoS技术封装集成，其中5颗是active HBM2E，每颗HBM2E由8层2GB DRAM Die堆叠组成。HBM也是AI芯片中占比最高的部分。英伟达H100成本接近3000美元，其中占比最高的即SK海力士的HBM，约2000美元。
- HBM工艺进步极大提升AI算力芯片性能。H200作为H100的升级款，依然采用Hopper架构（1GPU+6HBM）和台积电4纳米工艺，GPU芯片、核心数、频率都没有变化，性能进步完全来自于首次搭载的HBM3E显存，使H200拥有141GB内存和4.8TB/s带宽，大大超过了H100的80GB和3.35TB/s。在HBM3E加持下，H200让Llama-70B推理性能几乎翻倍，运行GPT3-175B也能提高60%，HBM工艺进步极大提升了芯片性能。

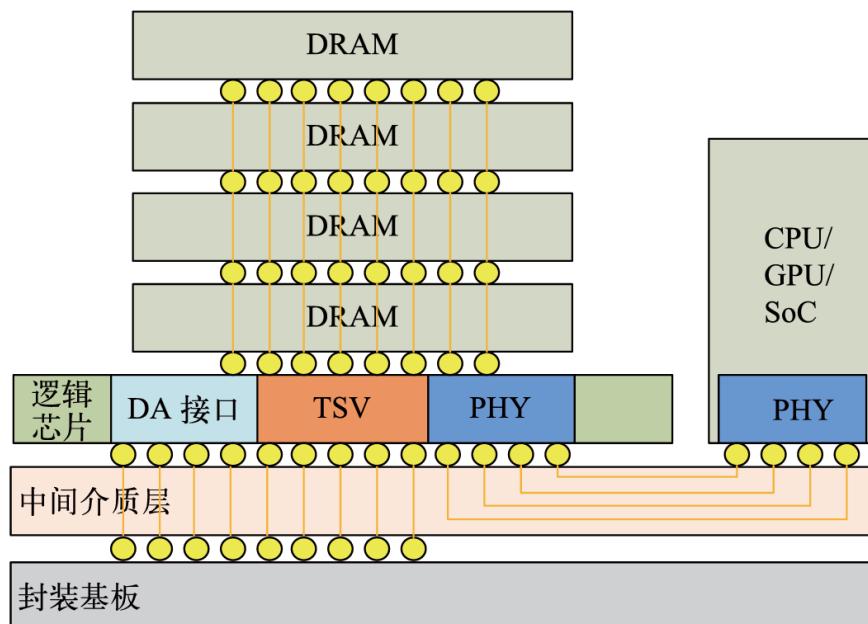
◆ 图：HBM市场有望以远超DRAM市场的速度扩张 ◆ 图：HBM预计将在存储芯片复苏进程中不断提升占有率为  
(单位：亿美元)



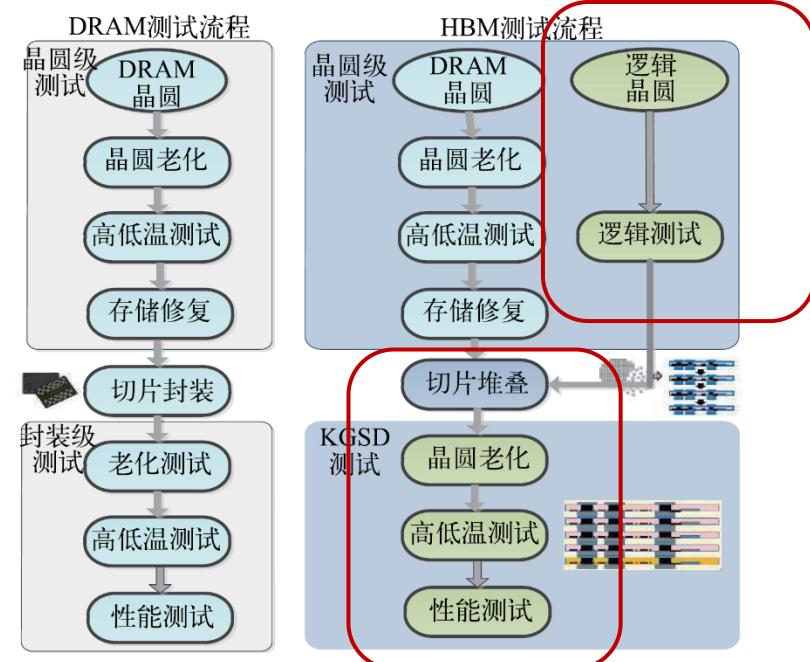
## 2.3 存储测试机：HBM堆叠技术大幅提升测试工艺需求

- **HBM采用多层DRAM堆叠结构及2.5D封装。**与 DRAM 芯片不同,HBM 采用多层“已知良好堆叠芯片”(KGSD)设计,将4层或更多层的DRAM芯片堆叠在逻辑芯片上,每层KGSD 采用了大量的 TSV 和微凸块。且最终的 HBM 产品不是封装级成品而是以 KGSD 的形式提供,这对 HBM 产品的测试提出了重要挑战。
- **HBM 测试包括晶圆级测试和 KGSD 测试,**晶圆级测试增加了逻辑芯片测试, KGSD 测试替代了常规的封装级测试。晶圆级测试针对DRAM芯片和逻辑芯片,其中DRAM晶圆测试与常规DRAM测试相同,而逻辑晶圆需要进行逻辑测试。对测试合格的HBM晶圆进行切片和多层堆叠工艺处理,即可形成KGSD产品。HBM KGSD测试包括老化应力测试、高低温条件下的功能、电性能、电参数测试等。

◆ 图：HBM内部堆叠及封装结构

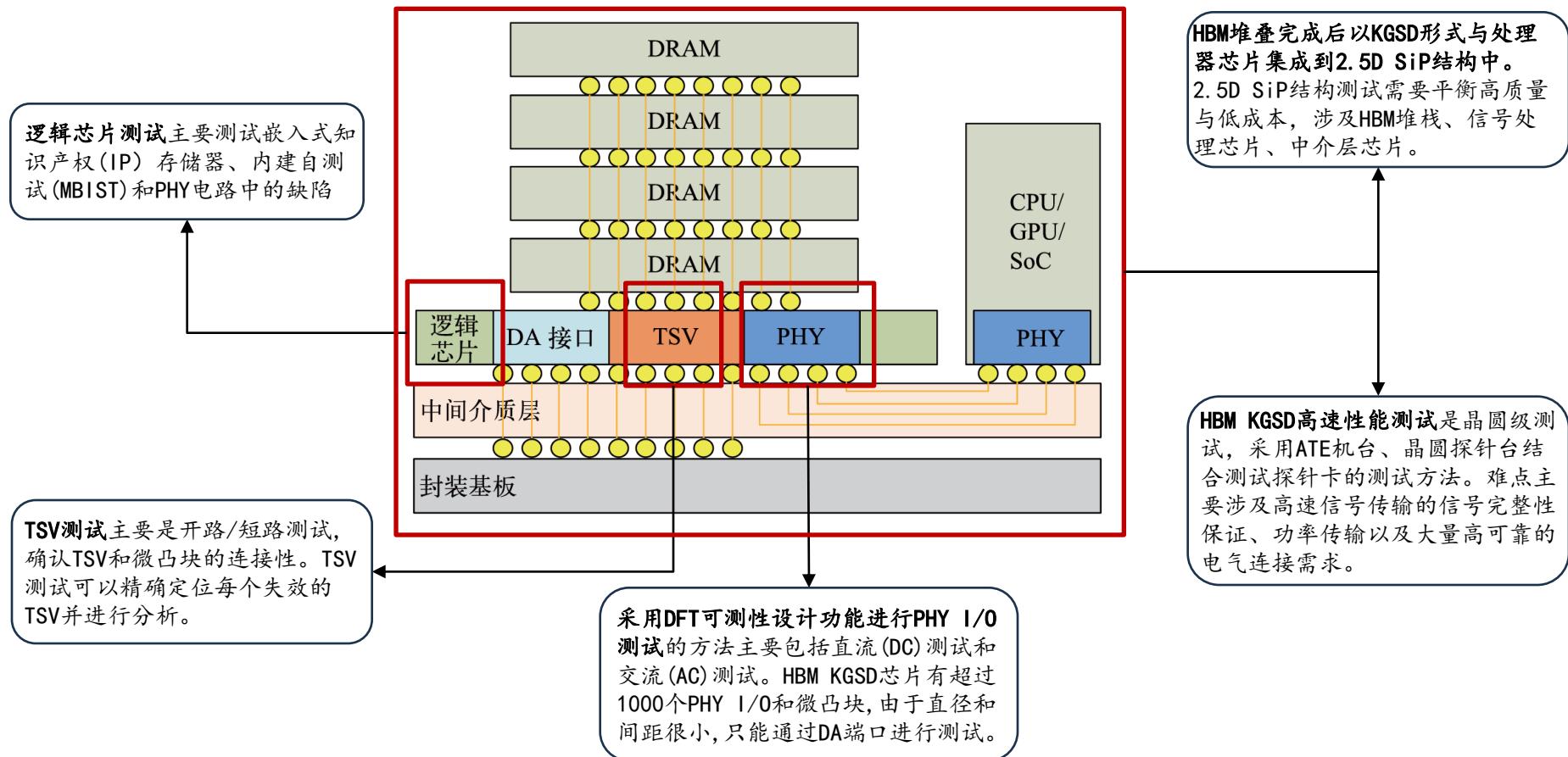


◆ 图：HBM与传统DRAM测试流程区别



## 2.3 存储测试机：HBM堆叠技术大幅提升测试工艺需求

- HBM高集成度、内嵌式I/O及裸片堆叠封装的技术特征，大幅提升了存储测试工艺的复杂度和难度。HBM KGSD测试主要采用ATE测试机台、晶圆探针台和专门制作的测试探针卡，通过DA接口进行基础逻辑芯片测试和DRAM核心芯片测试。HBM KGSD的动态老化应力测试、大量内部TSV结构的可靠性测试、高速性能测试、数量超过1000的PHY I/O测试、2.5D SiP测试等是HBM芯片测试和质量保证的难点。



## 2.3 存储测试机：HBM提高对测试设备硬件要求，专用化趋势明显



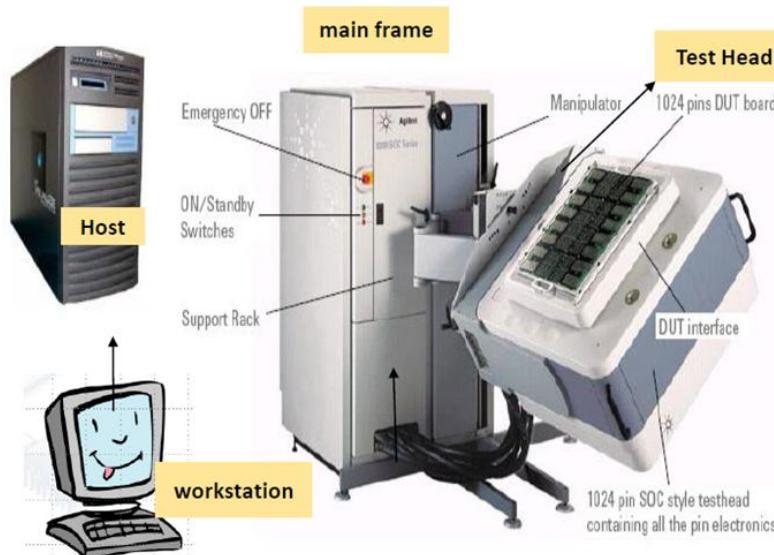
- HBM除增加测试环节外，也对测试设备的电流承载能力、测试精度、高并行处理能力、EDA算法等都提出了更高要求。
- (1) 由于HBM采用先进制程，单一元器件电压比较小（不到1v），但元器件高度集成导致整体功耗较大，最终要求测试电流达到1000-2000A之间，对测试机的电源板卡和DPS芯片要求较高；
- (2) 由于HBM内部为高速DRAM存储片，对于测试的数据速率要求很高，由此催生对于测试设备内部TG芯片和主控芯片的要求上升。TG芯片主要用于生成高精度时序生成，控制总体计时精度，目前业内最先进的存储测试设备已经可以将总体计时精度控制在±45皮秒。主控芯片则直接决定测试速率，目前最先进的T5801已经可以达到36Gbps PAM3和18Gbps NRZ速率；
- (3) HBM3总线位宽可能达1024位，测试过程需要大量数据管脚和对应通道数。但受限于封装技术，物理管脚数量可能无法等比增加，需为测试设备引入多通道时分复用（TDM）技术、动态通道分配技术、高速串行接口和宽总线架构等特殊设计以实现单个物理管脚支持多个逻辑通道，进而实现高密度并行测试处理。
- 存储产品换代周期大幅缩短，需要大容量、高速率、多通道测试能力，采用数字信号测试设备兼测存储器的模式面临严峻挑战，存储测试设备专用化将是大势所趋，由此催生对于新存储测试设备需求。目前爱德万推出的专门针对HBM测试进行优化的T5503HS2，拥有约16256个通道，实现了业界最高的并行测试能力。同时测试速度可达9Gbps、总体计时精度在±45皮秒和高稳定度可编程的电源，实现了高精度高速测试。

## 2.3 存储测试机：测试实例——V9300测试NAND Flash

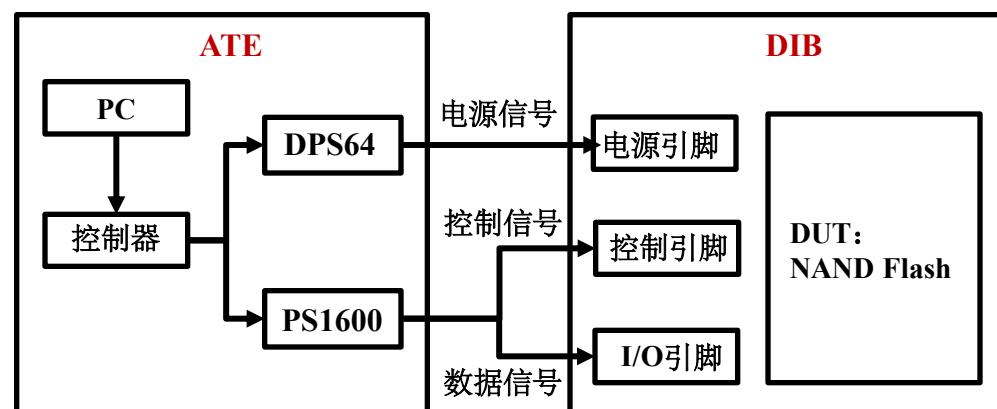
- ATE系统和测试流程描述（以爱德万V9300ATE测试NAND Flash芯片为例）：

1. **PC机**：安装有V93000测试软件SmarTest，用于创建和管理测试工程，包括定义待测芯片参数、设置电平和时序、生成测试向量、编写测试方法、调试测试程序以及进行测试结果的统计与分析。
2. **电源板卡DPS64**：为待测NAND Flash芯片提供稳定的电源，并可用于测试电源电流。
3. **数字板卡PS1600**：发送控制信号和数据信号到NAND Flash，配置电平、时序、测试向量，相当于NAND Flash的控制器，控制NAND Flash的操作。
4. **设备接口板（DIB）**：封装在测试头（Test Head）中，用于匹配ATE测试头管脚分布，将信号源发出的信号传输到DUT中，同时有电源引脚、控制引脚和I/O引脚与DUT相连。
5. **待测芯片（DUT）**：待测的NAND Flash芯片，放置在翻盖式插座中，便于更换和检查。

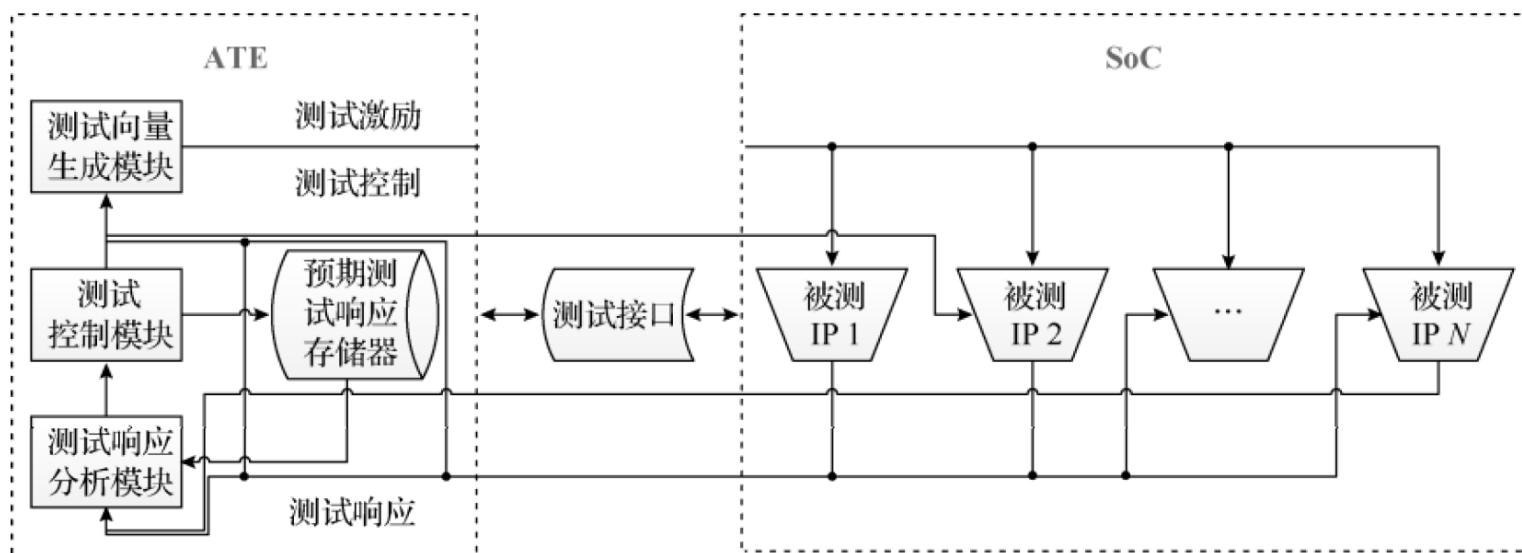
◆ 图：典型ATE结构



◆ 图：以爱德万V9300ATE测试NAND Flash芯片为例



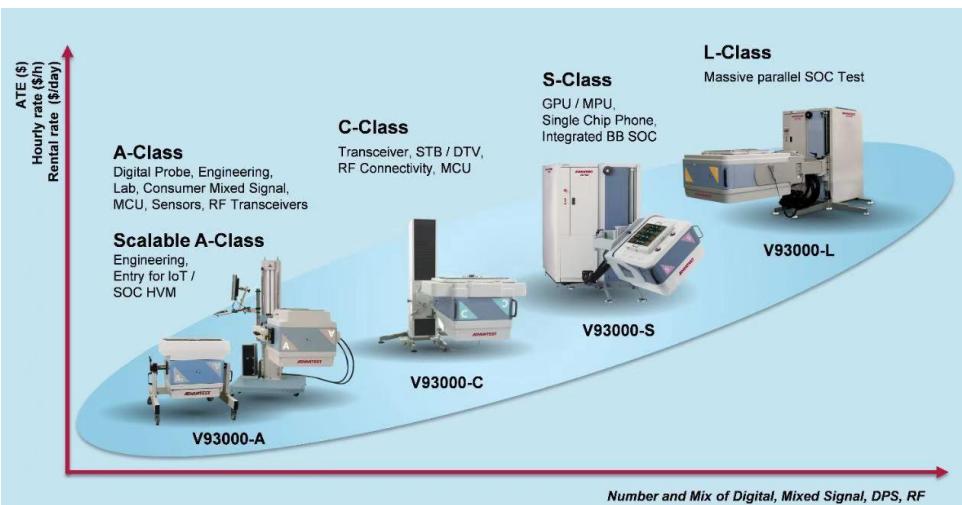
- IC 测试是指依据被测器件（DUT）特点和功能，给DUT提供测试激励（X），通过测量DUT输出响应（Y）与期望输出做比较，从而判断DUT是否符合格。根据器件类型，IC测试可以分为数字电路测试、模拟电路测试和混合电路测试。数字电路测试是IC测试的基础，绝大部分现代芯片测试都需要数字IC测试。数字IC 测试一般有直流测试、交流测试和功能测试。
  - 功能测试是数字电路测试的根本，用于验证IC是否能完成设计所预期的工作或功能，一般在ATE上进行。ATE可以根据器件在设计阶段的模拟仿真波形，输入一系列有序或随机组合的测试图形，以电路规定的速率作用于DUT，再在电路输出端检测输出信号是否与预期图形数据相符，以此判别电路功能是否正常。其关注的重点是图形产生的速率、边沿定时控制、输入/输出控制及屏蔽选择等。
- ◆ 图：功能测试结构需要比较输出信号是否与预期一致



## 2.4 测试机核心难点：测试板卡与专用芯片为核心壁垒

- 测试板卡是ATE设备核心硬件，仅需更换测试板卡就可实现多种类测试以及测试性能提升，无需更换机器。以V93000为例，在更换AVI64板卡之后可以测试电源及模拟芯片；更换PV18板卡后可以实现高速高精度的大功率电压/电流测量；更换WaveScale MX板卡后可实现高并行，多芯片同测及芯片内并行测试。
- 测试板卡中主要包括PE（Pin Electronics）芯片、TG（Time Generation）芯片和主控芯片等专用芯片。其中PE主要用于各种高精度电平电流的提供和测量，TG负责所有波形的时序控制，主控芯片控制测试通道的具体工作。
- **(1) PE和TG芯片：**由于技术难度极大、市场空间较小，被ADI、TI等公司垄断；**(2) 主控芯片：**多采取ASIC架构以保证测试速度，而ASIC架构芯片的开发需要极大的成本和漫长的迭代时间，进入门槛极高，如果采用相对易开发的FPGA架构则仅有最多800Mbps的数字通道速度，远远达不到现有测试要求，800Mbps以上的高端机型需要用到自己研发的ASIC芯片。

◆ 图：V9300通过更换不同测试板卡适用于不同功能



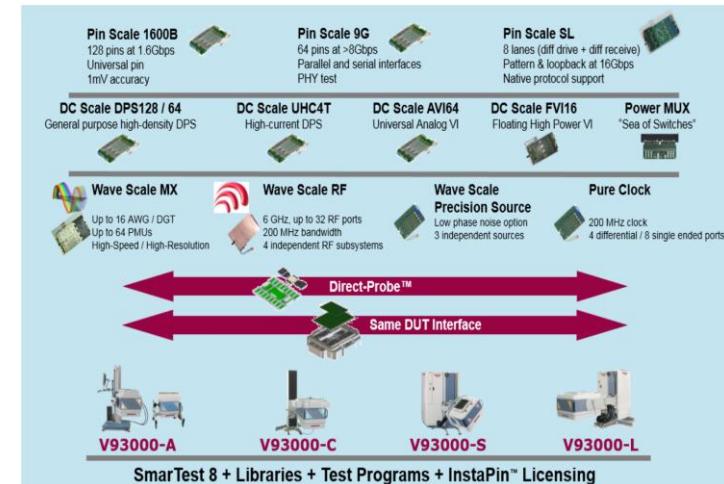
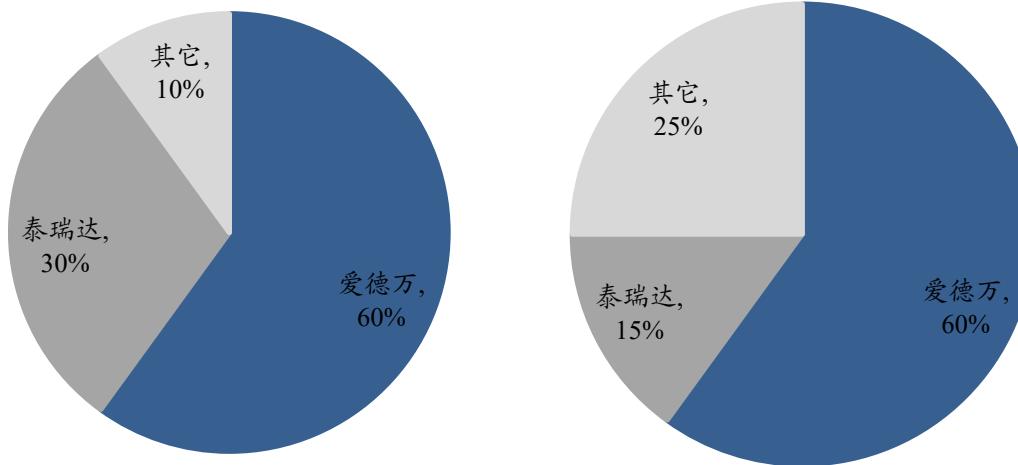
◆ 图：不同类型板卡需要不同种类专用芯片

板卡类型	用途	所需的专用芯片
数字板卡	芯片数字 I/O 的测试，包括 DC 参数测试和基于 DFT 的功能测试等	PE 芯片
电源板卡	给待测芯片供电，还可以针对某个电源域进行 Power Short 测试、漏电流测试等	DPS 或 PMU 芯片
模拟板卡	芯片模拟电路部分的测试，实现的测试包括比如信噪比，线性度测试等	高性能 ADC 或 DAC 芯片
射频板卡	射频芯片的测试，可以实现比如功率测试，频率测试，EVM 测试等	高性能频综、混频器、ADC 或 DAC 芯片
高速板卡	高速信号的测试，集成了高速信号的发生与分析，可以实现比如抖动，误码率，眼图等测试	高速 PE 芯片

## 2.5 测试机竞争格局：爱德万、泰瑞达为全球SoC、存储测试机龙头

- 2024年数字SoC测试机爱德万占全球约60%，泰瑞达约30%；中国大陆地区爱德万市占率接近60%，泰瑞达约15%。
- 以爱德万的V93000可扩展平台为例：如今SoC集成了越来越多的功能，汽车芯片、工业芯片、移动设备的电源管理芯片等往往都集成了高速数字电路、高压电路、模拟电路、混合信号电路中的两种或三种。大多数自动化测试系统无法测试这些单颗SoC中的所有功能。V93000提供了一系列兼容测试，用户可以用V93000这一个平台来完成全部测试任务。随着测试需求的变化，系统设计可以很容易地用新模块和工具扩展配置。

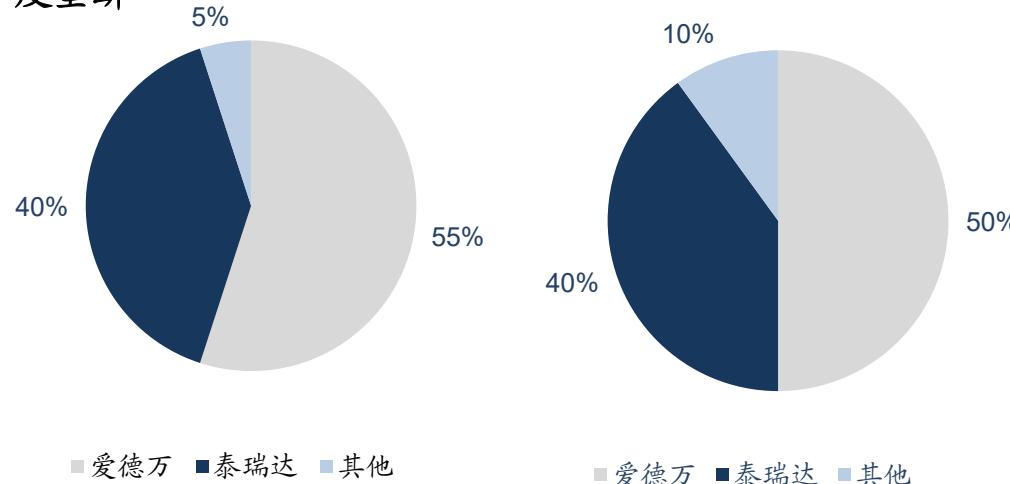
◆ 图：2024年全球（左）及中国（右）数字SoC测试设备市场高度垄断 ◆ 图：爱德万的V93k测试机



## 2.5 测试机竞争格局：爱德万、泰瑞达为全球SoC、存储测试机龙头

- 2024年存储器测试机的竞争格局来看，全球爱德万市占率约占55%，泰瑞达约40%；中国大陆地区爱德万略高于泰瑞达，爱德万约50%，泰瑞达约40%。
- 海外龙头在存储测试机领域起步较早，爱德万在存储测试机领域的主要型号有T583x系列（T5833（DRAM和NAND）、T5835（DRAM和NAND）、T5830（NOR和NAND））、T5503HS2（DRAM、HBM等），测试速率最高达32Gbps，最新一代T5801超高速DRAM测试设备支持下一代GDDR7、LPDDR6和DDR6测试；泰瑞达在存储测试领域的主要型号为Magnum系列，包括Magnum2（NAND、RAM、SOC）、MagnumEPIC（DRAM）、MagnumV（NAND和DRAM）、MagnumVUx（NAND）等。

◆ 图：2024年全球（左）及中国（右）存储测试设备市场高  
度垄断



◆ 图：爱德万最新一代T5801 超高速 DRAM 测试  
系统



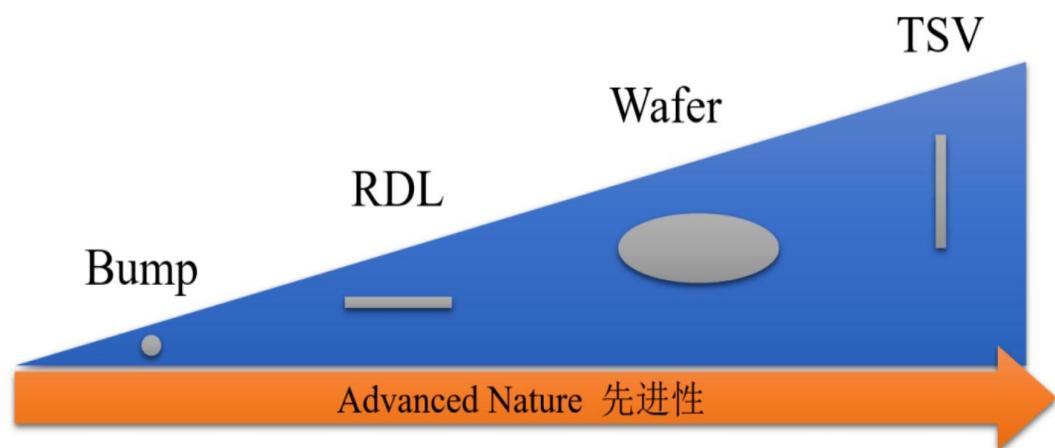
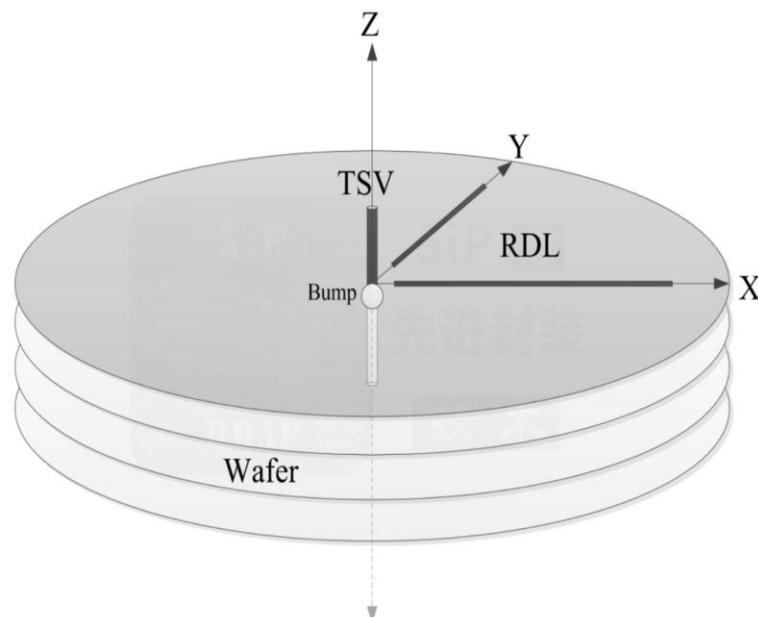
- 国内半导体测试设备领先企业包括华峰测控、长川科技、精测电子子公司武汉精鸿等。① 模拟测试机领域：国内包括华峰测控、长川科技已经占据国内相当一部分市场份额，国产化率已达90%；② 存储测试机领域：武汉精鸿的老化（Burn-In）产品线在长江存储实现批量重复订单、CP/FT产品线相关产品已取得相应订单并完成交付，长川科技亦有发力；③ SoC测试机领域：长川科技、华峰测控等已经在积极布局。华峰测控推出了对标V93K架构的STS8600系列SoC测试机、长川科技推出了可实现高速高并行测试的D9000 SoC测试设备。但二者共同面临ATE中专有芯片问题。
- ◆ 图：测试设备领域国内与海外巨头产品线布局仍有较大差距

	ADVANTEST	TERADYNE	Cohu	杭州长川科技股份有限公司 Hangzhou Changchuan Technology Co., Ltd.	华峰测控
SoC测试机	V93K、T2000	Titan UltraFlex	Diamondx DxV X系列	D9000	STS8600
存储测试机	T58K、T55K	Magnum 2/V/E			
数字测试机	T7912	J750		DE9000	STS6100
混合测试机	EVA100	ETS800\88\364	ASL1K	CTA8280F CTA8290D	STS8300 STS8205
模拟测试机	EVA100	ETS800\88\200	ASL1K	CTA8280 CTA8200	STS8200
其他测试机	T6931 LCD	IP750Ex图像	Pax射频	CM1028老化	



- 一、AI芯片快速发展，带来封测设备新需求
- 二、后道测试：AI测试要求提升，关注国产测试机双龙头
- 三、后道封装：先进封装快速发展，关注国产封装设备商
- 四、投资建议
- 五、风险提示

- 先进与传统封装的最大区别在于芯片与外部系统的电连接方式，省略了引线的方式，采取传输速度更快的凸块、中间层等。先进封装的四要素包括RDL（再分布层技术）、TSV（硅通孔）、Bump（凸块）、Wafer（晶圆），任何一款封装如果具备了四要素中的任意一个，都可以称之为先进封装。在先进封装的四要素中，RDL起着XY平面电气延伸的作用，TSV起着Z轴电气延伸的作用，Bump起着界面互联和应力缓冲的作用，Wafer则作为集成电路的载体以及RDL和TSV的介质和载体。
  - 下文我们重点讨论凸块（Bump）、倒装（FlipChip）、再分布层技术（RDL）和硅通孔（TSV）。
- ◆ 图：先进封装的四要素包括RDL（再分布层技术）、TSV（硅通孔）、Bump（凸块）、Wafer（晶圆）
- ◆ 图：根据四要素的先进性排序为Bump、RDL、Wafer、TSV



### 3.1 先进与传统封装的最大区别在于芯片与外部系统的电连接方式

- (1) 凸块 (Bump)：是在芯片上制作凸块，通过在芯片表面制作金属凸块提供芯片电气互连的“点”接口，广泛应用于FC、WLP等先进封装。经过多年的发展，凸块制作的材质主要有金、铜、铜镍金、锡等，不同金属材质适用于不同芯片的封装。

◆ 图：凸块替代原有的引线将芯片与基底进行连接



引线键合



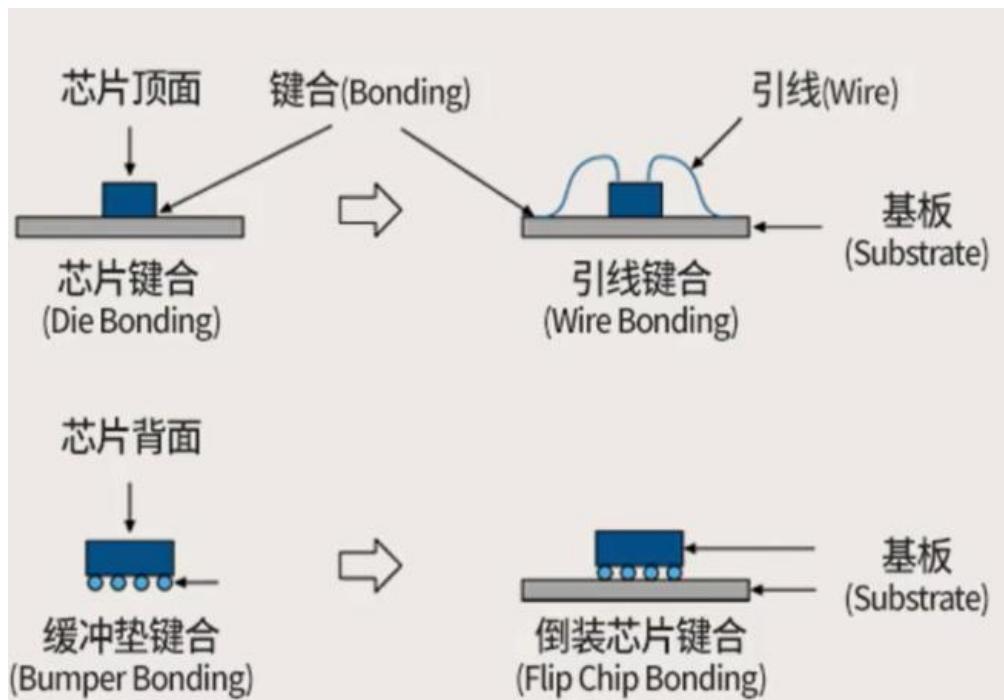
倒装芯片键合

◆ 表：不同类型的凸块

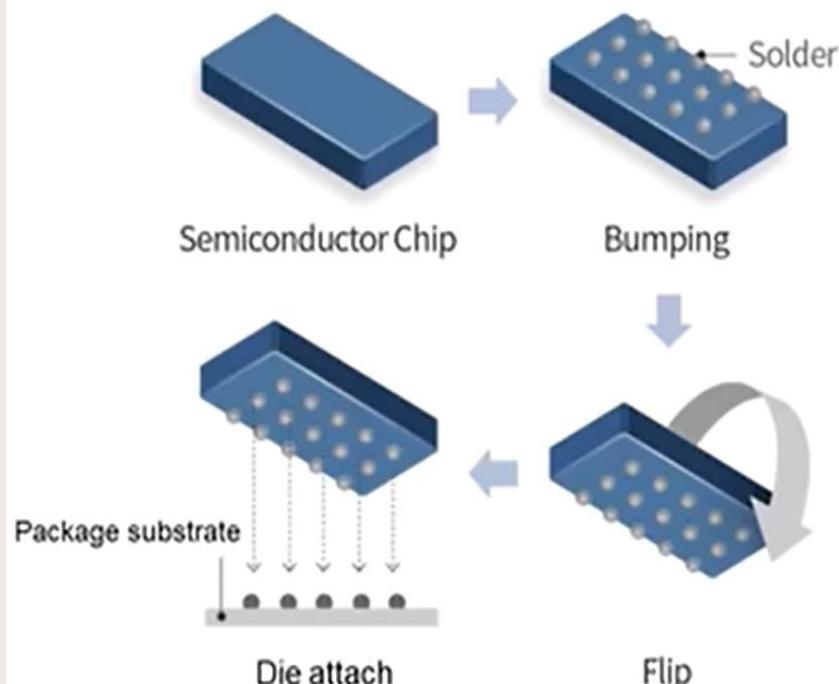
凸块种类	主要特点	应用领域
金凸块	由于金具有良好的导电性、机械加工性(较为柔软)及抗腐蚀性，因此金凸块具有密度大、低感应、散热能力佳、材质稳定性高等特点，但金凸块原材料成本高。	主要应用于显示驱动芯片、传感器、电子标签等产品封装。
铜镍金凸块	铜镍金凸块可适用于不同的封装，可提高键合导电性能、散热性能、减少阻抗，大大提高了引线键合的灵活性。虽原材料成本较金凸块低，但工艺复杂制造成本相对高。	目前主要用于电源管理等大电流、需低阻抗的芯片封装。
铜柱凸块	铜柱凸块具有良好电性能和热性能具备窄节距的优点。同时可通过增加介电层或RDL提升芯片可靠性。	应用领域较广，主要应用于通用处理器、图像处理器、存储器芯片、ASIC、FPGA、电源管理芯片、射频前端芯片、基带芯片、功率放大器、汽车电子等产品或领域。
锡凸块	凸块结构主要由铜焊盘和锡帽构成，一般是铜柱凸块尺寸的3~5倍球体较大，可焊性更强。	应用领域较广，主要应用于图像传感器、电源管理芯片、高速器件、光电器件等领域。

- （2）倒装（FlipChip, FC）：通过将芯片颠倒封装在基板上，芯片与外部系统主要通过焊球或凸块实现链接，封装更为紧凑。具体来看，FC是在I/O pad上沉积锡铅球，然后将芯片翻转加热，利用熔融的锡铅球与陶瓷基板相结合，当前主要应用于CPU、GPU及芯片组等产品，CPU及内存条等电子产品是最常见的应用倒装芯片技术的器件。与传统的引线键合相比，FC的芯片结构和I/O端（锡球）方向朝下，由于I/O引出端分布于整个芯片表面，在封装密度和处理速度上FC显著高于引线键合技术，特别是它可以采用类似SMT技术的手段来加工。

◆ 图：倒装封装利用焊球或凸块实现电连接



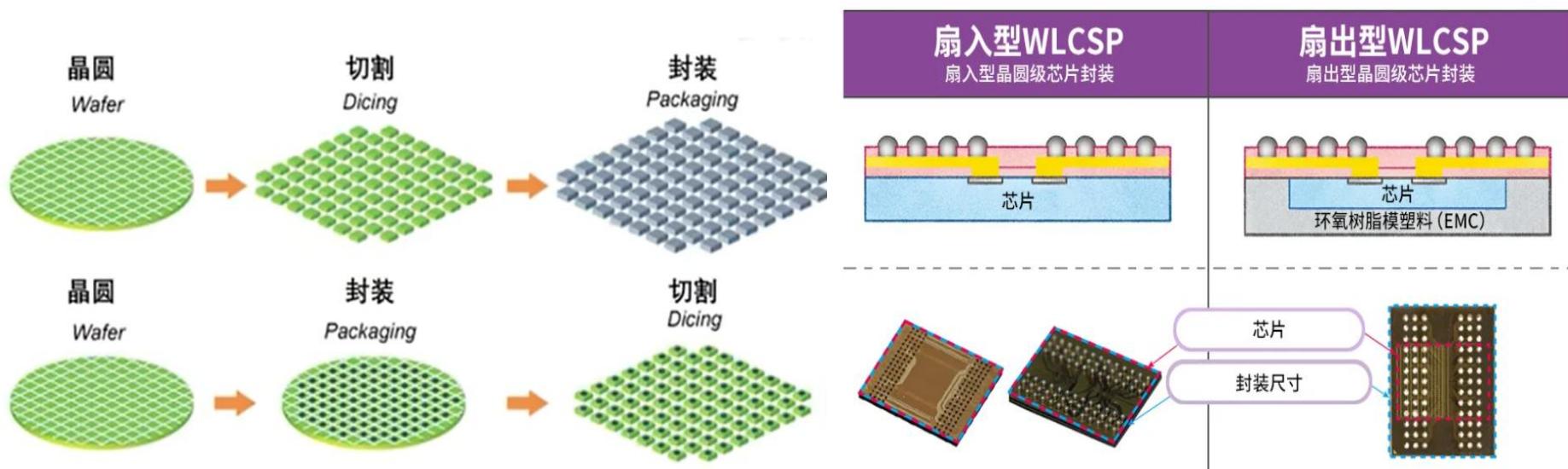
◆ 图：倒装封装工艺流程



- (3) 晶圆级封装 (Wafer-level packaging, WLP)：不同于传统封装工艺，WLP在芯片还在晶圆上的时候就对芯片进行封装，保护层可以黏接在晶圆的顶部或底部，然后连接电路，再将晶圆切成单个芯片。晶圆级芯片封装又可分为扇入型 (Fan-in WLP) 和扇出型 (Fan-out WLP)，扇入型将导线和锡球固定在晶圆顶部，而扇出型则将芯片重新排列为模塑晶圆，二者最大的区别在于扇出型引脚数多于扇入型、封装尺寸较大，在大批量生产时，扇入型通常比扇出型更经济，因为制造过程相对简单，然而如果需要更高的I/O引脚数量或更复杂的设计，扇出型可能是更好的选择。 WLP已广泛用于闪速存储器、EEPROM、高速DRAM、SRAM、LCD驱动器、射频器件、逻辑器件、电源 / 电池管理器件和模拟器件 (稳压器、温度传感器、控制器、运算放大器、功率放大器) 等领域。

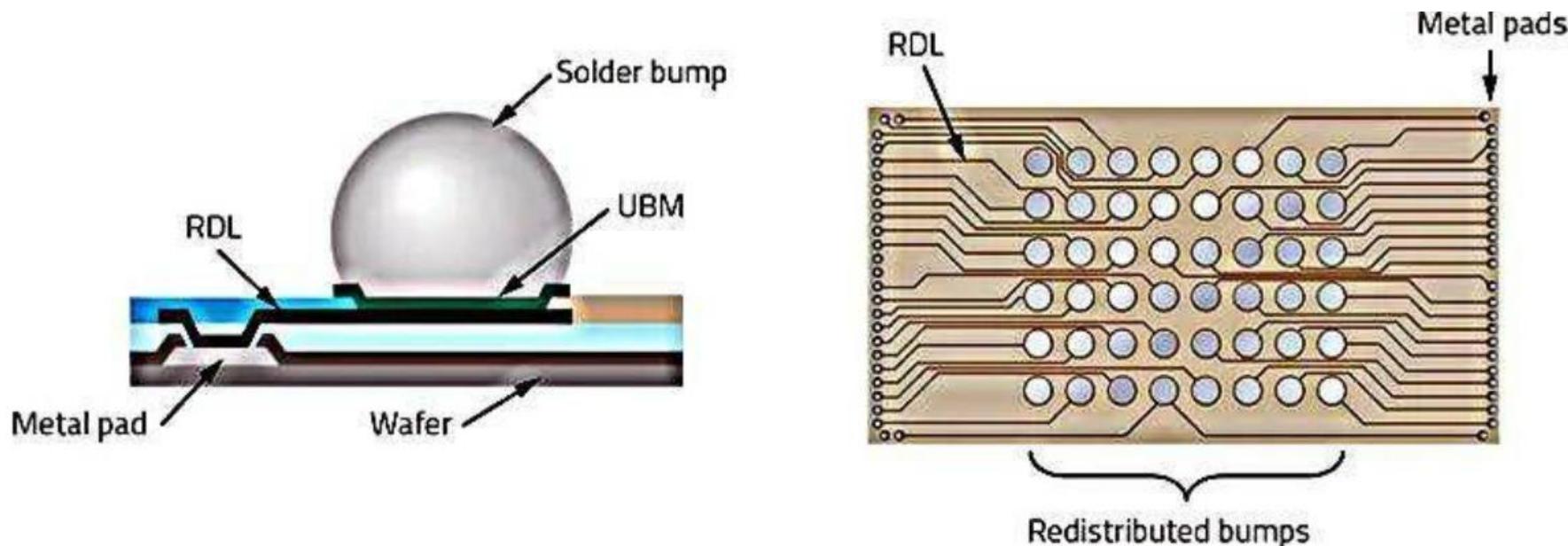
◆ 图：晶圆级封装（下）与传统封装（上）的区别

◆ 图：晶圆级芯片封装又可分为扇入型 (Fan-in WLP) 和扇出型 (Fan-out WLP)



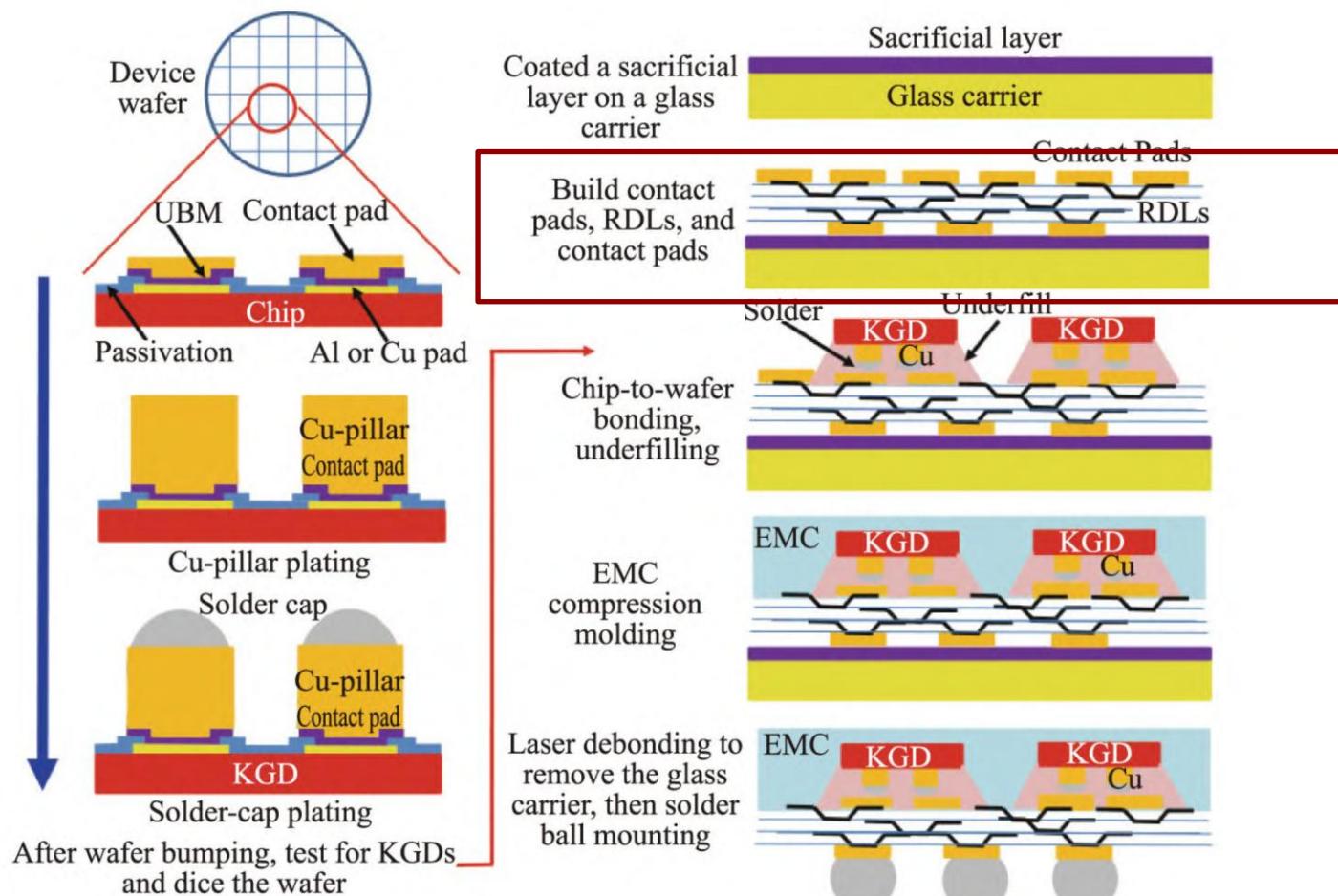
- (4) 再分布层技术 (Redistribution layer, RDL)：在晶圆表面沉积金属层和相应的介质层，并形成金属布线，对IO端口进行重新布局，将其布局到新的、占位更为宽松的区域，并形成面阵列排布。在芯片设计和制造时，IO端口一般分布在芯片的边沿或者四周，这对于引线键合工艺来说很方便，但对于倒装技术来说就有些困难，因此RDL应运而生。在芯片封装过程中，RDL用于重新分配芯片上的电路布线，将其连接到封装基板上的引脚或其他组件，这有助于实现更复杂的电路连接、提高性能并减小封装面积。
- 晶圆级封装中RDL是最为关键的技术，通过RDL将IO端口进行扇入或者扇出；在2.5D封装中，通过RDL将网络互联并分布到不同的位置，从而将硅基板上方芯片的Bump和基板下方的Bump连接；在3D封装中，堆叠上下是不同类型芯片时需要RDL重布线层将上下层芯片的IO进行对准，从而完成电气互联。

◆ 图：再分布层技术（RDL）示意图



- RDL的主要工艺流程为：①形成钝化绝缘层并开口；②沉积粘附层和种子层；③光刻显影形成线路图案并电镀填充；④除光刻胶并刻蚀粘附层和种子层；⑤重复上述步骤进行下一层的RDL布线。

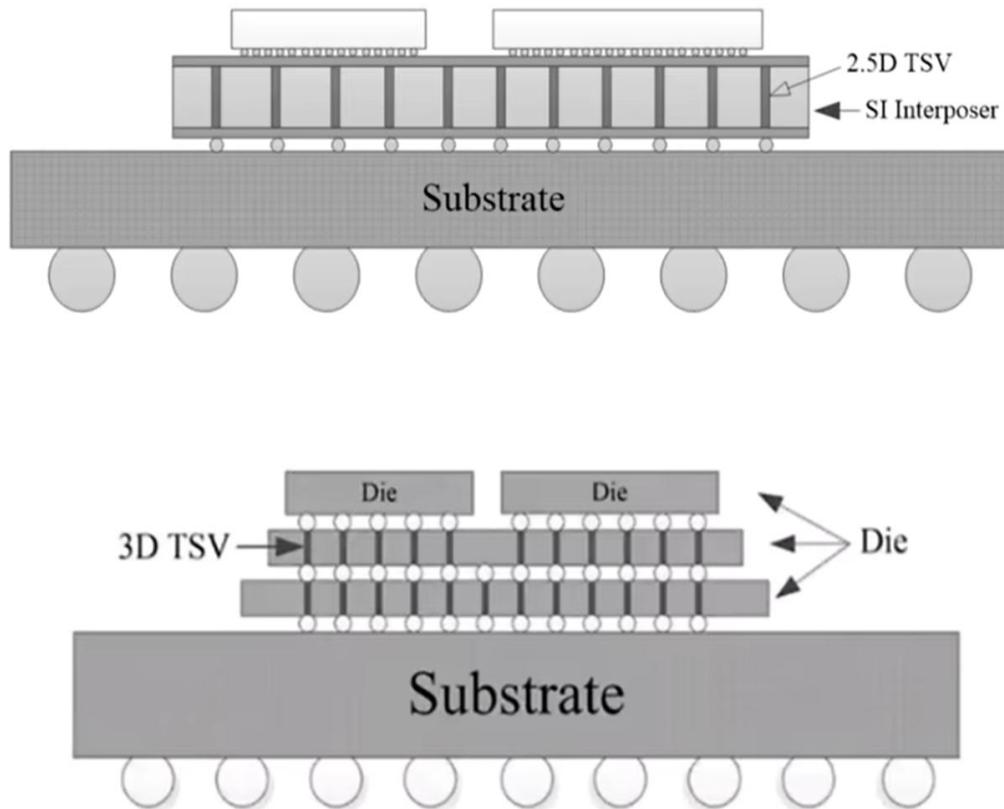
◆ 图：RDL工艺流程图



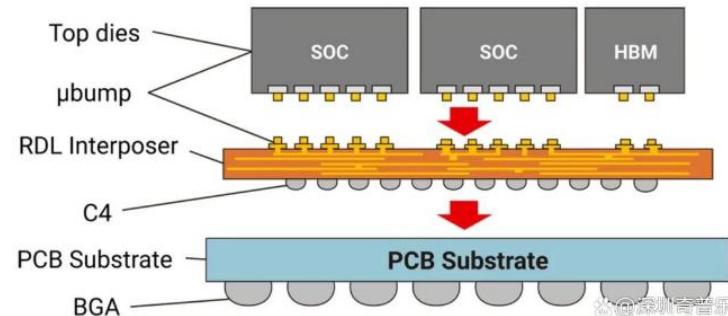
### 3.1 先进与传统封装的最大区别在于芯片与外部系统的电连接方式

- (5) 硅通孔技术 (Through Silicon Via, TSV) : 在芯片内部垂直穿透硅片并连接芯片顶部和底部的金属线, 主要作用是实现不同芯片层级之间的电信号连接。TSV可分为2.5D和3D, 2.5D需要中介层Interposer, 典型应用为台积电的CoWoS (Chip-on-Wafer-on-Substrate) , 3D无需中介层, 典型应用为SK海力士、三星的HBM (High Bandwidth Memory) 。

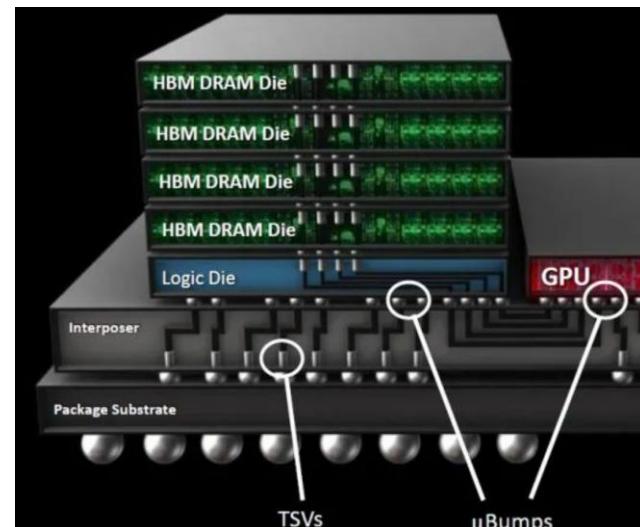
◆ 图: TSV可分为2.5D和3D



◆ 图: 2.5D封装的典型应用CoWoS



◆ 图: 3D封装的典型应用HBM

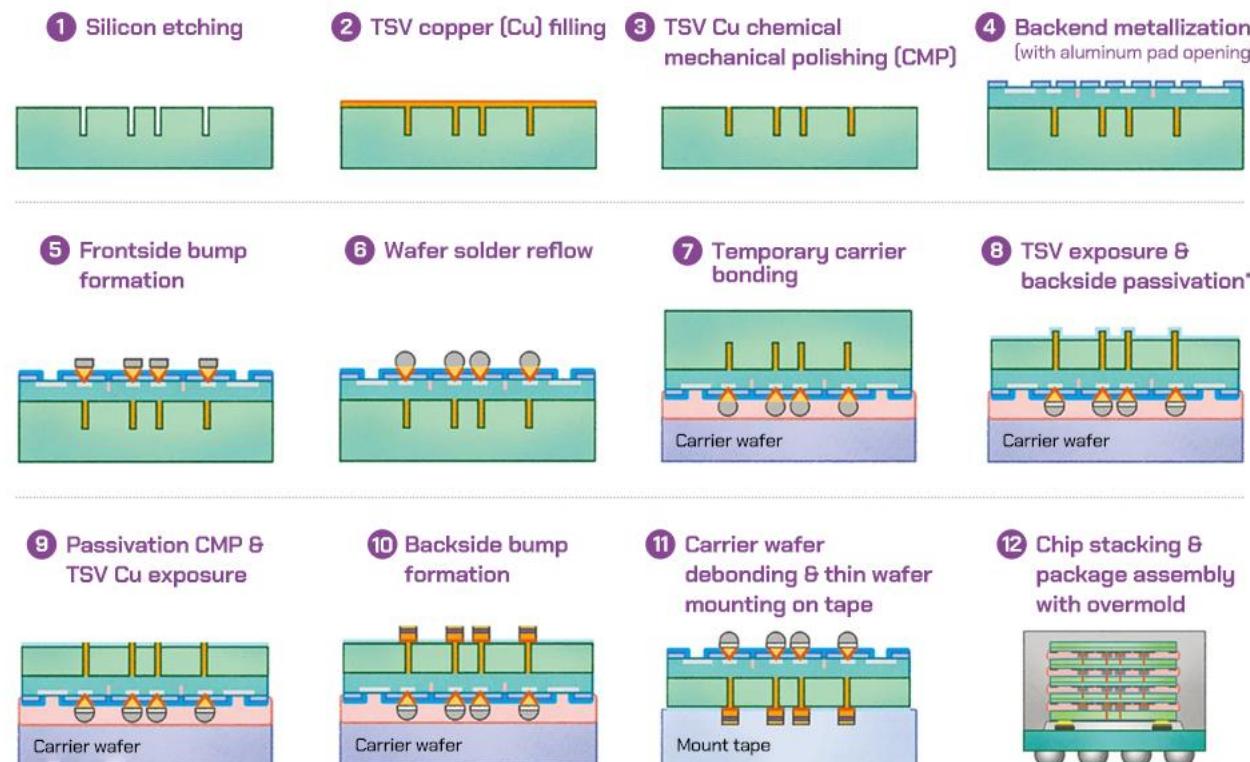


### 3.1 先进与传统封装的最大区别在于芯片与外部系统的电连接方式

- TSV的制作主要包括六个关键的工艺步骤，以前通孔为例：①通过深反应离子刻蚀技术或者激光打孔技术制作YSV；②通过热氧化技术或者等离子体增强化学气相沉积；③通过物理气相沉积技术制作阻挡层和种子层；④通过电镀技术将铜填充于TSV中；⑤通过化学机械抛光技术去除多余的铜；⑥TSV Cu外露。

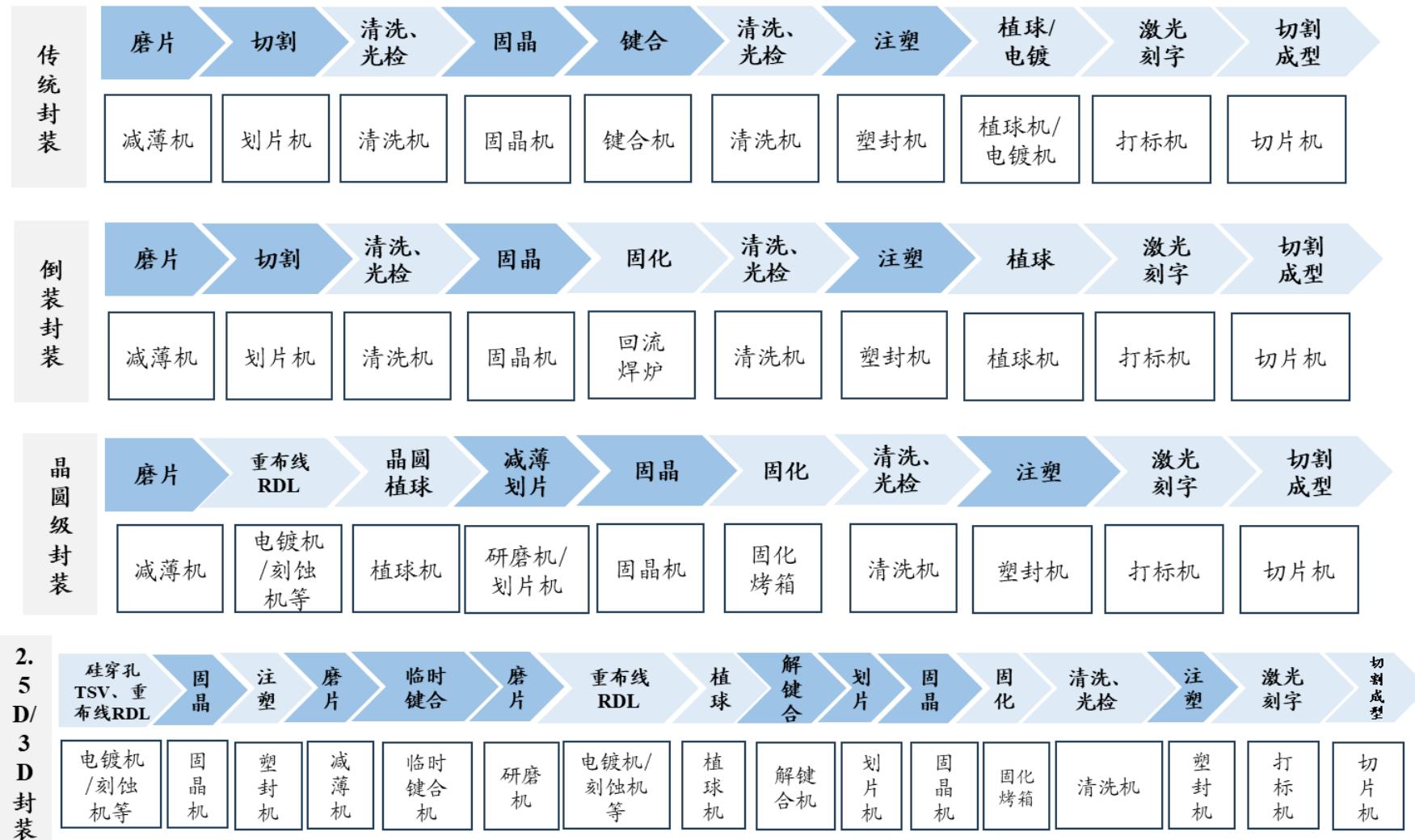
#### ◆ 图：TSV封装流程

#### The Through-Silicon Via (TSV) Packaging Process



### 3.2 传统与先进封装所需的设备有一定重合，但工艺要求有差别

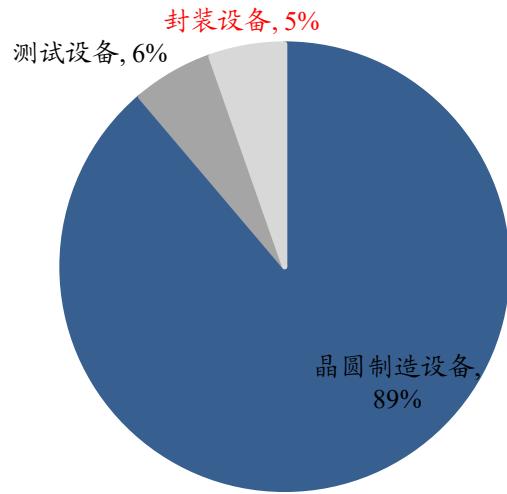
◆ 图：传统封装与先进封装所需设备有一定重合，减薄机、划片机、固晶机、键合机、塑封机等均为标配，当然先进封装对前述设备均提出更高要求，例如研磨更薄的晶圆、键合不再是引线框架、塑封机转向压塑等



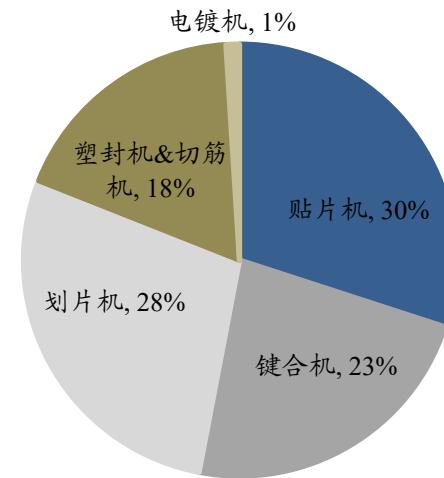
### 3.2 封装设备价值量占比约5%，固晶机/划片机/键合机等为核心

- 2023年后道封装设备占半导体设备的价值量比重约5%，固晶机/划片机/键合机等为核心设备。根据SEMI预测，2025年全球半导体封装设备市场规模有望达417亿元，其中固晶机（贴片机）占比30%，划片机（切片机）占比28%，键合机占比23%。

◆ 图：2023年全球半导体封装设备价值量占比约5%



◆ 图：2023年封装设备中划片机/固晶机/键合机等为核心



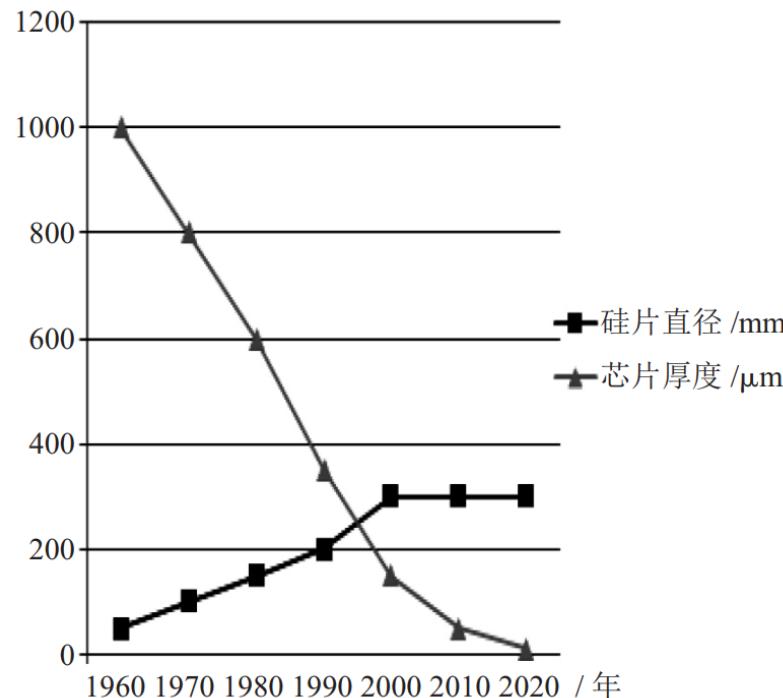
◆ 表：2017-2025E全球半导体封装设备市场规模

		2017	2018	2019	2020	2021	2022	2023	2024	2025E
全球半导体封装设备销售额 (亿元)		266	294	202	270	490	405	308	347	417
其中	固晶机 (30%)	80	88	60	81	147	121	92	104	125
	划片机 (28%)	74	82	56	75	137	113	86	97	117
	键合机 (23%)	61	68	46	62	113	93	71	80	96
	塑封机 (18%)	48	53	36	49	88	73	55	62	75
	电镀机 (1%)	3	3	2	3	5	4	3	3	4

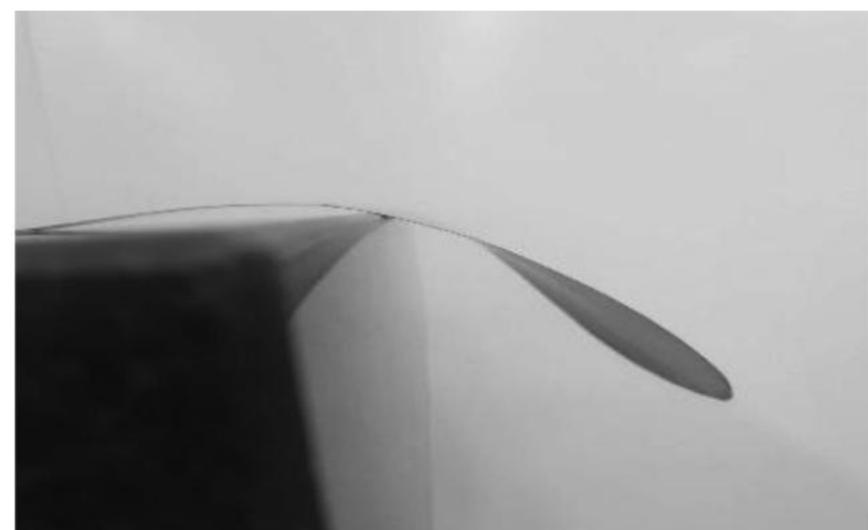
### 3.3 减薄机：晶圆呈现超薄化趋势，加工难度变大

- AI器件小型化要求不断降低芯片封装厚度，晶圆超薄化发展，对减薄机提出更高要求。一般的减薄工艺和晶圆传输方式只能实现对150μm以上厚度晶圆的加工，但随着器件减小，芯片厚度不断减薄，强度随之降低，减薄过程容易形成损伤和微裂纹。以存储器为例，其封装形式主要为叠层封装，封装的层数目前已达到96层以上，为满足先进封装要求，在封装整体厚度不变甚至减小的趋势下，堆叠中各层芯片的厚度就不可避免地需要减薄，一般来说，较为先进的多层封装所用的芯片厚度都在100μm以下甚至30μm以下，呈现柔软、刚性差、实质脆弱等特点，要求其TTV小于1μm、表面粗糙度Rz<0.01 μm，显著增大加工难度。

◆ 图：硅片直径与芯片厚度的变化趋势



◆ 图：50 μm厚度、300mm晶圆的柔性



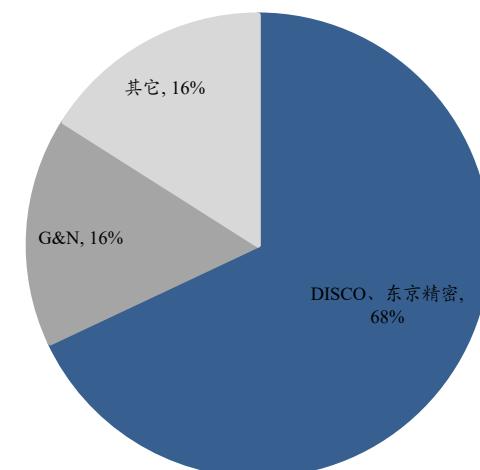
### 3.3 减薄机：海外龙头为DISCO、东京精密等，CR3约84%

- 2024年我国进口研磨机金额为3.8亿美元，2017-2024年CAGR为13%，全球减薄设备仍由日本企业主导，CR3高达84%。全球减薄机厂商主要包括日本DISCO、东京精密、G&N、Okamoto Semiconductor Equipment Division等，2023年CR2约68%，CR3约为84%，其中DISCO份额最高，占据全球主导地位。
- 减薄机头部公司DISCO、东京精密的单台设备在1200万人民币左右，且该设备全自动化程度非常高，国内目前制造减薄机的厂商很少，包括个别研究所，如郑州第三研磨所、中电科，还有华海清科、某泛半导体领域设备龙头、晶盛机电等，国产减薄机价格也在1200万人民币左右，一台减薄机一年产能在6万片左右，也与实际研磨量有关。

◆ 图：2024年我国进口研磨机金额为3.8亿美元，  
2017-2024年CAGR为13%



◆ 图：2023年海外龙头为DISCO、东京精密等，  
CR3约84%



### 3.4 划片机：分为砂轮切、激光切等，目前砂轮切为主流

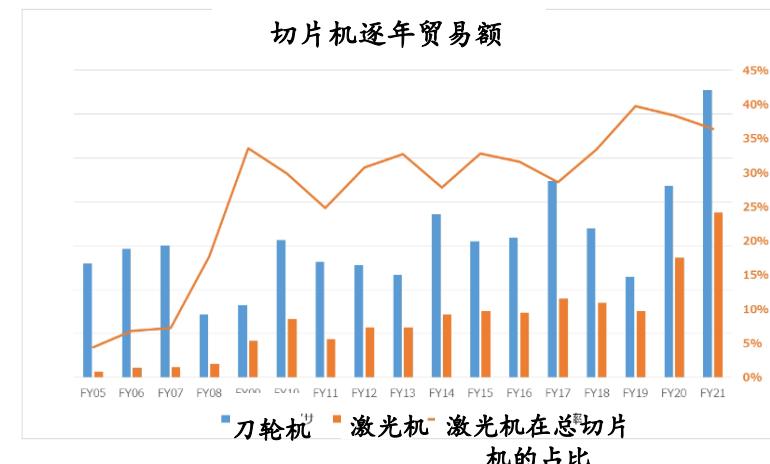
- 划片机分为砂轮切、激光切等，目前砂轮切为主流。

激光与刀轮切片机不存在竞争关系，可以增加彼此的销量。据DISCO统计，刀轮切片机与激光切片机随着时间的推移销量都在不断上升，同时激光切片机在所有切片机销售额中的占比不断增加，由最开始的5%到24年的36%左右。可见，激光切片机以支持刀片切割机薄弱的领域发展，与刀片切割机不存在竞争关系。

◆ 表：各类切片机技术对比

	刀轮切	激光切（烧蚀切）	激光切（隐形切）	等离子切
图例				
加工方法	用刀片（砂轮）加工	在加工过程中，激光在局部聚焦，使固体升华和蒸发。	将激光聚焦到工件内部，形成改性层，然后用外力将其破坏的过程。	使用等离子蚀刻气体去除切割区域的工艺
横截面				
特点	用途广泛，通过更换刀片可用于多种材料；取得了大量成就，并在技术上建立了良好的基础。	非接触式加工，机械负荷低；适用于刀片难以处理的硬质材料。	由于内部加工，加工碎屑少；可以不用水进行干式加工。	用于一次性加工整个晶片表面，用于微型芯片；加工损伤小，切屑强度高
使用	大多数集成电路/LSI	去除高速逻辑集成电路中使用的机械强度低的电介质（低K薄膜）	具有微机械结构的MEMS设备；成像设备对加工碎屑不敏感。	RFID等

◆ 图：激光切片机与刀轮切片机销量均在上升



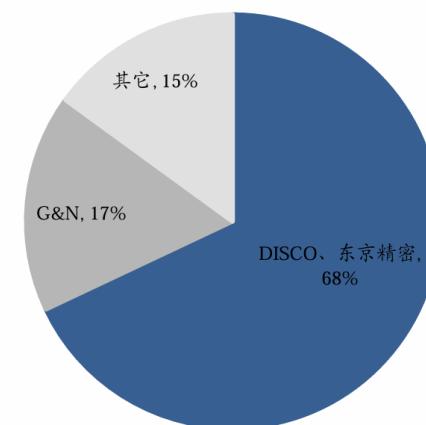
### 3.4 划片机：海外龙头为DISCO、东京精密等，CR2约70%

- 2024年我国进口划片机金额为2.2亿美元，2017-2024年CAGR为2%，全球减薄设备主要由日本企业主导，2022年CR3约85%。全球减薄机厂商主要包括日本DISCO、东京精密、G&N、Okamoto Semiconductor Equipment Division等，2022年CR2约68%，CR3约为85%，其中DISCO份额最高，占据全球主导地位。
- DISCO刀轮切片机一台价格1500万人民币左右，激光切片机一台价格在1000万人民币左右，激光切片机价格低于刀轮切片机的原因在于激光切片机体积较小，且对精度没有过高的要求；一台刀轮切片机切割12寸晶圆的产能大概为一个月1万片左右。

◆ 图：2024年我国进口划片机金额为2.2亿美元，  
2017-2024年CAGR为2%

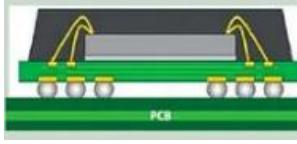
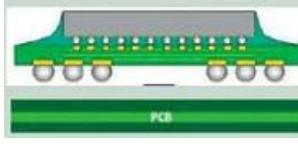
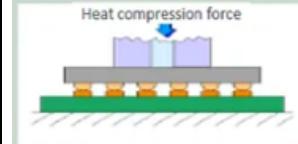
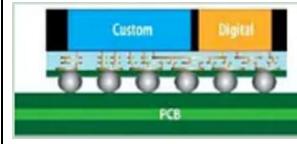
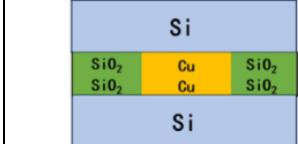
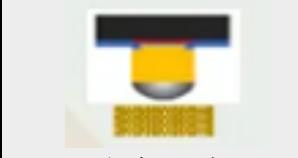
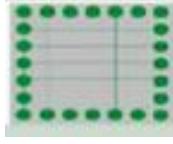
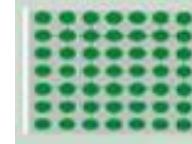
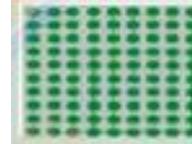
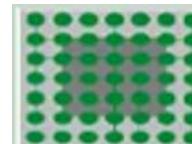


◆ 图：2022年海外龙头为DISCO、东京精密等，CR3  
约85%



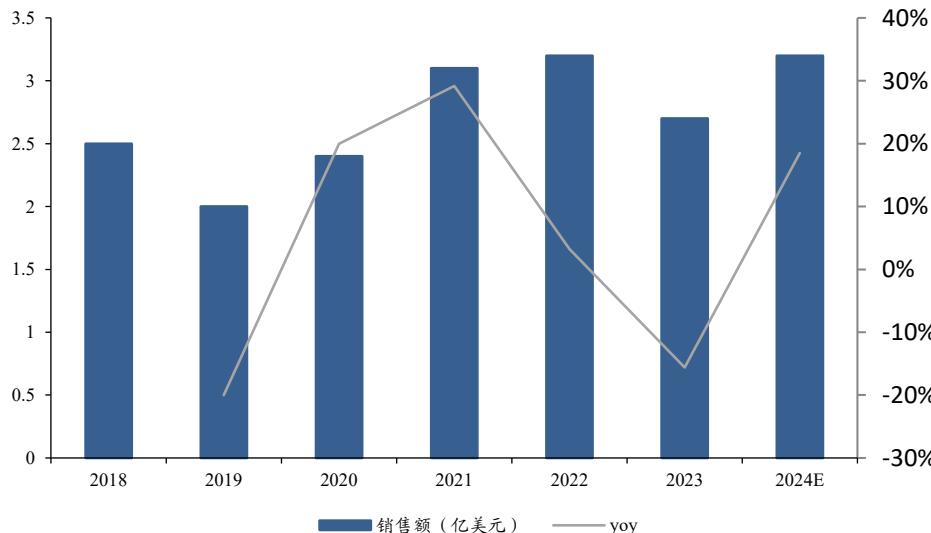
### 3.5 键合方式从引线键合、倒装键合、热压键合再到混合键合

- 封装形式演变下，键合技术追求更小的互联距离以实现更快的传输速度。封装技术经历了从最初通过引线框架到倒装（FC）、热压粘合（TCP）、扇出封装（Fan-out）、混合封装（Hybrid Bonding）的演变，以集成更多的I/O、更薄的厚度，以承载更多复杂的芯片功能和适应更轻薄的移动设备。在最新的混合键合技术下，键合的精度从5-10/mm<sup>2</sup>提升到10k+/mm<sup>2</sup>，精度从20-10um提升至0.5-0.1um，与此同时，能量/Bit则进一步缩小至0.05pJ/Bit。

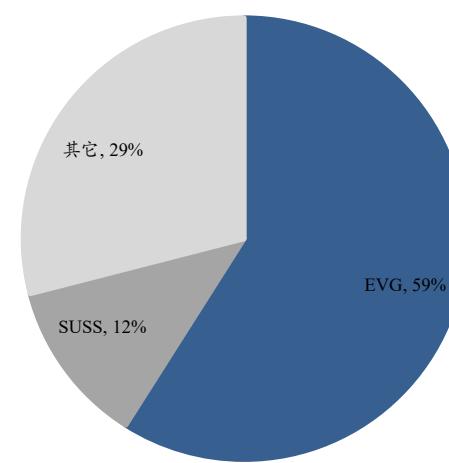
	引线键合（Wire Bonding, 1975）	倒装芯片键合（Flip Chip, 1995）	热压键合（TCB Bonding, 2012）	扇出封装（HD Fan Out, 2015）	混合键合（Hybrid Bonding, 2018）
结构					
工艺种类	 引线	 锡球/铜柱凸块	 铜柱凸块	 RDL/铜柱凸块	 铜-铜键合
连接密度	 5-10 I/O接口 /mm <sup>2</sup>	 25-400 I/O接口 /mm <sup>2</sup>	 156-625 I/O接口 /mm <sup>2</sup>	 500+ I/O接口 /mm <sup>2</sup>	 1万-100万 I/O接口 /mm <sup>2</sup>
基板	有机物/引线框架	有机物/引线框架	有机物/硅	/	/
精度	20-10μm	10-5μm	5-1μm	5-1μm	0.5-0.1μm
能耗/比特	10pJ/bit	0.5pJ/bit	0.1pJ/bit	0.5pJ/bit	< 0.05pJ/bit

- 根据YOLE，2024年全球晶圆键合设备市场空间约3.2亿美元，2018-2024年CAGR为4%。全球晶圆键合设备消费市场主要集中在中国、日本、欧洲和美国等地区，其中亚太地区半导体行业发展较快，晶圆键合设备销量份额最大，2024年占据全球的60%，而欧洲和北美分别占有15%和15%。
- 全球晶圆键合设备市场相对集中，海外龙头为EVG、SUSS等，2022年CR2约70%。国际市场上的主要生产商包括EV Group、SUSS MicroTec、Tokyo Electron、AML、Mitsubishi、Ayumi Industry、SMEC等，奥地利EV Group为全球龙头企业，2022年收入占据全球份额的59%，德国SUSS MicroTec为全球第二大企业，占据全球市场的12%，Tokyo Electron、AML、Mitsubishi、Ayumi Industry、SMEC等一共占有将近29%的市场份额。
- 从售价来看，国外临时键合机单台售价约为2000万人民币左右，解键合机单台售价1000万人民币左右，混合键合机单台售价3000万人民币左右。

◆ 图：2024年全球晶圆键合设备市场空间约3.2亿美元，2018-2024年CAGR为4%



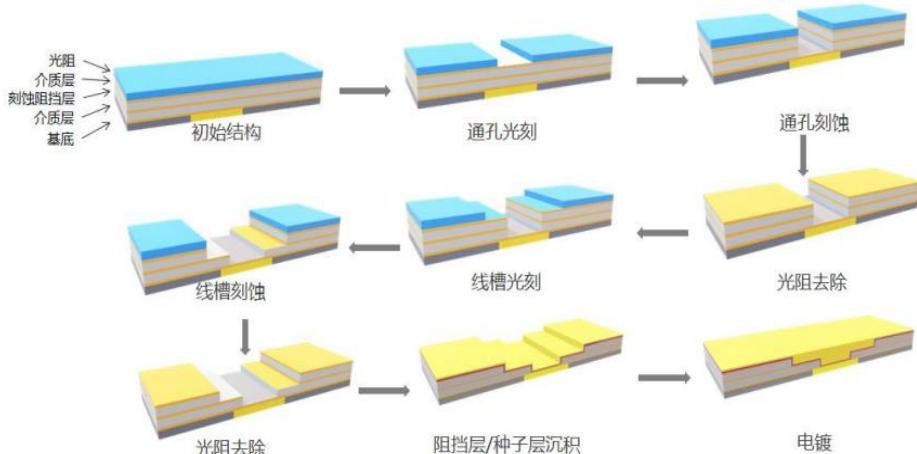
◆ 图：2022年海外龙头为EVG、SUSS等，CR2约70%



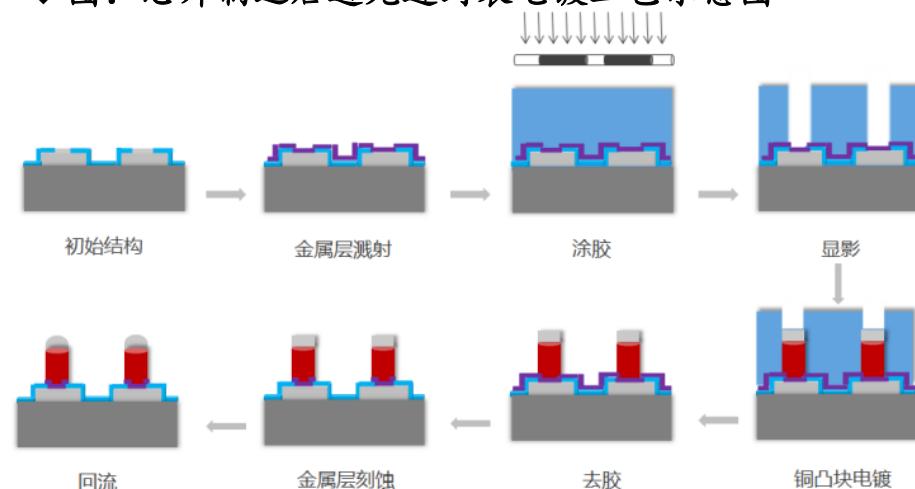
### 3.6 电镀机：有望受益于TSV、凸块等快速放量

- **电镀机：**是指在芯片制造过程中，将电镀液中的金属离子电镀到晶圆表面形成金属互连。随着芯片制造工艺越来越先进，芯片内的互连线开始从传统的铝材料转向铜材料，半导体镀铜设备便被广泛采用。目前半导体电镀已经不限于铜线的沉积，还有锡、锡银合金、镍、金等金属，但是金属铜的沉积依然占据主导地位。铜导线可以降低互联阻抗，降低器件的功耗和成本，提高芯片的速度、集成度、器件密度等。
- 过去传统封装工艺中电镀机主要在封装体的特定部位上沉积金属层，例如增加引脚的导电性或在封装体外壳上提供一层防护层，随着先进封装发展，例如凸块、RDL、TSV等均需要电镀金属铜进行沉积，电镀设备有望充分受益。前道的电镀需要在晶圆上沉积一层致密、无孔洞、无缝隙等其他缺陷，并且分布均匀的铜，再配以气相沉积设备、刻蚀设备、清洗设备等，完成铜互连线工艺；后道来看，在硅通孔、重布线、凸块工艺中都需要金属化薄膜沉积工艺，使用电镀工艺进行金属铜、镍、锡、银、金等金属的沉积。

◆ 图：芯片制造前道铜互连电镀工艺示意图



◆ 图：芯片制造后道先进封装电镀工艺示意图



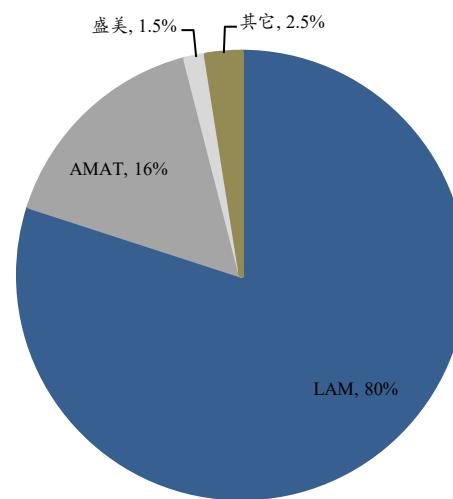
### 3.6 电镀机：海外龙头AMAT、LAM等CR2约96%

- 根据QY Research, 2023年全球晶圆电镀设备市场规模大约为31亿元, 2020-2025年CAGR约为8%, 2020年全球电镀设备市场龙头主要为美系LAM和AMAT, 二者合计占比约96%。据Gartner统计, 2020年全球半导体电镀设备主要由国外企业占据, 美国LAM占比80%, 美国应用材料AMAT占比16%, 盛美上海仅占比约1.5%。其中前道晶圆制造的电镀设备领域, 目前全球市场主要被LAM垄断; 后道先进封装电镀设备领域, 全球范围内的主要设备商包括美国的AMAT和LAM、日本的EBARA和新加坡ASM Pacific等; 国内企业中盛美半导体较为领先。

◆ 图：2020-2025年电镀机全球市场规模（亿元），  
CAGR约为8%



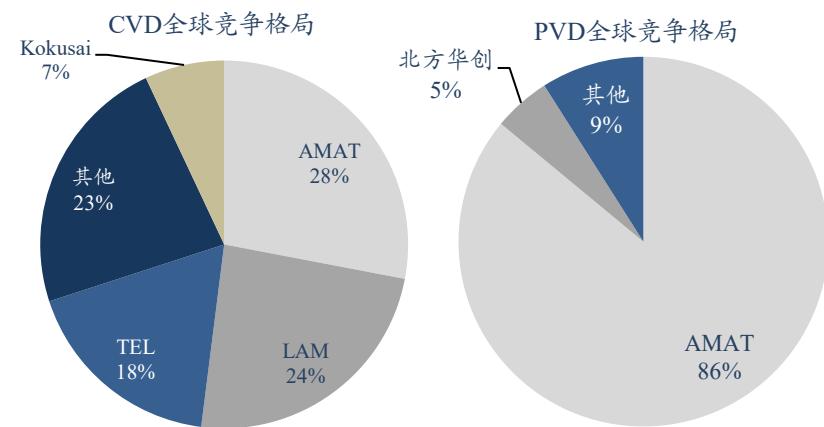
◆ 图：2020年全球电镀设备龙头为LAM和AMAT，  
CR2约96%



### 3.7 先进封装主要增量在于前道的图形化设备

- (1) PVD&CVD等薄膜沉积设备：在先进封装中UBM、RDL、TSV制作中，会用到薄膜沉积设备，例如在RDL中，使用次数的多少随RDL层数变化；TSV在电镀前要先沉积种子层。
- 我们预计到2025年中国大陆薄膜沉积设备市场空间有望达800亿元。①PVD设备：2022年AMAT市场份额高达86%，我国北方华创市占率约5%；②CVD设备：2022年AMAT全球占比约为28%，其次为Lam的24%，两者占据了全球52%的市场份额，我国拓荆科技、微导纳米等积极推进国产突破。

◆ 图：2022年 PVD、CVD 龙头均为 AMAT



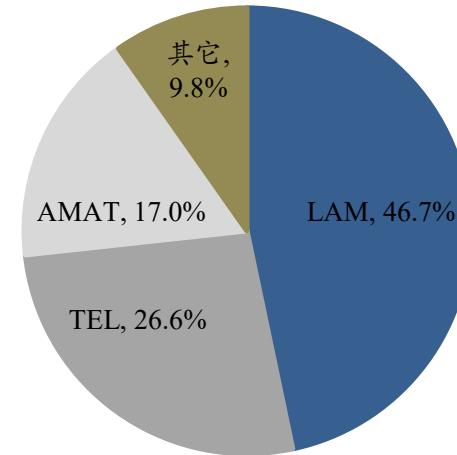
◆ 表：2025年中国大陆薄膜沉积设备市场空间有望达800亿元

		2020	2021	2022	2023	2024	2025E
全球半导体设备销售额 (亿元)		4984	7185	7532	7281	8102	8895
中国大陆半导体设备销售额 (亿元)		1310	2073	1979	2005	3513	3638
中国大陆半导体设备市场占比 (%)		26%	29%	26%	28%	43%	41%
其中	薄膜沉积设备 (22%)	288	456	435	441	773	800
	光刻机 (21%)	275	435	416	421	738	764
	刻蚀设备 (21%)	275	435	416	421	738	764
	量/检测设备 (11%)	144	228	218	221	386	400
	清洗设备 (5%)	66	104	99	100	176	182
	涂胶显影设备 (4%)	52	83	79	80	141	146
	CMP设备 (3%)	39	62	59	60	105	109
	离子注入设备 (2.5%)	33	52	49	50	88	91

### 3.7 先进封装主要增量在于前道的图形化设备

- （2）刻蚀机：先进封装中，TSV中需要刻蚀打孔，RDL中需要刻蚀去除多余的UBM等，均有广泛应用。
- 我们预计2025年中国大陆刻蚀设备市场空间有望超760亿元，全球刻蚀设备龙头为LAM、TEL和AMAT。泛林半导体技术实力最强，产品覆盖最为全面，2023年占据46.7%的市场份额；东京电子和应用材料分别占据26.6%和17.0%。我国刻蚀设备厂商中微公司和北方华创分别在CCP和ICP占据领先地位，分别占1.4%和0.9%。

◆ 图：2023年刻蚀机龙头LAM市场占比46.7%



◆ 表：2025年中国大陆刻蚀设备市场空间有望达764亿元

	2020	2021	2022	2023	2024	2025E
全球半导体设备销售额 (亿元)	4984	7185	7532	7281	8102	8895
中国大陆半导体设备销售额 (亿元)	1310	2073	1979	2005	3513	3638
中国大陆半导体设备市场占比 (%)	26%	29%	26%	28%	43%	41%
其中	薄膜沉积设备 (22%)	288	456	435	441	773
	光刻机 (21%)	275	435	416	421	738
	刻蚀设备 (21%)	275	435	416	421	738
	量/检测设备 (11%)	144	228	218	221	386
	清洗设备 (5%)	66	104	99	100	176
	涂胶显影设备 (4%)	52	83	79	80	141
	CMP设备 (3%)	39	62	59	60	105
	离子注入设备 (2.5%)	33	52	49	50	88

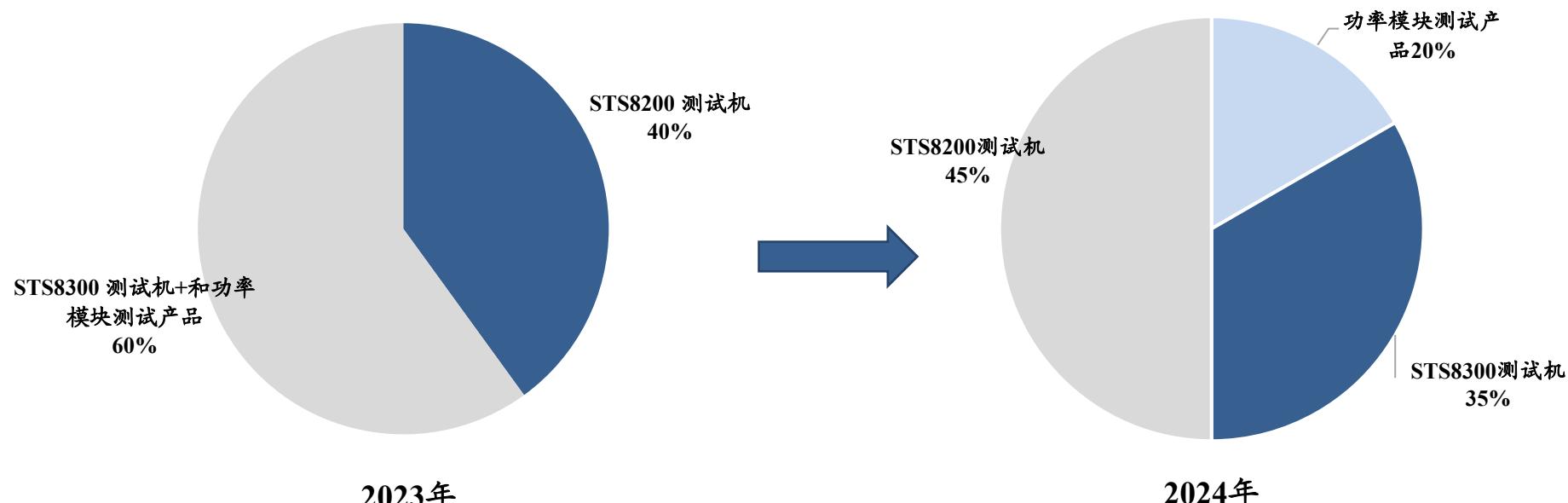


- 一、AI芯片快速发展，带来封测设备新需求
- 二、后道测试：AI测试要求提升，关注国产测试机双龙头
- 三、后道封装：先进封装快速发展，关注国产封装设备商
- 四、投资建议
- 五、风险提示

## 4.1 华峰测控：STS8300占比迅速上升，STS8600正在验证

- 自研ASIC芯片突破高端测试机瓶颈。1月发布可转债发行预案拟募资不超过10亿元，其中7.59亿元投入基于自研ASIC芯片。目前800Mbps及以下主频的板卡，完全可以通过市场上的通用芯片来实现，1.6Gbps及更高主频的板卡资源则需要依赖自研的高端芯片。
- 8600测试机对标爱德万V9300K机型，可用于AI及SoC、存储芯片测试。8600具备超过4000个数字通道的输出能力与超过2000安培的供电能力，适用于高需求高功耗芯片的测试；每颗数字通道具备1.5G的数据向量存储空间，能够处理复杂的测试数据。

◆ 图：2024年8300销量占比提升



## 4.2 长川科技：全产品布局，SoC测试机国内领先



- 公司深耕半导体测试设备领域，产品包括测试机、分选机、探针台等设备。
- 在巩固传统分选机、模拟测试机竞争优势的同时，公司SOC、存储测试机等高端设备快速突破。  
**(1) SOC类测试机：**细分客户需求显著提升，大客户战略深化（持续下单），小客户开拓，同时公司重点布局CIS测试机等新品；  
**(2) 其他领域：**包括数模混合、模组、用于AI芯片、GPU等测试机，我们推测24年已产生一定收入，有望进入放量阶段；  
**(3) 重点开拓三温分选机、AOI量检测及封装相关设备等。**

### ◆ 图：长川科技主要产品

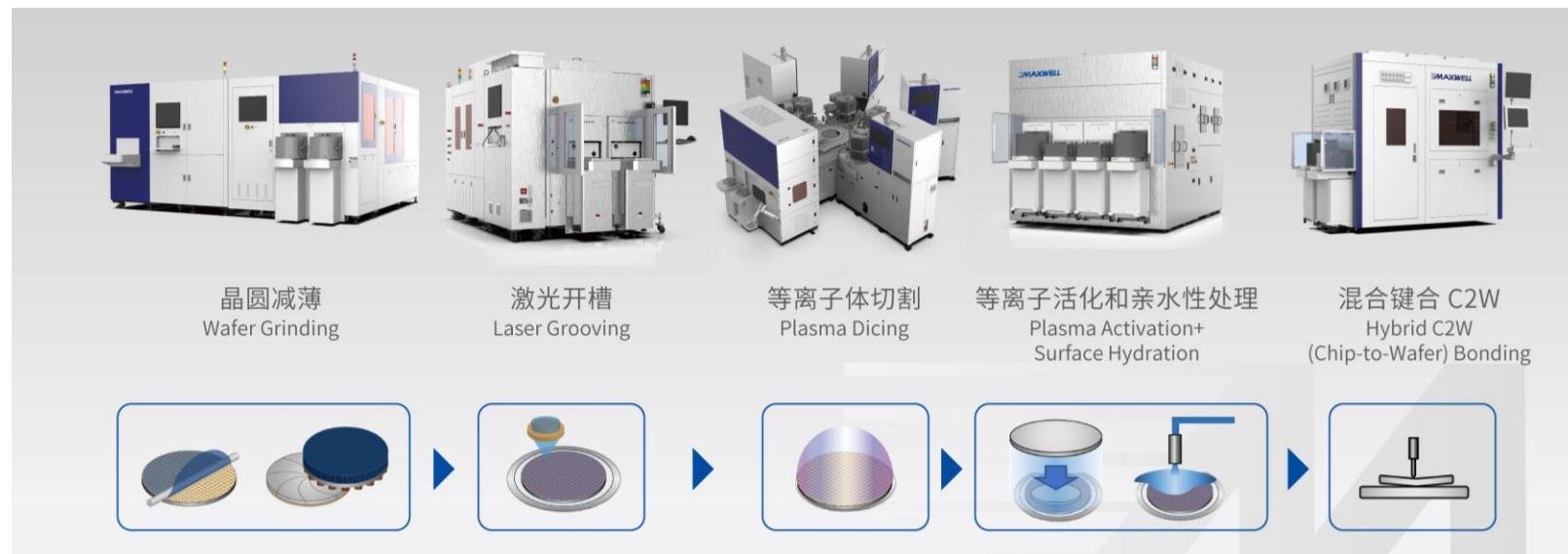
设备分类	产品分类	具体产品
分选机	三温平移式分选机	C6800T、C6800TS、C6800T-G、C6100TS
	常高温平移式分选机	C6系列、CF系列、C6160H-G、C6800C
	三温 SLT 分选机	CS800T SLT
	常高温 SLT 分选机	CS160系列、CS800C
	重力式分选机	C1IPM 系列、C5系列、C8HIPM系列、C8HT系列
	转塔式分选机	EXIS250/300、EXIS 400、EXIS 5501700
测试机	数模混合测试机	CTA8280F、CTA8290D Plus
	功率测试机	CTT3280F、CTT3700、P2000、P3000
	数字测试机	D9000 SoC
	老化测试机	D9000 SoC
探针台	超高温探针台	S1000、S2000-A
	三温探针台	S2000-T

## 4.3 某泛半导体领域设备龙头：提供先进封装“磨划+键合”整体解决方案



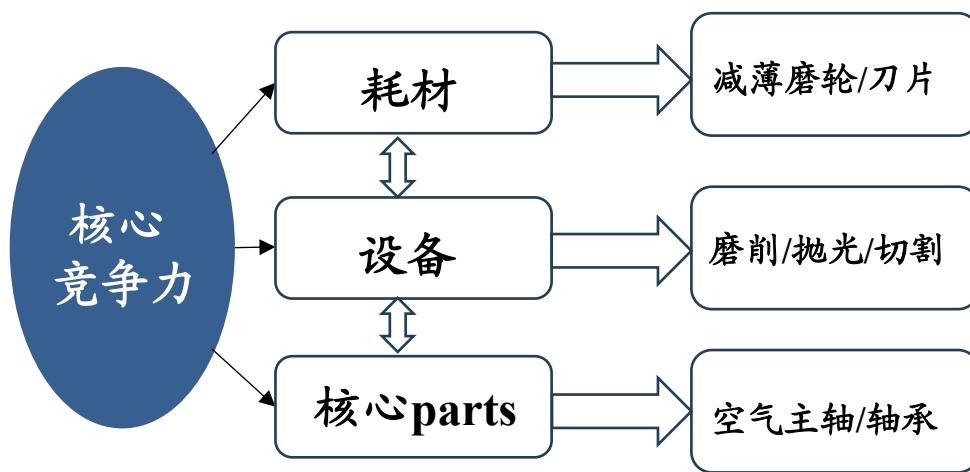
- 公司可提供先进封装“磨划+键合整体解决方案”。(1) **切磨抛设备**：公司通过自主研发创新，公司率先实现激光开槽、激光改质切割、刀轮切割、研磨、研抛一体设备（国内首款干抛式机台）等。公司的多款半导体磨划装备已交付长电科技、华天科技、三安光电等客户并实现稳定量产。(2) **切磨抛核心部件+耗材**：公司还自主研制了主轴、超精密升降台等核心部件及磨轮、刀轮等主要耗材，可提供磨划设备+耗材+工艺完整解决方案。(3) **键合**：2024年公司成功开发出全自动晶圆临时键合机、晶圆激光解键合机以及全自动混合键合机等多款新品并交付头部客户，在半导体先进键合设备领域取得突破。

◆ 图：公司能够提供3D封装成套工艺设备解决方案，涵盖减薄、开槽、切割、键合等工艺设备



- 晶盛在半导体的定位大硅片、先进封装、先进制程、碳化硅三代半导体等领域，半导体设备产业链逐步完整，将形成覆盖生长、切片、抛光、外延四大核心装备为主的产品体系。（1）大硅片领域：单轴-8寸减薄机、单轴-12寸减薄机已批量出货；（2）SiC领域：SiC减薄机已批量出货；在SOI、功率半导体领域内，Si-8寸减薄机、双轴-12寸减薄机均已批量出货；（3）封测领域：2023年2月三轴-减薄抛光机样机demo、2023年9月减薄抛光+撕贴膜机wafer demo、2024年9月三轴-减薄抛光HC即将推出样机。
- 晶盛除了布局设备外，还针对关键零部件进行了布局，如磨轮、刀片、空气主轴等。

◆ 图：晶盛机电布局半导体设备的核心竞争力



◆ 图：晶盛机电的单轴-12寸Si减薄机



- 华海清科主营CMP设备、减薄设备、供液系统等，打造了“装备+服务”的平台化战略布局。核心团队成员来自半导体行业专业人才，公司主要产品及服务已广泛应用于集成电路、先进封装、大硅片、第三代半导体、MEMS、Micro LED等制造工艺。
- 公司Versatile-GP300减薄机是根据当前3D IC制造、先进封装等高端市场需求开发的先进12英寸超精密晶圆减薄设备，是业内首次实现12英寸晶圆超精密磨削和CMP全局平坦化的有机整合集成设备，自主研发的超精密晶圆磨削系统稳定实现12英寸晶圆片内磨削TTV<1um，达到了国内领先和国际先进水平。华海清科创新开发的CMP多区压力智能控制系统，突破传统减薄机的精度限制，实现了减薄工艺全过程的稳定可控。2023年5月华海清科Versatile-GP300量产机台出机发往集成电路龙头企业，产业化取得重要突破。

◆ 图：华海清科的Versatile-GP300



◆ 图：华海清科的Versatile-GM300



## 4.6 拓荆科技：持续完善先进封装产品线布局



- 公司发布四款先进封装新品，完善先进封装产品布局。公司发布的新品包括低形变熔融键合产品Dione 300F、Die-to-Wafer混合键合产品Pleione、永久键合后载片激光剥离设备Lyra以及键合套准精度量测设备Crux 300，进一步丰富了公司在先进封装领域的产品矩阵。
- 公司键合领域设备产品线不断完善，迈向先进封装设备一体化供应商。先进封装是大陆突破制程瓶颈、发展先进制程芯片的关键路径，该产业正迎来快速发展的机遇期。公司此前已推出W2W键合产品Dione 300及芯片对晶圆混合键合前表面预处理产品Propus等。此次键合设备新品发布，标志着公司在先进封装键合领域设备产品线的逐步完善，朝着成为先进封装设备一体化供应商的目标迈进。目前，公司在国内键合领域设备装机量和键合相关工艺覆盖率均位居第一（HBM应用），且在键合设备精度、产能效率等方面均处于业界领先水平。

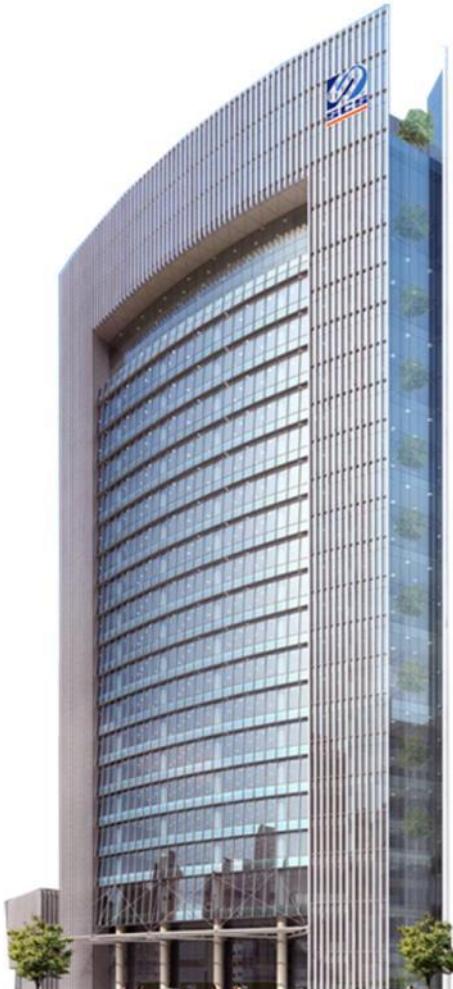
### ◆ 图：拓荆科技后道封装设备完成HBM及3DIC全工艺覆盖

应用类型	先进逻辑	先进DRAM	NAND	HBM	CIS	3D IC	化合物半导体
W2W混合键合		✓	✓	✓	✓	✓	✓
熔融键合	✓	✓		✓	✓	✓	
激光剥离（W2W, W2F）	✓	✓		✓		✓	✓
D2W预处理				✓		✓	✓
D2W键合				✓		✓	✓
Overlay量测		✓	✓	✓	✓	✓	✓

- 芯源微的临时键合机、解键合机均已进入客户验证阶段。公司在新产品拓展方面取得良好进展，其中，后道涂胶显影机可应用于chiplet等领域的的新产品；临时键合机、解键合机也实现国内多家客户订单导入。

◆ 图：芯源微在先进封装领域客户资源优质





- 一、AI芯片快速发展，带来封测设备新需求
- 二、后道测试：AI测试要求提升，关注国产测试机双龙头
- 三、后道封装：先进封装快速发展，关注国产封装设备商
- 四、投资建议
- 五、风险提示

- 1、封测设备需求不及预期：**封装测试企业及晶圆厂的资本开支，决定封装设备的市场需求。2024 年全球半导体市场景气度复苏存在不确定性，可能导致封装设备需求不及预期，拖累相关公司业绩。
- 2、技术研发不及预期：**半导体封测设备存在较高的技术和验证壁垒，需要下游封测厂商与晶圆厂密切配合，新产品的研发进度存在不确定性；若研发验证或客户导入进度慢，可能会对相关公司的业绩造成不利影响。
- 3、行业竞争加剧：**有多家国内企业从事设备的研发与生产工作，若行业竞争加剧，设备的毛利率水平可能下滑，影响企业盈利能力。

# 免责声明



东吴证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本研究报告仅供东吴证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为客户提供。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，本公司及作者不对任何人因使用本报告中的内容所导致的任何后果负任何责任。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

在法律许可的情况下，东吴证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

市场有风险，投资需谨慎。本报告是基于本公司分析师认为可靠且已公开的信息，本公司力求但不保证这些信息的准确性和完整性，也不保证文中观点或陈述不会发生任何变更，在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。

本报告的版权归本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。经授权刊载、转发本报告或者摘要的，应当注明出处为东吴证券研究所，并注明本报告发布人和发布日期，提示使用本报告的风险，且不得对本报告进行有悖原意的引用、删节和修改。未经授权或未按要求刊载、转发本报告的，应当承担相应的法律责任。本公司将保留向其追究法律责任的权利。

## 东吴证券投资评级标准

资评级基于分析师对报告发布日后6至12个月内行业或公司回报潜力相对基准表现的预期（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数，新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的），北交所基准指数为北证50指数），具体如下：

### 公司投资评级：

- 买入：预期未来6个月个股涨跌幅相对基准在15%以上；
- 增持：预期未来6个月个股涨跌幅相对基准介于5%与15%之间；
- 中性：预期未来6个月个股涨跌幅相对基准介于-5%与5%之间；
- 减持：预期未来6个月个股涨跌幅相对基准介于-15%与-5%之间；
- 卖出：预期未来6个月个股涨跌幅相对基准在-15%以下。

### 行业投资评级：

- 增持：预期未来6个月内，行业指数相对强于基准5%以上；
- 中性：预期未来6个月内，行业指数相对基准-5%与5%；
- 减持：预期未来6个月内，行业指数相对弱于基准5%以上。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议。投资者买入或者卖出证券的决定应当充分考虑自身特定状况，如具体投资目的、财务状况以及特定需求等，并完整理解和使用本报告内容，不应视本报告为做出投资决策的唯一因素。

东吴证券研究所  
苏州工业园区星阳街5号  
邮政编码：215021  
传真：（0512）62938527  
公司网址：<http://www.dwzq.com.cn>

# 东吴证券 财富家园