

华为韬（ τ ）定律： 从“面积缩微”转向“时间缩微”的半导体新范式

行业研究 · 行业专题

计算机 · 人工智能

投资评级：优于大市（维持评级）

证券分析师：熊莉

021-61761067

xiongli1@guosen.com.cn

S0980519030002

- **理论重构：突破几何微缩极限，提出“ τ 定律”新范式。** 摩尔定律在7nm以下面临寄生RC延迟等物理瓶颈，单纯依靠平面尺寸微缩已无法有效提升性能。半导体演进从“空间”转向“时间”，以特征时间常数 τ 的系统性降低为核心度量，通过晶体管、电路、芯片到系统的全栈协同优化来突破物理极限。
- **架构创新：LogicFolding实现3D逻辑折叠，大幅提升集成度与能效。** 通过将组合逻辑的关键路径在垂直堆叠的有源层上分布，并采用微米级超细间距混合键合，大幅缩短信号线物理长度。Kirin 2026量产验证显示，晶体管密度单代跃升至238 MTr/mm²，SoC性能核能效提升41%，最高主频提升近13%，预计2029年将迈向4.0GHz时代。
- **先进封装：系统级3D封装重塑物理边界，非破坏性量测需求上升。** 相比2.5D封装，系统3D封装引入混合键合与背面供电，实现原子级固体连接，互连密度跃升两个数量级。由于三维结构使连接界面深埋且热密度激增，传统光学检测失效，以高分辨率X-Ray及声学显微镜为代表的非破坏性三维透视探伤技术成为刚需。
- **设备市场：3D互连催生ALD工艺刚需，国产替代空间广阔。** 3D集成面临高深宽比通孔沉积难题，原子层沉积（ALD）凭借优异的三维共形性和亚单层精确控制，成为混合键合沉积的核心工艺。预计全球ALD设备市场到2035年将增至132亿美元，当前市场呈现高度垄断，国内拓荆科技、新凯来、北方华创等厂商正加速研发布局，先进制程节点国产替代潜力巨大。
- **风险提示：** AI应用落地不及预期、市场需求不及预期、行业竞争加剧、宏观经济波动、新技术研发不及预期等。

- [01] 突破平面物理边界的逻辑折叠架构
- [02] 系统3D封装与检测技术
- [03] ALD沉积工艺与全球设备市场
- [04] 风险提示

一、突破平面物理边界的逻辑折叠架构

“韬（τ）定律”：从“空间”到“时间”的范式转换

重新定义度量衡：尺寸微缩仅是压缩时间的手段。半导体进步的本质指标不是晶体管面积，而是特征时间常数 τ 的系统性降低。

$$\tau = RC$$

全栈协同优化公式：

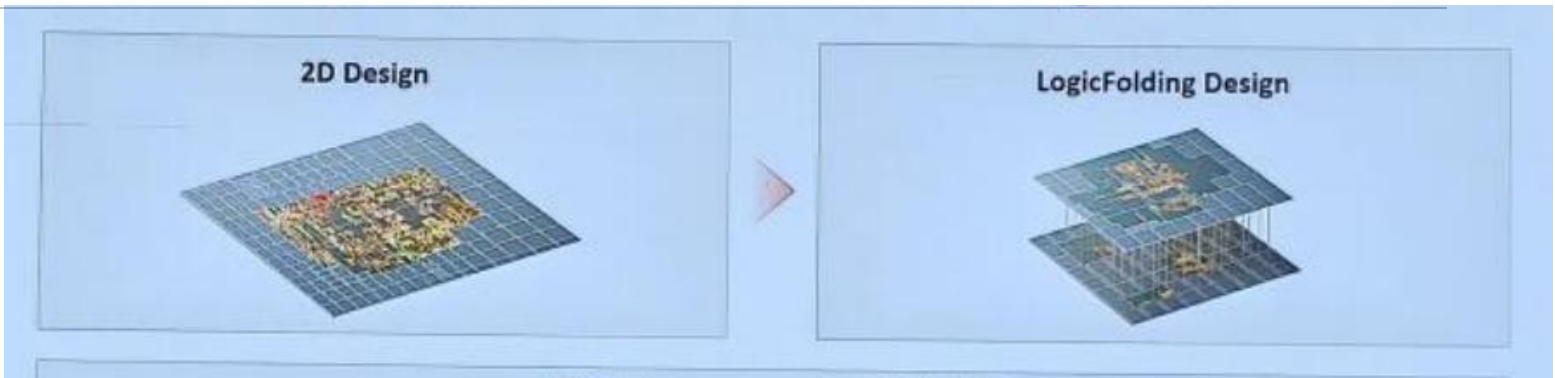
$$\tau = f(\tau_{transistor}, \tau_{circuit}, \tau_{chip}, \tau_{system})$$



图1：从四个层面降低特征时间常数

- ✓ 将关键路径的门电路分布在垂直堆叠的有源层上，并通过超细间距混合键合进行连接。
- ✓ 信号线长度缩短，寄生RC减少，时钟偏斜更小，芯片在同一设备节点上能够以更高的时钟频率工作。

图2：从传统的二维平面向三维“逻辑折叠”的空间架构演进



资料来源：ISCAS 2026，国信证券经济研究所整理

表1：逻辑折叠关键技术指标

关键技术指标	目标参数 / 数值	物理意义与工程影响
Gear Ratio (混合键合间距 / 顶层金属间距比值)	最好 < 3 (理想状态 ≈ 1)	消除走线冗余：比值越接近1，说明上下层接口几乎完全对齐。信号不需要在接口处额外“绕远路”（鸟笼式布线），极大提升传输效率。
顶层金属线间距	当前约 720 nm	基准标尺：芯片最上层金属布线的物理极限，这也是混合键合间距需要努力逼近的目标基准线。
层间对准精度	< 0.5 μm (微米)	防短路/断路：上下两块晶圆压在一起时，必须严丝合缝。若偏离较多，纳米级的焊点就会错位，导致整颗芯片直接报废。
TSV 通孔缩放	关键尺寸 & 禁戒区 < 1.5 μm 孔间距 < 6 μm	保障逻辑密度：TSV如果太大，会挤占原本用来放晶体管的空间（禁戒区 KOZ）。将其压缩到微米极限，才能在不牺牲平面面积的前提下实现海量垂直互连。
3D 制造良率	接近 100%	通过“智能冗余（Smart Redundancy）”技术，在设计图纸上多画一些备用通孔。

资料来源：何庭波著-《A Time Scaling Theory for Multi-Layer Electronic Systems》-P8，国信证券经济研究所整理

- ✓ **EDA工具重构**：现有的2D EDA设计流无法处理复杂的垂直时序闭合，需全新的3D布局布线与提取算法支撑。
- ✓ **3D标准单元表征**：需对逻辑单元库进行三维物理建模，精细化管理层间寄生参数对信号的影响。
- ✓ **对准精度**：上下层晶圆键合精度需达到 $0.5\mu\text{m}$ 以下，以防止数以亿计的纳米级焊点错位。
- ✓ **热密度与热力学挑战**：深层逻辑单元产生的热量难以有效散出，进而引发晶体管阈值电压漂移、漏电流增加，甚至直接导致热击穿。
- ✓ **隐蔽缺陷检测**：在键合前确保每一层硅片都是100%良率的KGD，需要研发高通量、非破坏性的三维透视检测技术以在不破坏薄膜层的前提下，找到隐蔽界面中的缺陷。

图3：传统设计向全新的逻辑折叠设计的演进路径



资料来源：ISCAS 2026，国信证券经济研究所整理

表2：Kirin 2026的测试结果

测试模块 / 领域	核心量测指标	实测数据提升幅度 (vs 传统 2D)	物理机制与技术细节
整体集成度	晶体管密度	155 → 238 MTr/mm²	单代实现了以往需 3年 几何缩微才能达到的跨越。
SoC 性能核	能效与速度上限	能效提升 41% 最高主频提升近 13%	核心计算单元的功耗与速度得到了双重释放。
片上网络	面积占用与供电	数据路径面积减少 55%	通过跨越上下两层构建高速全局数据路径，同时改善了供电稳定性。
SRAM	运行频率与能耗	运行频率提升 > 40% (同时降低每比特能耗)	逻辑折叠物理上缩短了位线和字线的关键路径长度。
代表性处理核	物理布线与时序资源	时钟缓冲器 (Buffer) 减少 > 50% 时钟偏斜 (Skew) 降低 25% 走线物理长度减少约 30%	双层折叠架构节约了底层布线资源并优化了时序闭合。

资料来源：何庭波著-《A Time Scaling Theory for Multi-Layer Electronic Systems》-P8，国信证券经济研究所整理

Kirin 2026版本中使用的LogicFolding技术方案采取了保守的设计策略：

- ✓ 混合键合间距达到1.5微米
- ✓ TSV焊盘仅位于顶层金属下方一级
- ✓ 折叠技术仅应用于关键关键路径而非整个设计区域

表3：华为Kirin系列的计划演进路径

年份	SoC 型号	架构	频率 (GHz)	状态
2023	Kirin9000s	平面	2.6	量产
2024	Kirin9020	平面	2.65	量产
2025	Kirin9030 pro	平面	2.75	量产
2026	Kirin 2026	逻辑折叠	3.1	已流片验证
2027	Kirin 2027	逻辑折叠	3.39	已流片验证
2028	Kirin 2028	逻辑折叠	3.71	流片前仿真
2029	Kirin 2029	逻辑折叠	4.0	流片前仿真

资料来源：何庭波著-《A Time Scaling Theory for Multi-Layer Electronic Systems》-P8，国信证券经济研究所整理

- ✓ 在未来十年，LogicFolding 预计将从局部关键路径折叠演进为全规模、多层折叠
- ✓ 低温混合键合放宽了各层之间的热预算限制
- ✓ 以及TSV连接点从顶层金属下移至M6层，释放了超过30%的高层布线资源。
- ✓ 从2026年到2035年，晶体管密度预计将提升至400MTr/mm²以上。

二、系统3D封装与检测技术

在高性能计算与AI高频通信的极限需求下，传统2.5D封装的微凸点（ μ Bump）间距已触及物理互连密度的天花板，成为制约系统整体能效的‘互连墙’。系统3D封装的出现，通过引入背面供电（BSPDN）及ALD原子级沉积工艺，重构了芯片垂直互连的物理边界，将I/O密度提升了两个数量级。

表4：2.5D与3D封装的对比

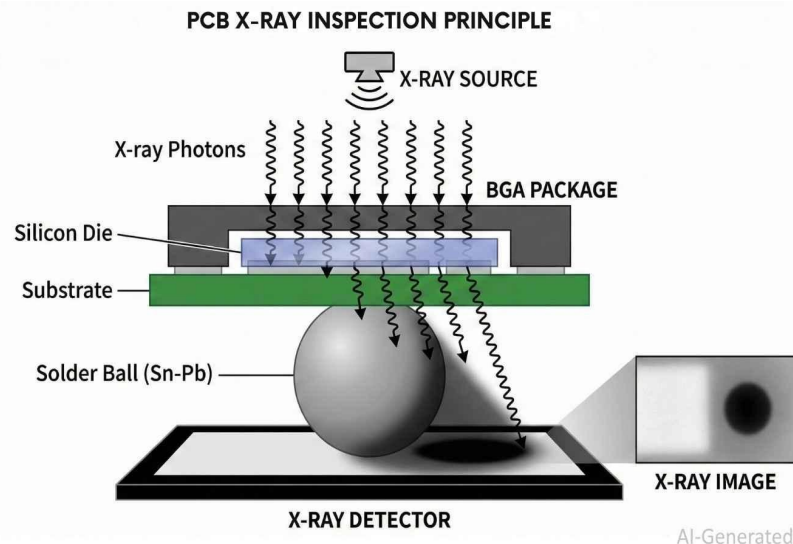
对比维度	2.5D 封装 (如 CoWoS, EMIB)	系统 3D 封装 (如 SoIC, 逻辑折叠)	升级意义
空间架构	平面延伸：芯片在硅中介层上并排排列，主要依赖X-Y平面互连	垂直融合：有源层（Active Die）在Z轴上直接堆叠互连。	升级：通信路径大幅缩短，打破“互连墙”
键合技术	微凸点焊接：使用微小金属凸点（ μ Bump）与焊剂，通过热压键合（TCB）	混合键合 (Hybrid Bonding)：无凸点的介质层亲水键合 + 铜-铜金属直接键合	升级：实现原子级固体连接，消除凸点带来的寄生效应与物理间距限制
互连间距与密度	间距较大：通常在 $30\mu\text{m} \sim 40\mu\text{m}$ 之间 密度中等：数百至数千 I/O / mm^2	极限缩放：间距压缩至 $2\mu\text{m}$ 以内（向 $1\mu\text{m}$ 逼近） 密度高：105-106 I/O / mm^2	升级：互连密度跃升100倍以上，是支撑逻辑折叠千万级节点跨层通信的基础
薄膜沉积工艺	传统的物理/化学气相沉积（PVD / CVD）	原子层沉积 (ALD)	升级：在高深宽比的超细通孔内，ALD能实现100%保形的极薄阻挡层覆盖，防止铜扩散
供电架构	传统的前段/正面供电网络	引入 背面供电网络 (BSPDN)。	升级：分离信号网络与电源网络，通过背面通孔直接供电，解决3D堆叠下的严重压降（IR Drop）问题

资料来源：Google, IMEC, Yole, 国信证券经济研究所整理

芯片集成维度向Z轴延伸，检测技术需要面临着从静态表面观测向深层隐蔽探伤、以及从单点电学验证向多物理场动态模拟的深刻变革：

- ✓ **隐藏界面缺陷**：混合键合完成后，连接界面被深埋在硅层内部。传统光学检测（AOI）完全失效，缺陷变得“不可见”。
- ✓ **KGD 预检测压力**：3D堆叠中任何一层失效即全盘报废。必须在键合前确保每一层 Die 是 100% 合格，但超细间距下探针测试难度较大。
- ✓ **多物理场行为变异**：3D结构下，热密度激增引起的应力变化会改变电学行为。检测不再是静态的，而需模拟动态热场下的真实性能。

图6：X 射线检测的物理原理



资料来源：JLCPCB，国信证券经济研究所整理

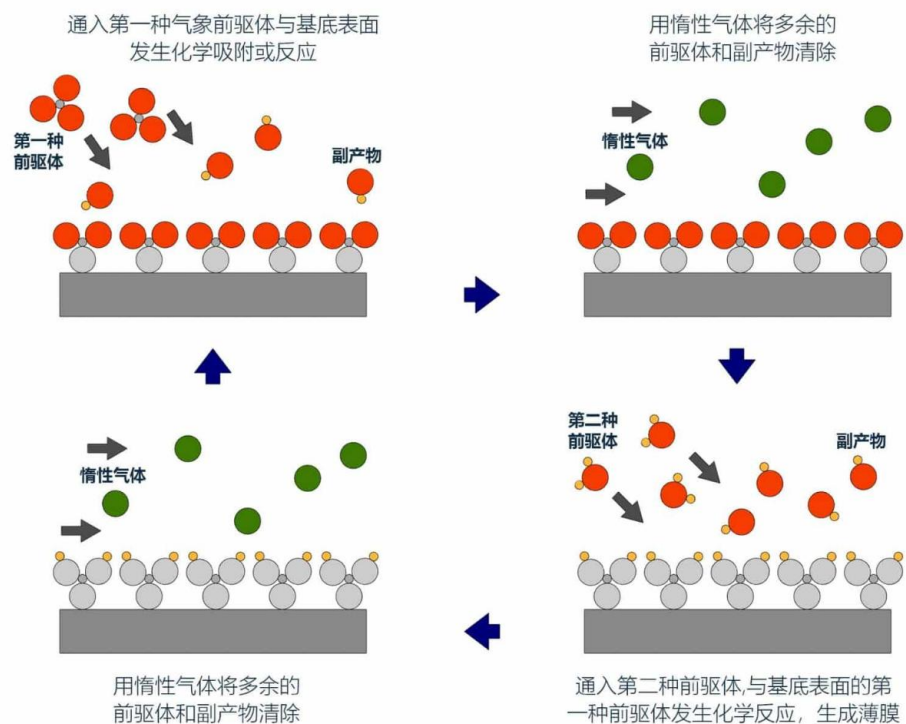
新一代量测体系正以非破坏性的‘深层穿透’能力为核心进行重构：

- ✓ **三维透视探伤**：必须依赖高分辨率 X-Ray (CT) 或声学显微镜 (SAM)，精准捕捉原子级的空洞、虚焊和虚接触。
- ✓ **非接触式量测**：研发红外、激光等非接触手段，避免探针对 ALD 极薄薄膜的物理损伤。

三、ALD工艺与全球设备市场

原子层沉积技术（ALD），是指通过将气相前驱体交替脉冲通入反应室并在沉积基体表面发生气固相化学吸附反应形成薄膜的一种方法。

图4：ALD的沉积过程



资料来源：Accscicn，国信证券经济研究所整理

原子层沉积过程由A、B两个半反应分四个基元步骤进行：

- ✓ 前驱体A脉冲吸附反应；
- ✓ 惰气吹扫多余的反应物及副产物；
- ✓ 前驱体B脉冲吸附反应；
- ✓ 惰气吹扫多余的反应物及副产物；

依次循环从而实现薄膜在衬底表面逐层生长。

用原子层沉积制备高质量薄膜材料，三大要素必不可少：

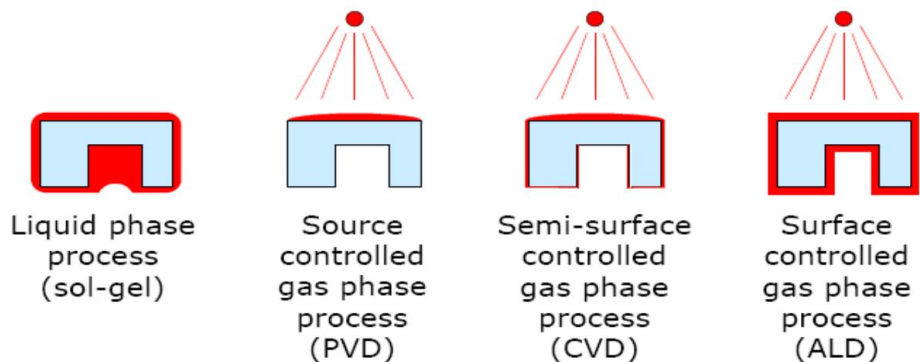
- ✓ 前驱体需满足良好的挥发性、足够的反应活性以及一定热稳定性，前驱体不能对薄膜或衬底具有腐蚀或溶解作用
- ✓ 前驱体脉冲时间需保证单层饱和吸附；
- ✓ 沉积温度应保持在ALD窗口内，以避免因前驱体冷凝或热分解等引发CVD生长从而使得薄膜不均匀；

与传统的薄膜制备技术相比，原子层沉积技术优势明显。

传统的溶液化学方法以及溅射或蒸镀等物理方法（PVD）由于缺乏表面控制性或存在溅射阴影区，不适用于在三维复杂结构衬底表面进行沉积制膜。化学气相沉积（CVD）方法需对前驱体扩散以及反应室温度均匀性严格控制，难以满足薄膜均匀性和薄厚精确控制的要求。

相比之下，原子层沉积技术基于表面自限制、自饱和吸附反应，具有表面控制性，所制备薄膜具有优异的三维共形性、大面积的均匀性等特点，适应于复杂高深宽比衬底表面沉积制膜，同时还能保证精确的亚单层膜厚控制。

图5：四种不同薄膜沉积技术在复杂三维结构上的覆盖能力差异



ALD工艺的核心难点：

- ✓ 在3D集成的超细深孔内沉积时，必须精确控制前驱体扩散时间，防止孔口处薄膜提前生长过厚导致孔道闭合，从而在芯片内部留下空洞。
- ✓ 用于3D堆叠及混合键合的ALD工艺属于后道工序，反应温度必须严格控制在 250°C ~ 400°C 以下。

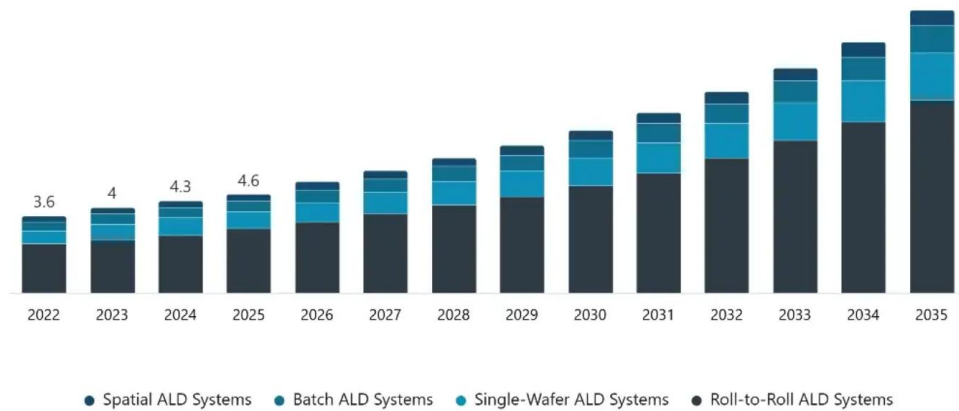
资料来源：KOCW，国信证券经济研究所整理

根据Global Market Insights推算，受先进制程、3D存储（NAND/DRAM）以及先进封装需求爆发的驱动，全球ALD市场规模将从2025年的47亿美元增至2035年的132亿美元，CAGR达10.9%，亚太地区增速最快。

ALD设备市场呈现垄断，前五大厂商（ASM先晶半导体、TEL东京电子、AMAT应用材料、Lam泛林半导体、Veeco）在2025年占据72.1%的份额，先晶半导体以19.4%稳居龙头。国内企业在先进制程节点仍有巨大的国产替代空间。

图6：原子层沉积设备市场分析

Global Atomic Layer Deposition (ALD) Equipment Market, By Equipment Type, 2022-2035 (USD Billion)



资料来源：Global Market Insights，国信证券经济研究所整理

表4：国内ALD设备主要厂商

公司名称	主要 ALD 产品线	主要应用领域
拓荆科技	FT-300T系列	适用于高深宽比晶圆空洞的薄膜沉积
新凯来	阿里山系列	先进逻辑/存储前中后段沉积
北方华创	Polaris A系列	high-K材料薄膜沉积
微导纳米	iTomic系列	高K介质层、电容介质层
盛美上海	Ultra Furnace 系列	具备低累积膜厚气体清洗功能

资料来源：各公司官网，国信证券经济研究所整理

四、风险提示

- ◆ AI发展及投资不及预期
- ◆ 行业竞争加剧
- ◆ 全球地缘政治风险
- ◆ 新技术发展引起产业链变迁

国信证券投资评级

投资评级标准	类别	级别	说明
报告中投资建议所涉及的评级（如有）分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后6到12个月内的相对市场表现，也即报告发布日后的6到12个月内公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。A股市场以沪深300指数（000300.SH）作为基准；新三板市场以三板成指（899001.CSI）为基准；香港市场以恒生指数（HSI.HI）作为基准；美国市场以标普500指数（SPX.GI）或纳斯达克指数（IXIC.GI）为基准。	股票投资评级	优于大市	股价表现优于市场代表性指数10%以上
		中性	股价表现介于市场代表性指数±10%之间
		弱于大市	股价表现弱于市场代表性指数10%以上
		无评级	股价与市场代表性指数相比无明确观点
	行业投资评级	优于大市	行业指数表现优于市场代表性指数10%以上
		中性	行业指数表现介于市场代表性指数±10%之间
		弱于大市	行业指数表现弱于市场代表性指数10%以上

分析师承诺

作者保证报告所采用的数据均来自合规渠道；分析逻辑基于作者的职业理解，通过合理判断并得出结论，力求独立、客观、公正，结论不受任何第三方的授意或影响；作者在过去、现在或未来未就其研究报告所提供的具体建议或所表述的意见直接或间接收取任何报酬，特此声明。

重要声明

本报告由国信证券股份有限公司（已具备中国证监会许可的证券投资咨询业务资格）制作；报告版权归国信证券股份有限公司（以下简称“我公司”）所有。本报告仅供我公司客户使用，本公司不会因接收人收到本报告而视其为客户。未经书面许可，任何机构和个人不得以任何形式使用、复制或传播。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以我公司向客户发布的本报告完整版本为准。

本报告基于已公开的资料或信息撰写，但我公司不保证该资料及信息的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映我公司于本报告公开发布当日的判断，在不同时期，我公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。我公司不保证本报告所含信息及资料处于最新状态；我公司可能随时补充、更新和修订有关信息及资料，投资者应当自行关注相关更新和修订内容。我公司或关联机构可能会持有本报告中所提到的公司所发行的证券并进行交易，还可能为这些公司提供或争取提供投资银行、财务顾问或金融产品等相关服务。本公司的资产管理部门、自营部门以及其他投资业务部门可能独立做出与本报告意见或建议不一致的投资决策。

本报告仅供参考之用，不构成出售或购买证券或其他投资标的要约或邀请。在任何情况下，本报告中的信息和意见均不构成对任何个人的投资建议。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。投资者应结合自己的投资目标和财务状况自行判断是否采用本报告所载内容和信息并自行承担风险，我公司及雇员对投资者使用本报告及其内容而造成的一切后果不承担任何法律责任。

证券投资咨询业务的说明

本公司具备中国证监会核准的证券投资咨询业务资格。证券投资咨询，是指从事证券投资咨询业务的机构及其投资咨询人员以下列形式为证券投资人或者客户提供证券投资分析、预测或者建议等直接或者间接有偿咨询服务的活动：接受投资人或者客户委托，提供证券投资咨询服务；举办有关证券投资咨询的讲座、报告会、分析会等；在报刊上发表证券投资咨询的文章、评论、报告，以及通过电台、电视台等公众传播媒体提供证券投资咨询服务；通过电话、传真、电脑网络等电信设备系统，提供证券投资咨询服务；中国证监会认定的其他形式。

发布证券研究报告是证券投资咨询业务的一种基本形式，指证券公司、证券投资咨询机构对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向客户发布的行为。



国信证券
GUOSEN SECURITIES

国信证券经济研究所

深圳

深圳市福田区福华一路125号国信金融大厦36层

邮编：518046 总机：0755-82130833

上海

上海浦东民生路1199弄证大五道口广场1号楼12楼

邮编：200135

北京

北京西城区金融大街兴盛街6号国信证券9层

邮编：100032