

华为发布 τ 定律，助力后摩尔时代半导体产业发展

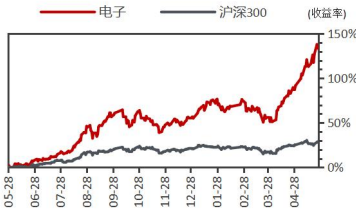
——电子行业专题报告

行业及产业

电子

强于大市

一年内行业指数与沪深300指数对比走势：



资料来源：聚源数据，爱建证券研究所

相关研究

- 《电子行业周报：AI算力高景气延续国产存储替代加速》2026-05-25
- 《电子行业跟踪报告：电子布行业具备估值提升潜力》2026-05-25
- 《电子行业专题报告：AI Glasses 开启智能穿戴时代》2026-05-18
- 《电子行业周报：AI 驱动需求爆发，半导体产业链持续受益》2026-05-18
- 《电子行业专题报告：DeepSeek V4 发布国产算力乘风起航》2026-05-14

证券分析师

许亮
S0820525010002
0755-83562506
xuliang@ajzq.com

联系人

朱俊宇
S0820125040021
021-32229888-25520
zhujunyu@ajzq.com

投资要点：

- 事件：**2026年5月25日，华为何庭波在IEEE主办的ISCAS 2026大会上发表题为《半导体新路径探索与实践》的主题演讲，正式提出引领半导体产业发展的 τ 定律。该定律主张以时间缩微替代传统几何缩微，将其作为半导体及电子系统演进的全新指导原则：依托逻辑折叠等创新技术持续压缩信号传输时延，同步提升晶体管密度，推动产业长期迭代。
- 近年来，伴随AI大模型与通用人工智能爆发式发展，摩尔定律依托的几何缩微传统路径已逼近物理与经济双重极限。**3nm及以下节点量子隧穿、短沟道效应、RC信号延迟等问题凸显，晶体管开关与信号传输的物理瓶颈难以突破；同时先进制程研发与制造成本呈指数级上涨，TSMC 2024年IEDM数据显示2nm制程较3nm仅实现15%性能提升与15%晶体管密度提升，远低于摩尔定律每18-24个月翻番的要求，先进制程边际收益快速收窄。据IBS数据，2nm单片晶圆内部生产成本约3万美元、较3nm上涨50%，显著抬升芯片设计与终端厂商成本。
- 面对物理与经济的双重极限，传统“几何缩微”路径发展受阻，华为在IEEE ISCAS 2026上提出 τ 定律，以“时间缩微”替代“几何缩微”，为后摩尔时代半导体产业发展指明新方向。** τ 是由器件、电路、芯片、系统四个层级共同决定的分层复合变量，其数值由底层硬件参数、本级架构及通信开销共同决定，依托逻辑折叠等技术压缩信号时延、提升晶体管密度；具体来看，器件层面通过优化晶体管与互连线路降低电流传输损耗，电路层面采用立体堆叠布局缩短布线长度、提升集成度与运行性能，芯片层面推行软硬件全栈协同设计、提升并行处理能力以压缩运算耗时，系统层面则依托灵衢总线重构互联协议、实现统一内存编址，有效降低跨节点数据传输延迟。
- 本次 τ 定律推出的逻辑折叠技术，基于时间缩放原理实现电路垂直堆叠与超细间距混合键合，可缩短布线、降低RC损耗，在现有工艺下提升芯片主频与能效，减少对先进光刻的依赖。**技术落地需严控工艺指标：顶层金属间距约720nm，混合键合间距控制在2 μ m以内，最优比值趋近于1；同时要求键合间距1.5 μ m、套刻精度优于0.5 μ m、硅通孔相关尺寸及间距分别低于1.5 μ m、6 μ m，配合智能冗余技术可实现近100%良率。目前麒麟2026芯片仅采用局部折叠的保守方案，后续将逐步迭代为多层全尺寸折叠架构。随着工艺持续优化，2026-2035年晶体管密度有望突破4亿晶体管/mm²，麒麟CPU主频或将突破4GHz。此外，该技术同样适配AI数据中心场景，当前AI集群能耗与成本主要来自数据传输环节，相关技术将围绕统一存储总线、高速光互连、3D折叠封装三大方向落地应用。
- 投资建议：**华为 τ 定律凭借逻辑折叠等技术创新，有望重塑半导体产业价值分配体系。行业发展范式迎来变革，产业价值不再单一聚焦EUV光刻与最先进制程，而是向EDA工具、成熟晶圆代工、先进封装等国内优势赛道全面扩散。1) 逻辑折叠催生3DIC设计全新需求，传统平面EDA工具无法适配多层协同布线、热仿真、时序分析等核心场景，国产EDA与IP厂商迎来确定性替代机遇。2) 该技术可让7nm、14nm成熟制程实现媲美5nm、3nm的性能表现，大幅降低行业对先进光刻的依赖，持续提升成熟、次先进制程的战略价值，带动国内晶圆代工厂产能利用率稳步上行，打开行业增量空间。3) τ 定律的落地高度依赖高精度先进封装技术，通过2.5D/3D集成、混合键合、Chiplet、HBM、光电共封装等技术，可拉近计算、存储、互联单元的物理距离，降低RC延迟、提升传输带宽、减少系统功耗，通过压缩时间常数实现芯片整体性能跃升，先进封装赛道成长逻辑持续强化。
- 风险提示：**1) 技术落地不及预期；2) 产业生态适配风险；3) 先进封装产能与成本风险。

目录

1. 华为发布τ定律，助力后摩尔时代半导体产业发展	4
1.1 摩尔定律依赖的“几何缩微”逼近物理与经济极限	4
1.2 τ 定律以“时间缩微”替代“几何缩微”	5
1.3 τ 定律逻辑折叠赋能麒麟芯片与AI算力性能升级	6
2. τ定律有望推动半导体产业链上下游技术革新	6
3. 风险提示	7

图表目录

图表 1：制程工艺逐步向 3nm 及以下节点发展.....	4
图表 2：先进制程工艺成本对比.....	5
图表 3： τ 为分层复合变量，由器件、电路、芯片、系统四个层级共同决定.....	5
图表 4：华为麒麟 CPU 性能梳理.....	6
图表 5：华为韬定律潜在受益标的.....	7

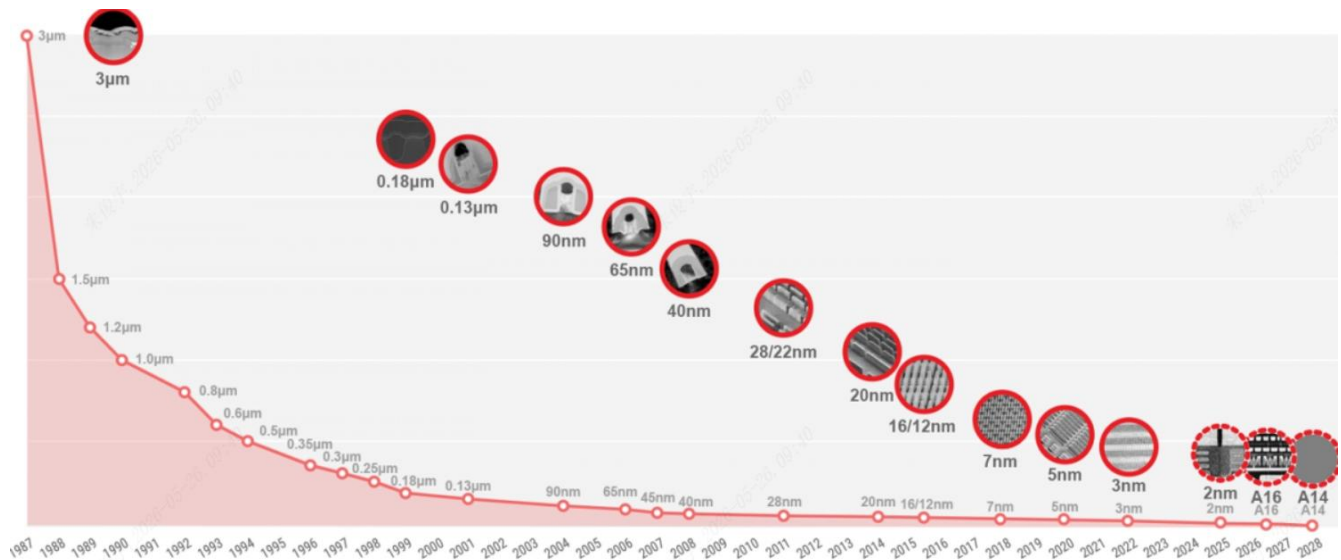
1. 华为发布韬（τ）定律，助力后摩尔时代半导体产业发展

事件：2026年5月25日，华为何庭波在IEEE主办的ISCAS 2026大会上发表题为《半导体新路径探索与实践》的主题演讲，正式提出引领半导体产业发展的韬（τ）定律。该定律主张以时间缩微替代传统几何缩微，将其作为半导体及电子系统演进的全新指导原则：依托逻辑折叠等创新技术持续压缩信号传输时延，同步提升晶体管密度，推动产业长期迭代。

1.1 摩尔定律依赖的“几何缩微”逼近物理与经济极限

近年来伴随AI大模型与通用人工智能的爆发式发展，摩尔定律依赖的“几何缩微”传统路径已逼近物理与经济双重极限。当制程进入3nm及以下节点，量子隧穿效应、短沟道效应与RC信号延迟问题愈发突出，晶体管开关与信号传输的物理瓶颈难以突破。

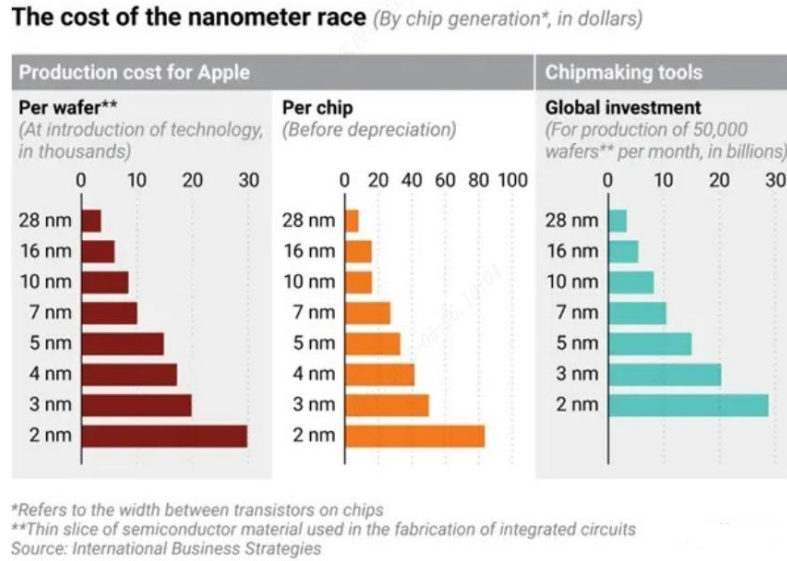
图表 1：制程工艺逐步向 3nm 及以下节点发展



资料来源：TSMC, EE Times China, 爱建证券研究所

同时，先进制程的研发与制造成本呈指数级上涨，这一趋势已成为全球半导体行业面临的共同挑战。据 TSMC 2024 年 IEDM 官方数据，2nm 制程较 3nm 仅实现 15% 的性能提升和 15% 的晶体管密度提升，远低于摩尔定律要求的每 18-24 个月翻番的增长速度，先进制程的边际收益正在快速收窄。从成本端来看，International Business Strategies 数据显示，2nm 单片晶圆内部生产成本约 3 万美元，较 3nm 上涨 50%，给芯片设计公司 and 终端厂商带来了显著的成本压力。

图表 2: 先进制程工艺成本对比



资料来源: International Business Strategies, 爱建证券研究所

注: Apple 是采取 TSMC 的代表企业

1.2 韜 (τ) 定律以“时间缩微”替代“几何缩微”

面对物理与经济的双重极限, 传统几何缩微路径发展受阻。华为于 2026 年 5 月 25 日在 IEEE ISCAS 2026 提出韜 (τ) 定律, 以“时间缩微”替代“几何缩微”。

τ 是分层复合变量, 涵盖器件、电路、芯片、系统四个层级, 其数值由底层硬件参数、本级架构及通信开销共同决定。该定律依托逻辑折叠等技术压缩信号时延、提升晶体管密度, 为后摩尔时代半导体产业发展指明了新方向。

图表 3: τ 为分层复合变量, 由器件、电路、芯片、系统四个层级共同决定

$$\tau = f(\tau_{transistor}, \tau_{circuit}, \tau_{chip}, \tau_{system})$$

资料来源: A Time Scaling Theory for Multi-Layer Electronic Systems, 通信产业网, 爱建证券研究所

各层级优化路径具体如下:

- 1) 器件层面: 优化晶体管与互连线路, 降低电流传输损耗, 从硬件底层削减器件延时。
- 2) 电路层面: 采用立体堆叠布局, 缩短布线长度、优化负载参数, 同步提升晶体管集成度与电路运行性能。
- 3) 芯片层面: 推行软硬件全栈协同设计, 合理调度运算任务, 提升并行处理能力, 压缩整体运算耗时。

4) **系统层面**：依托灵衢总线重构互联协议，实现统一内存编址，优化设备间通信通道与交互规则，有效降低跨节点数据传输延迟。

1.3 稻 (τ) 定律逻辑折叠赋能麒麟芯片与 AI 算力性能升级

本次稻 (τ) 定律首次提出逻辑折叠技术，依托时间缩放原理实现电路垂直分层堆叠与超细间距混合键合，大幅缩短关键路径布线长度、降低寄生 RC 损耗，在固定工艺节点下提升芯片主频与能效，降低对先进光刻的依赖。为最大化收益，逻辑折叠需控制混合键合间距与顶层金属间距的比值：当前芯片顶层金属间距约 720 nm，对应混合键合间距需控制在 2 μm 以内，最优比值趋近于 1，可消除键合界面的笼式布线冗余。该技术落地需产业链长期工艺协同，核心指标要求为：键合间距 1.5 μm、套刻精度优于 0.5 μm、硅通孔关键尺寸/禁区尺寸低于 1.5 μm、硅通孔间距低于 6 μm，配合智能冗余技术实现近乎 100%良率。

稻 (τ) 定律逻辑折叠技术助力麒麟芯片性能升级。根据《A Time Scaling Theory for Multi-Layer Electronic Systems》数据，目前麒麟 2026 搭载的堆叠技术为保守版方案：混合键合间距 1.5 μm，硅通孔仅升级至顶层金属下一级，仅针对核心关键路径做局部折叠优化，未实现全芯片覆盖。未来逻辑折叠将从局部关键路径折叠，迭代为三层、四层及以上的全尺寸多层折叠架构。依托低温混合键合技术、硅通孔从顶层金属下移至第六层金属，预计 2026-2035 年，晶体管密度将突破 4 亿晶体管/mm²，麒麟系列 CPU 核心主频有望突破 4GHz。

图表 4：华为麒麟 CPU 性能梳理

	SoC	Architecture	Frequency (GHz)	State
2023	Kirin9000s	Planar	2.6	Mass product
2024	Kirin9020	Planar	2.65	Mass product
2025	Kirin9030 pro	Planar	2.75	Mass product
2026	Kirin 2026	LogicFolding	3.1	Silicon
2027	Kirin 2027	LogicFolding	3.39	Silicon
2028	Kirin 2028	LogicFolding	3.71	Pre-silicon
2029	Kirin 2029	LogicFolding	4	Pre-silicon

资料来源：A Time Scaling Theory for Multi-Layer Electronic Systems，爱建证券研究所

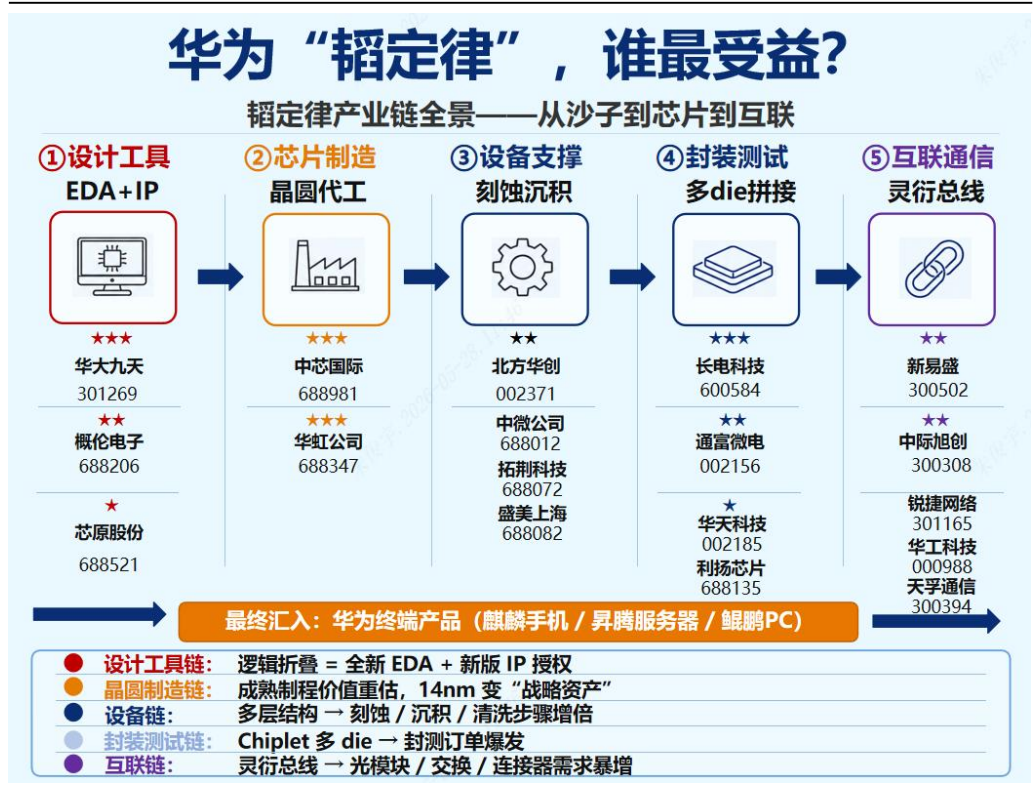
值得注意的是，稻 (τ) 定律的时间缩放原理不仅适用于消费级麒麟芯片，同样适用于 AI 数据中心核心场景。与消费级芯片侧重单芯片性能不同，AI 算力依赖数百至上万颗芯片协同工作，近十年全球 AI 总算力已提升六个数量级。当前 AI 系统的能耗与成本瓶颈已从算力计算转移至数据传输环节，大型 AI 集群超 80%能耗用于数据迁移、超 70%成本投入数据存储与传输，缩减全链路数据传输耗时已与降低计算耗时同等重要，AI 场景的τ缩放将通过存储语义统一总线、近封装高速光互连引擎 Hi-ONE、封装立体拓扑重构 3D 折叠三大技术落地。

2. 稻 (τ) 定律有望推动半导体产业链上下游技术革新

华为稻 (τ) 定律有望通过逻辑折叠等技术创新，重塑半导体产业价值分配格局。我们认为，新范式下产业价值高地不再高度集中于 EUV 光刻机与前道最先进制程，而

是向 EDA 工具、晶圆代工、先进封装等环节系统性扩散。

图表 5：华为韬定律潜在受益标的



资料来源：格隆汇，爱建证券研究所

1) 逻辑折叠技术对 3D 集成电路设计提出了全新要求，传统平面 EDA 工具已无法满足多层有源层协同布线、热仿真与时序分析的核心需求，国产 EDA 与 IP 厂商或将迎来重要发展机遇。

2) 逻辑折叠技术可在 14nm、7nm 成熟制程上，实现媲美 5nm 甚至 3nm 的系统处理速度，显著降低对 EUV 光刻机的依赖。这为成熟与次先进制程打开了性能跃升通道，显著提升其战略价值，使其能够覆盖更多高端芯片需求，国内晶圆代工厂稼动率有望持续上行，市场空间进一步打开。

3) 韬定律的落地，对高精度先进封装堆叠技术提出了更高要求。通过 2.5D/3D 集成、混合键合、Chiplet、HBM、光电共封装等方案，先进封装能将计算、存储与互连单元的距离大幅拉近，从而降低 RC 延迟、提升带宽、减少功耗，直接实现时间常数的压缩，为性能跃升提供关键支撑。

3. 风险提示

1) **技术落地不及预期：** 韬定律及逻辑折叠、3D 堆叠、混合键合等技术尚处迭代阶段，量产工艺要求严苛，良率控制、多层架构信号与热管理存在不确定性，商业化落地进度或放缓。

2) **产业生态适配风险：** 3DIC 对应的 EDA 工具、IP 核、封装测试生态尚未成熟，国产配套迭代进度或滞后技术发展节奏。

3) 先进封装产能与成本风险: 高精度混合键合、2.5D/3D 封装产能紧缺, 量产成本偏高, 规模化应用存在约束。

爱建证券有限责任公司

上海市浦东新区前滩大道 199 弄 5 号

电话: 021-32229888

传真: 021-68728700

服务热线: 956021

邮政编码: 200124

邮箱: ajzq@ajzq.com

网址: <http://www.ajzq.com>

评级说明

投资建议的评级标准

报告中投资建议所涉及的评级分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后 6 个月内的相对市场表现，也即以报告发布日后的 6 个月内的公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。其中：A 股市场：沪深 300 指数（000300.SH）；新三板市场：三板成指（899001.CSI）（针对协议转让标的）或三板做市指数（899002.CSI）（针对做市转让标的）；北交所市场：北证 50 指数（899050.BJ）；香港市场：恒生指数（HIS.HI）；美国市场：标普 500 指数（SPX.GI）或纳斯达克指数（IXIC.GI）。

股票评级

买入	相对同期相关证券市场代表性指数涨幅大于 15%
增持	相对同期相关证券市场代表性指数涨幅在 5%~15%之间
持有	相对同期相关证券市场代表性指数涨幅在-5%~5%之间
卖出	相对同期相关证券市场代表性指数涨幅小于-5%

行业评级

强于大市	相对表现优于同期相关证券市场代表性指数
中性	相对表现与同期相关证券市场代表性指数持平
弱于大市	相对表现弱于同期相关证券市场代表性指数

分析师声明

本报告署名分析师在此声明：我们具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，本报告采用信息和数据来自公开、合规渠道，所表述的观点均准确地反映了我们对标的证券和发行人的独立看法。研究报告对所涉及的证券或发行人的评价是分析师本人通过财务分析预测、数量化方法、或行业比较分析所得出的结论，但使用以上信息和分析方法可能存在局限性，请谨慎参考。

法律主体声明

本报告由爱建证券有限责任公司（以下统称为“爱建证券”）证券研究所制作，爱建证券具备中国证监会批复的证券投资咨询业务资格，接受中国证监会监管。

本报告是机密的，仅供我们的签约客户使用，爱建证券不因收件人收到本报告而视其为爱建证券的签约客户。本报告中的信息均来源于我们认为可靠的已公开资料，但爱建证券对这些信息的准确性及完整性不作任何保证。本报告中的信息、意见等均仅供签约客户参考，不构成所述证券买卖的出价或征价邀请或要约。该等信息、意见未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。客户应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专家的意见。对依据或者使用本报告所造成的一切后果，爱建证券及其关联人员均不承担任何法律责任。

本报告所载的意见、评估及预测仅为本报告出具日的观点和判断。该等意见、评估及预测后续可随时更改。过往的表现亦不应作为日后表现的预示和担保。在不同时期，爱建证券可能会发出与本报告所载意见、评估及预测不一致的研究报告。

版权声明

本报告版权归属爱建证券所有，未经爱建证券事先书面许可，任何机构或个人不得以任何形式翻版、复制、转载、刊登和引用。否则由此造成的一切不良后果及法律责任由私自翻版、复制、转载、刊登和引用者承担。版权所有，违者必究。