



光互联 CPO 行业：产业化提速，台积电 COUPE 引领硅光集成落地

2026 年 6 月 7 日

看好/维持

通信

行业报告

分析师

石伟晶 电话：021-25102907 邮箱：shi_wj@dxzq.net.cn

执业证书编号：S1480518080001

投资摘要：

当下 CPO 已经成为光模块行业确定趋势。传统方案是采用可插拔光模块，部署在交换机前面板。但根据 AI 网络带宽的发展路线图，互连的速度、距离、密度及可靠性要求即将超越传统光模块所能提供的极限。为突破上述局限，CPO（光电共封装）已成为业界公认的 AI 及超算高密度互连终极方案，其通过将光引擎 OE（Optical Engine）和交换芯片 ASIC 共基板封装在一起，实现极致能效、带宽密度与低时延。

CPO 方案将带动全球硅光子（SiPh）产业链迎来发展拐点。过往硅光子依托 CMOS 工艺实现光电器件集成，处于小批量定制化阶段，始终缺乏大规模落地场景。而 CPO 则是硅光子规模化落地的刚需载体。受益于英伟达 Spectrum-X 以太网硅光技术 2026 年 6 月全面量产，CPO 技术有望在 2027 年迎来规模化部署。硅光子 SiPh 产业链可以拆解为“材料-器件-封测-系统”四个层级。其中底层是材料层，主要包括热界面材料、底部填充材料、积层膜、玻璃芯基板、紫外胶等；第二层是核心有源及无源器件，主要包括散热部件、光学部件（波导、光纤、超构透镜）、激光源、光纤阵列单元等；第三层是代工制造与封测层，主要包括光学封装平台、电芯片测试、光芯片测试与耦合等；最后一层是系统模块，主要包括 CPO 光引擎以及 CPO 交换机芯片模组。

CPO 市场 2027 年有望突破 50 亿美元。LightCounting 在 2026 年 4 月对 1.6T CPO 产品出货量进行显著上调。2023-2026 年，1.6T CPO 产品为技术导入期，出货量几乎为零，处于试点部署阶段；2027 年起进入大规模放量阶段，增长曲线陡峭上扬，2029 年 1.6T CPO 产品出货量预测从约 200 万个大幅上调至约 900 万个，2031 年则从约 500 万个上调至约 1300 万个。市场规模方面，CPO 市场 2027 年有望突破 50 亿美元，2030 年增长至 150 亿美元。

台积电 COUPE 平台实现光引擎先进 3D 异质集成。COUPE 平台把先进逻辑工艺（7nm 甚至更先进）的电子集成电路（EIC）直接堆叠在 65nm SOI 硅光工艺的光子集成电路（PIC）顶部，通过铜-铜混合键合互连，信号路径从毫米级缩短到微米级，是仅次于 3D 单片集成下的最短走线长度方案，技术路线处于行业领先地位。

COUPE 平台提供 PIC 制造全面解决方案。在工艺优化层面，台积电采用光学邻近校正（OPC）技术，通过添加亚分辨率的辅助图形，或调整原始图形的尺寸与形状，补偿光刻与刻蚀过程中产生的图形畸变，大幅提升了器件的性能一致性与良率。在晶圆加工全流程中监测器件整体状态与性能，实现生产工艺和器件性能之间闭环反馈。COUPE 对硅光器件线宽实施均匀度监控与优化，从而保障器件整体性能。COUPE PDK 提供了覆盖 O 波段的完整 Si/SiN 无源与有源光器件库，为光子芯片设计提供了完整的基础模块。

台积电 COUPE 平台研制的核心器件实现优异的性能指标。无源器件方面，COUPE 平台硅基无源器件覆盖 1290-1330nm 波长范围，包括高带宽、低损耗的波导、光栅耦合器、边缘耦合器、多模干涉仪和定向耦合器。在光栅耦合器方面，纯硅 SPGC 的峰值损耗约 1.3dB；基于 SiN/Si 复合结构的 SPGC，纯硅 PSGC 的 TE 与 TM 模式峰值损耗约 2 dB。在调制器与探测器方面，COUPE 平台提供多种 MRM 结型设计，适配

不同的应用场景；锗光电探测器具备高响应度、超高速、低暗电流特性；双微环谐振器相比传统的单微环谐振器，实现了更优异的带外抑制性能，串扰水平大幅优化。

台积电 COUPE 平台实现技术落地与迭代，绑定标杆客户。2026 年 4 月，台积电 COUPE 平台经过反复仿真与制程优化，已转化为完整的半导体制程技术。COUPE 平台技术路线分三步走，产品性能与集成度逐级跃升。其中 2026 年实现基于台积电 CoWoS (Chip-on-Wafer-on-Substrate) 中介层技术的共封装光学 (CPO)，光学引擎直接集成在交换机基板上；规格为 6.4Tbps 光学引擎。2026 年 6 月，基于台积电 COUPE 平台，英伟达新一代 CPO 交换机 Spectrum-X 实现量产。此外英伟达 COUPE 平台并不局限于单一的垂直整合生态系统。博通 Tomahawk 6 Davisson 交换机也将采用基于台积电 COUPE 的光引擎。

投资策略：

我们认为，CPO 生态逐步形成，台积电与英伟达暂处于领先地位。但博通、英特尔、Marvell、Ayar Labs、三星等 CPO 解决方案厂商以及格芯、Tower Semi、意法半导体等硅光子代工平台也将加大研发，驱动硅光子产业加速发展。此外全球硅光子将从碎片化定制研发转向标准化代工量产模式。国内硅光新材料、无源以及有源器件、以硅光器件设计套件 (PDK)、集成测试等厂商有望进入英伟达、台积电供应链体系，加速硅光子国产化验证与量产落地。

相关公司：

光模块、CPO/NPO：中际旭创、新易盛、天孚通信、华工科技、光迅科技；

光芯片：源杰科技、东山精密、仕佳光子、长光华芯；

OCS：腾景科技、福晶科技、矩光科技、德科立；

CPO 设备：联讯仪器、罗博特科。

风险提示：(1) CPO 技术路线碎片化；(2) CPO 订单不及预期；(3) 光模块产能过剩与价格下行；(4) 供应链与地缘风险。

目 录

1. CPO 成为光模块终极方案，硅光子产业链迎来发展拐点.....	4
2. CPO 架构下光引擎跃升为价值链核心，形成 2D 封装到 3D 单片集成多元技术路线.....	7
3. 台积电 COUPE 平台实现光引擎先进 3D 异质集成.....	10
3.1 COUPE 平台提供 PIC 制造全面解决方案.....	11
3.2 COUPE 平台研制的核心器件实现优异的性能指标.....	15
4. 台积电 COUPE 平台实现技术落地与迭代，绑定标杆客户.....	20
4.1 COUPE 平台技术路线分三步走.....	20
4.2 英伟达与博通成为台积电光引擎代工标杆客户.....	21
5. 投资建议.....	22
6. 风险提示.....	22

插图目录

图 1： 英伟达首款 CPO 交换机 Quantum-X 内部结构.....	4
图 2： 全球硅光子产业生态与供应链.....	5
图 3： 全球 1.6T CPO 共封装光学出货预测.....	6
图 4： 硅光子系统级应用架构.....	7
图 5： CPO 涉及多种光引擎集成封装方法.....	9
图 6： COUPE 平台下光引擎集成架构与 PIC 器件截面.....	10
图 7： 硅光子（SiPh）核心器件的扫描电子显微镜实拍图.....	11
图 8： 台积电（TSMC）硅光子（SiPh）工艺全流程监控与测试方案.....	12
图 9： 硅基光栅耦合器（SPGC）/ 微环谐振器（MRR）器件性能指标波动.....	13
图 10： 台积电 Si/SiN 硅光子平台工艺设计套件（PDK）器件库.....	13
图 11： 台积电硅光子平台无源器件的性能仿真与实测结果.....	16
图 12： 台积电微环调制器（MRM）的核心性能实测结果.....	17
图 13： 台积电锗光电探测器核心性能实测结果.....	18
图 14： 台积电双微环谐振器核心性能实测结果.....	19
图 15： 台积电发布的 CPO 技术路线图.....	20

表格目录

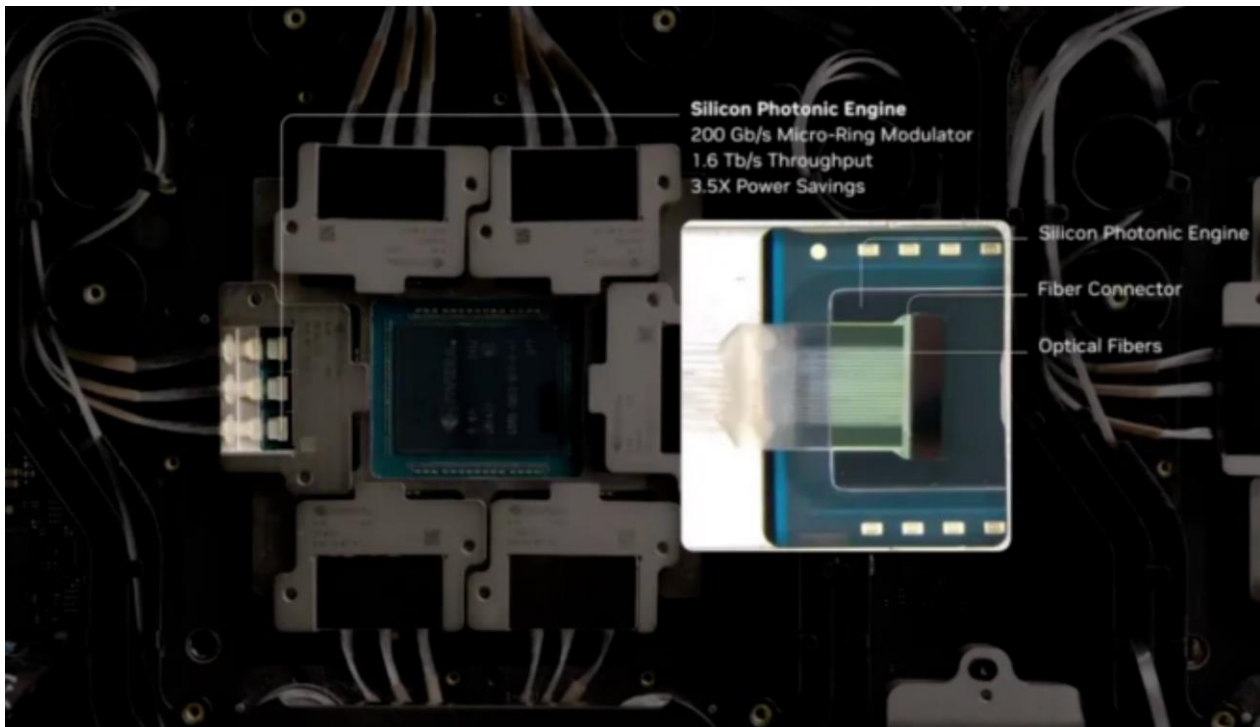
表 1： 硅光子平台工艺设计套件器件分类详解.....	14
表 2： 英伟达与博通发布的 CPO 交换机产品矩阵.....	21

1. CPO 成为光模块终极方案，硅光子产业链迎来发展拐点

当下 CPO 已经成为光模块行业确定趋势。传统方案是采用可插拔光模块，部署在交换机前面板。但根据 AI 网络带宽的发展路线图，互连的速度、距离、密度及可靠性要求即将超越传统光模块所能提供的极限。为突破上述局限，CPO（光电共封装）已成为业界公认的 AI 及超算高密度互连终极方案，其通过将光引擎 OE（Optical Engine）和交换芯片 ASIC 共基板封装在一起，实现极致能效、带宽密度与低时延。

从硬件架构来看，典型的 CPO 交换机芯片模块由五大核心单元协同组成：交换 / 计算 ASIC 封装体、光引擎模块、高性能互连基板、先进散热系统以及高密度光纤管理与连接系统。以英伟达在 GTC 2025 公布，2025 年下半年上市的首款 CPO 交换机 Quantum-X 为例。该款 CPO 交换机提供 115.2Tb/s 的硅光交换机，能够提供 144 个 800G 端口；交换机内部包含 4 个 switch 芯片模组，单片数据吞吐量为 28.8Tb/s；每个 switch 周围有 6 个光学组件即 optical sub-assemblies，每个光学组件内包含 3 个 1.6T 硅光引擎，共 18 个（ $18 \times 1.6 = 28.8T$ ）。每个硅光引擎上有两个外置激光器的输入口，连接方式是光纤，输出是 16 路光纤，共 324 路光纤（输出光纤路数 $16 \times 3 \times 6 = 288$ ，输入光纤路数 $2 \times 3 \times 6 = 36$ ）。

图1：英伟达首款 CPO 交换机 Quantum-X 内部结构



资料来源：英伟达，东兴证券研究所

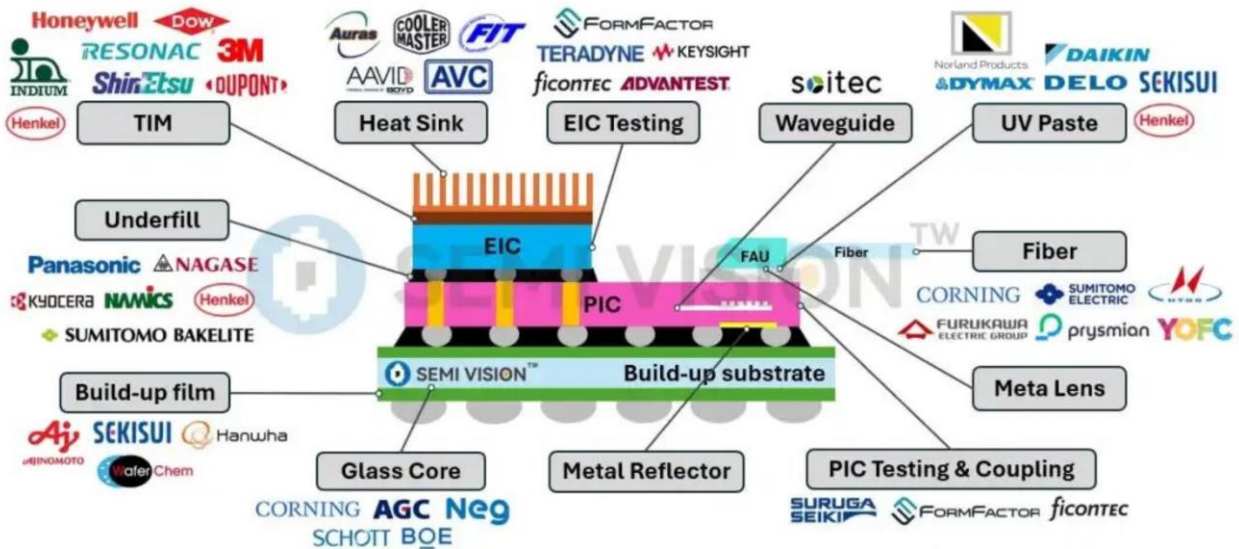
CPO 方案将带动全球硅光子 (SiPh) 产业链迎来发展拐点。过往硅光子依托 CMOS 工艺实现光电器件集成，处于小批量定制化阶段，始终缺乏大规模落地场景。而 CPO 则是硅光子规模化落地的刚需载体。受益于英伟达 Spectrum-X 以太网硅光技术 2026 年 6 月全面量产，CPO 技术有望在 2027 年迎来规模化部署。

硅光子 SiPh 产业链可以拆解为“材料-器件-封测-系统”四个层级。其中底层是材料层，主要包括热界面材料、底部填充材料、积层膜、玻璃芯基板、紫外胶等；第二层是核心有源及无源器件，主要包括散热部件、光学部件（波导、光纤、超构透镜）、激光源、光纤阵列单元等；第三层是代工制造与封测层，主要包括光学封装平台、电芯片测试、光芯片测试与耦合等；最后一层是系统模块，主要包括 CPO 光引擎以及 CPO 交换机芯片模组。

以英伟达第二代 CPO 交换机 Spectrum-X 为例，Spectrum-X Photonics 计划于 2026 年下半年上市，2026 年 6 月实现量产。Spectrum-X 交换机通过与中国台湾地区半导体和系统生态合作伙伴的深度协同工程实现量产，台积电、日月光 (SPIL)、天孚通信 (TFC) 和 富士康 (Foxconn) 分别为从硅光到系统的流程关键层提供了突出贡献。

- 台积电先进的硅光制造技术，将英伟达突破性设计转化为可投入生产的芯片。
- SPIL 的芯片级封装、组装和测试技术，将电气和光学组件以微米级精度结合在一起。
- TFC 的激光芯片经过模组封装，提供满足全年全天候运行的 AI 工作负载所需的可靠性要求。
- Foxconn 的系统组装将 Spectrum-X CPO 交换机集成到完整的机架型网络平台中。
- NVIDIA AI 工厂系统在 NVIDIA 自有和运营的 AI 工厂内进行拆箱、安装和通电，在客户发货前验证整体 workflow。

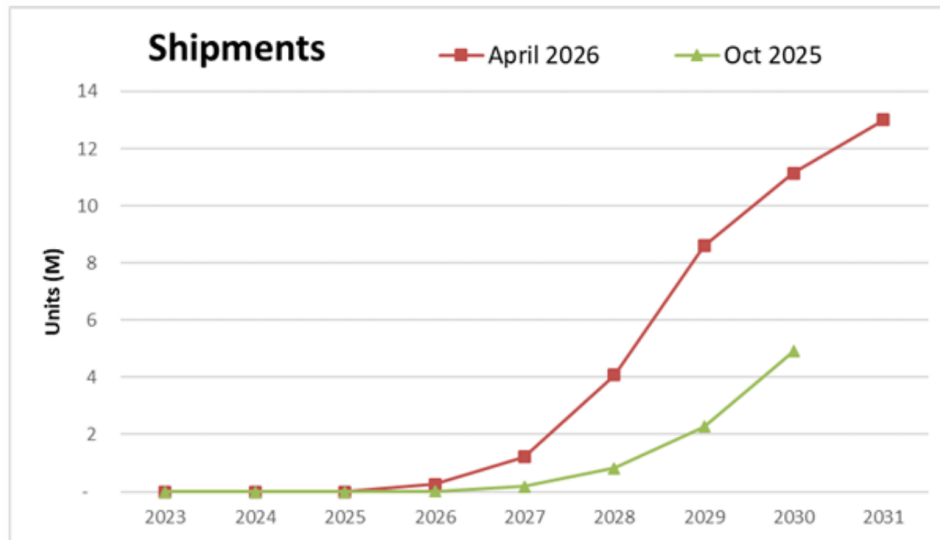
图2：全球硅光子产业生态与供应链



资料来源：SemiVision，东兴证券研究所

CPO 市场 2027 年有望突破 50 亿美元。LightCounting 在 2026 年 4 月对 1.6T CPO 产品出货量进行显著上调。2023-2026 年，1.6T CPO 产品为技术导入期，出货量几乎为零，处于试点部署阶段；2027 年起进入大规模放量阶段，增长曲线陡峭上扬，2029 年 1.6T CPO 产品出货量预测从约 200 万个大幅上调至约 900 万个，2031 年则从约 500 万个上调至约 1300 万个。市场规模方面，CPO 市场 2027 年有望突破 50 亿美元，2030 年增长至 150 亿美元。

图3：全球 1.6T CPO 共封装光学出货预测



资料来源：LightCounting，东兴证券研究所

2. CPO 架构下光引擎跃升为价值链核心，形成 2D 封装到 3D 单片集成多元技术路线

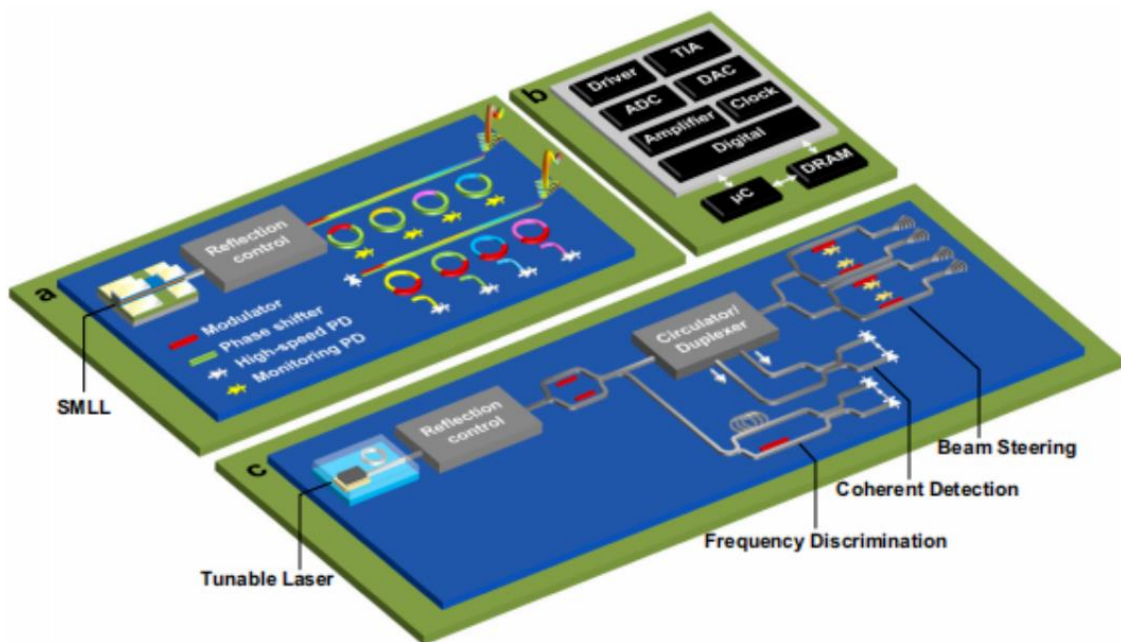
CPO 架构下，光引擎占据重要价值链地位。可插拔光模块价值量主要集中在 DSP、光芯片、封装与测试等环节；进入 CPO 时代，光引擎（PIC 与 EIC 芯片设计与集成）成为价值占比最高环节，外置光源方案（ELS）是当前 CPO 商用化主流路径，价值占比稳定；无源器件成为大规模商用制约瓶颈。

从硅光子系统级应用架构看，光引擎是光电集成的核心载体，主要由 PIC 光子集成电路与 EIC 电子集成电路两部分集成构成。

其中 PIC 负责光信号处理。行业主流方案是以硅光 SiPh 技术为核心，依托 CMOS 工艺，实现波导、调制器、探测器等器件的高密度集成；此外也可采用磷化铟 InP、薄膜铌酸锂 TFLN 等高端材料，进一步提升性能。光子集成电路（PIC）核心模块包括三类：（1）SMLL（单频微腔激光器）/Tunable Laser（可调激光器）：提供光源；（2）Modulator（调制器）+ Phase shifter（移相器）：实现电光调制，加载信号；（3）High-speed PD（高速光电探测器）+ Monitoring PD（监测探测器）：实现光信号接收与功率监控；

EIC 负责电信号驱动与接收，实现电光信号的转换与处理。电子集成电路（EIC）核心模块主要包括：Driver（驱动）、TIA（跨阻放大器）、DAC/ADC（数模 / 模数转换器）、时钟、数字处理单元等。

图4：硅光子系统级应用架构



资料来源：《Roadmapping the next generation of silicon photonics》（John E. Bowers 等），东兴证券研究所

从集成技术看，光引擎（PIC-EIC）形成传统 2D 封装到 2.5D 中介层，再到 3D 单片集成的完整技术谱系，集成工艺越先进，带宽、功耗优势越显著。其中台积电 COUPE 通用光引擎代工平台使用 SoIC 键合工艺进行接合，是仅次于 3D 单片集成下的最短走线长度方案，技术路线处于行业领先地位。

(1) 2D 封装：左侧方案是引线键合，将 PIC 和 EIC 并排贴装在共封装基板上，用金属引线键合实现互连；该方案工艺最简单、成本最低，但引线寄生参数大，电串扰严重，仅适合低速信号，已无法支撑高速收发器需求。右侧方案是倒装芯片，通过微凸点（ μ -bump）将 PIC 和 EIC 倒装键合在基板上，缩短互连距离；该方案比引线键合的寄生参数更小，适合中高速场景，是早期 400G / 部分 800G 模块的方案之一。

(2) 2.5D 封装：PIC 和 EIC 通过硅 / 有机中介层（Interposer）倒装键合，中介层上的高密度布线实现两者的高速互连。该方案互连距离短，寄生参数和电串扰大幅降低，支持 50GHz+ 高速信号；工艺成熟度高，可复用成熟的倒装芯片和中介层技术，良率和成本可控。

(3) 3D-WB/FC 封装：左侧方案是 EIC 倒装 + 引线键合（Wirebond）方案，EIC 倒装在 PIC 上方，同时通过引线键合补充互连；右侧方案是 PIC 倒装在 EIC 上方（FC）：PIC 直接倒装键合在 EIC 上，通过微凸点实现垂直互连；3D-WB/FC 封装是向 3D 集成过渡的中间方案，集成度比 2.5D 更高，互连路径更短，但工艺复杂度提升，目前多用于特定高性能场景。

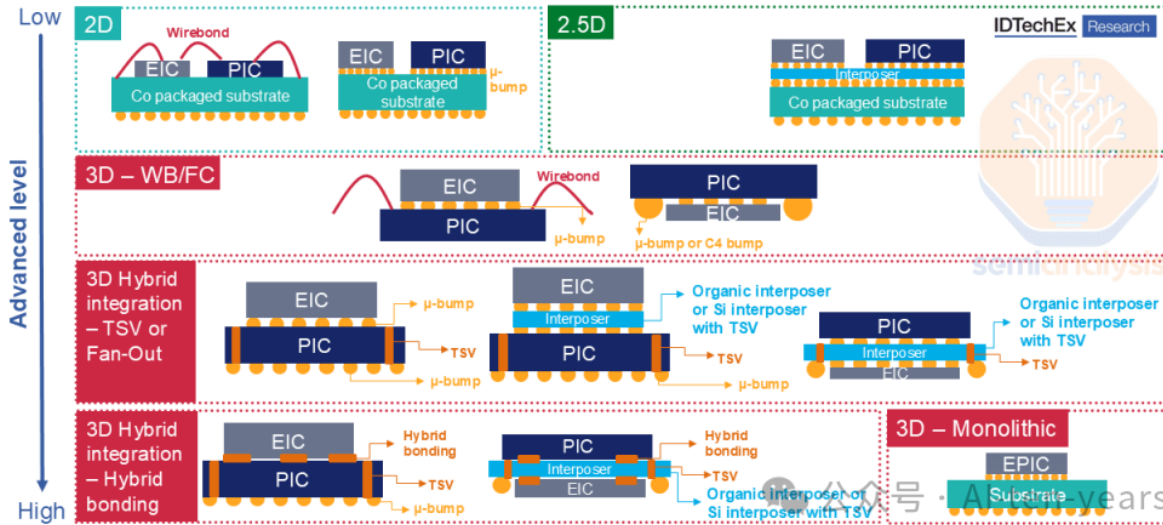
(4) 3D Hybrid TSV/Fan-Out：面向下一代 1.6T/3.2T 超高速场景的前沿方案，通过硅通孔（TSV）实现垂直互连。该方案信号路径极短，寄生参数和串扰降至最低，支持 100GHz+ 超高速信号；集成密度大幅提升，适合 CPO（共封装光学）等高集成度场景；TSV 工艺复杂度高，成本昂贵，目前处于商用早期阶段。

- 左侧方案：EIC 倒装 + TSV PIC：EIC 通过微凸点倒装在 PIC 上，PIC 内部的 TSV 实现垂直信号传输；
- 中间方案：中介层 + TSV PIC：PIC 通过带 TSV 的中介层与 EIC 互连，进一步提升布线密度；
- 右侧方案：PIC 倒装 + 带 TSV 的中介层：PIC 倒装在中介层上，通过 TSV 实现与下方 EIC 的互连；

(5) 3D Hybrid Bonding：更先进的异质集成方案，采用混合键合（Hybrid Bonding）技术实现 PIC 与 EIC 的直接键合。通过金属介质混合键合，将 PIC 和 EIC 直接键合，无需微凸点，实现晶圆级的高密度互连；互连密度比 TSV 方案更高，键合界面平整，寄生参数极低，是未来高性能硅光子的核心技术之一；超大规模数据中心 CPO、相干通信等对带宽和密度要求极高的场景。

(6) 3D Monolithic（单片 EPIC 集成）：硅光子封装的终极形态，在同一晶圆上同时制作光子和电子器件（EPIC）。在 CMOS 或 BiCMOS 工艺中直接集成光子器件，实现 PIC 与 EIC 的单片集成；无封装寄生，性能理论最优，成本在大批量时可大幅降低；硅光子与 CMOS 工艺兼容性差，光子器件面积远大于电子器件，良率和成本控制难度极大，目前仍处于研发阶段。

图5：CPO 涉及多种光引擎集成封装方法



资料来源：IDTechEx，东兴证券研究所

3. 台积电 COUPE 平台实现光引擎先进 3D 异质集成

本节内容根据台积电发布的论文《Silicon Photonics Platform for Next Generation Data Communication Technologies》，介绍台积电光引擎代工平台 COUPE 的研发工作，涵盖先进制造工艺、工艺均匀性管控、测试与可靠性方案以及器件设计优化，同时也对配套工艺设计套件（PDK）及其器件库进行详细阐述。从而了解 CPO 光引擎在设计制造过程中的技术特点和难点，以及深度理解台积电 COUPE 平台技术优势，也有利于后续对比台积电与其他光引擎代工平台技术差异。

台积电 COUPE（Compact Universal Photonic Engine，紧凑型通用光子引擎）平台通过 SoIC-X 3D 堆叠技术，把先进逻辑工艺（7nm 甚至更先进）的电子集成电路（EIC）直接堆叠在 65nm SOI 硅光工艺的光子集成电路（PIC）顶部，通过铜-铜混合键合互连，信号路径从毫米级缩短到微米级。

在 COUPE 方案下，光引擎上方是硅（Si）层，中间是电集成电路（EIC），下方是光子集成电路（PIC），以二氧化硅（SiO₂）为基底，EIC 与 PIC 通过 SoIC（系统级集成芯片）工艺键合。PIC 集成了光电探测、光调制、光传输和光耦合等完整的光子器件，形成系统级光引擎，并通过硅、氮化硅、锗等材料组合，实现调制效率、传输损耗和探测灵敏度等多维度性能优化。具体光子器件功能如下：

其中锗光电探测器（Ge Photodetector）采用 PIN 结构，用于将光信号转换为电信号；

微环调制器（Microring Modulator）采用带片上加热器（Heater）的环形波导结构，可通过热调谐改变谐振波长，实现高速光信号调制，是低功耗、小体积的核心有源器件；

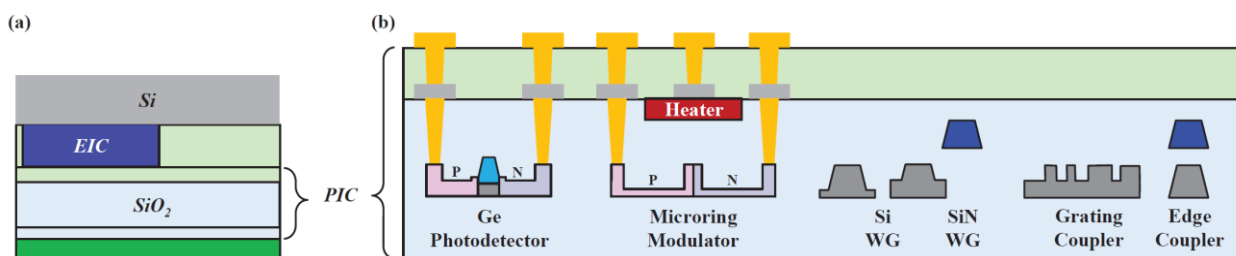
硅波导（Si WG）基于硅材料的光波导，利用硅与二氧化硅的高折射率差实现光的限制与传输，是无源光互联的基础；

氮化硅波导（SiN WG）具有更低的光损耗、更宽的工作带宽和更弱的温度敏感性，可与硅波导配合使用；

光栅耦合器（Grating Coupler）表面带周期性光栅的结构，用于将光纤中的光信号垂直耦合进芯片波导，支持大规模光纤阵列集成，是 COUPE 方案的核心部件；

边缘耦合器（Edge Coupler）：锥形结构的波导，用于在芯片端面与光纤实现低损耗耦合，属于宽带耦合方案，与光栅耦合器形成互补。

图6：COUPE 平台下光引擎集成架构与 PIC 器件截面



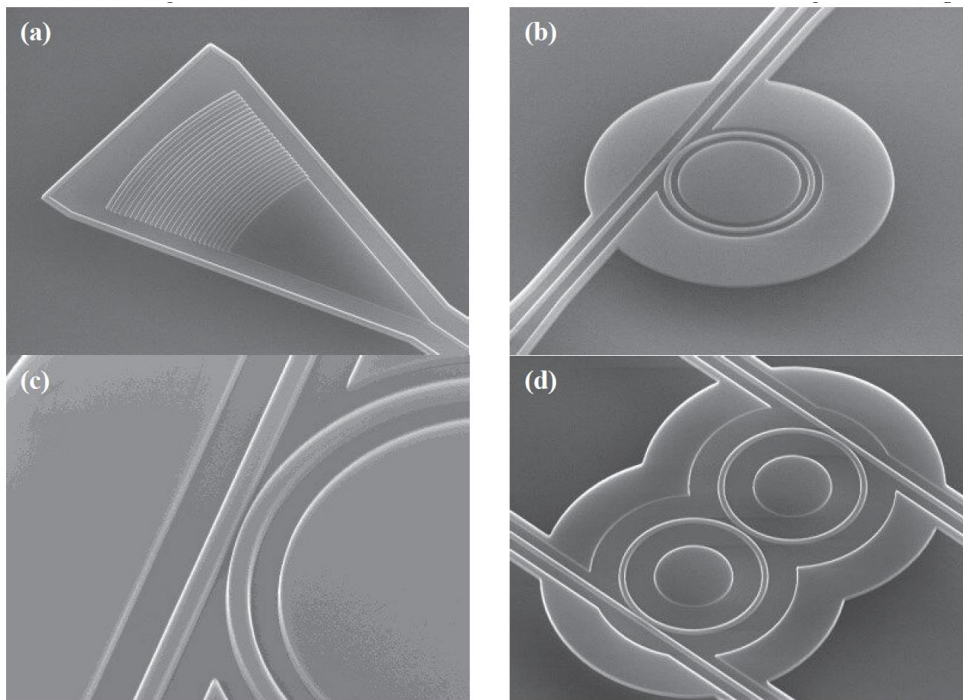
资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

3.1 COUPE 平台提供 PIC 制造全面解决方案

COUPE 平台采用成熟的 65 纳米 CMOS 技术与先进光刻、刻蚀工艺结合，用于定义光子集成电路 (PIC) 的关键层与结构。在工艺优化层面，台积电采用光学邻近校正 (OPC) 技术，通过添加亚分辨率的辅助图形，或调整原始图形的尺寸与形状，补偿光刻与刻蚀过程中产生的图形畸变，大幅提升了器件的性能一致性与良率。通过工艺优化，单晶圆内 (WiW) 与晶圆间 (WtW) 的线宽 (CD) 偏差可控制在 2 纳米 (3σ) 以内。此外，平台通过离子注入和锗选择性外延生长工艺制备 PIN 光电二极管、移相器、调制器等有源器件；并采用 6 层金属后段互连 (BEOL) + 钨接触工艺，为有源器件提供电气连接。图 7 展示了台积电 COUPE 平台上制备的几种核心光子器件。

- 表面光栅耦合器 (SPGC): 实现光纤与硅光子芯片的垂直光耦合，决定了光信号的耦合损耗与对准容差。光栅的周期、深度和占空比直接影响耦合效率，扇形波导上的周期性光栅线条均匀清晰，显示工艺高精度控制能力很好。
- 微环调制器 (MRM): 通过电 / 热调谐改变微环的谐振波长，实现高速光信号调制。相比传统马赫 - 曾德尔调制器 (MZM)，尺寸更小、功耗更低，是下一代低功耗光模块的核心器件。环形波导 (微环) 与一条直波导平行耦合，形成谐振结构。微环调制器耦合间隙尺寸直接决定了光从直波导耦合进微环的比例，是控制调制器消光比、带宽和调制效率的核心参数，对光刻和刻蚀精度要求极高。
- 双微环谐振器 (Dual Microring Resonator, DMRR): 两个微环耦合在一起，同时与两条直波导耦合，形成级联谐振结构。相比单微环，双微环可以实现更陡峭的滤波响应和更高的波长选择性，常用于波分复用 (WDM) 场景，实现多通道光信号的分波 / 合波，是高密度光通信系统的关键器件。

图7：硅光子 (SiPh) 核心器件的扫描电子显微镜实拍图

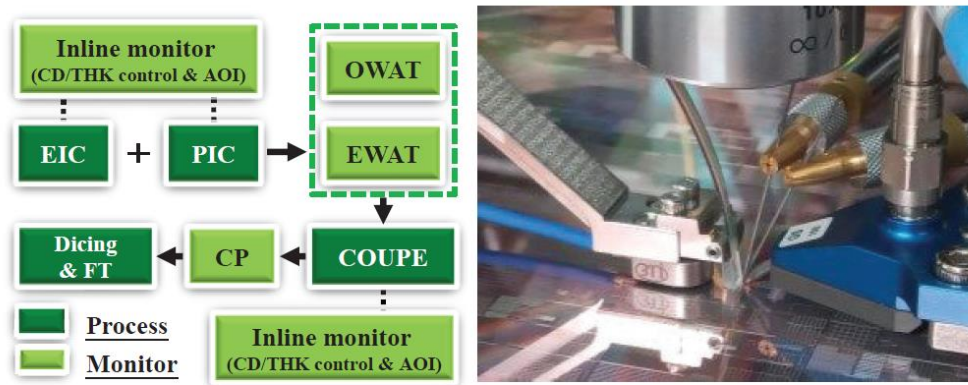


资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

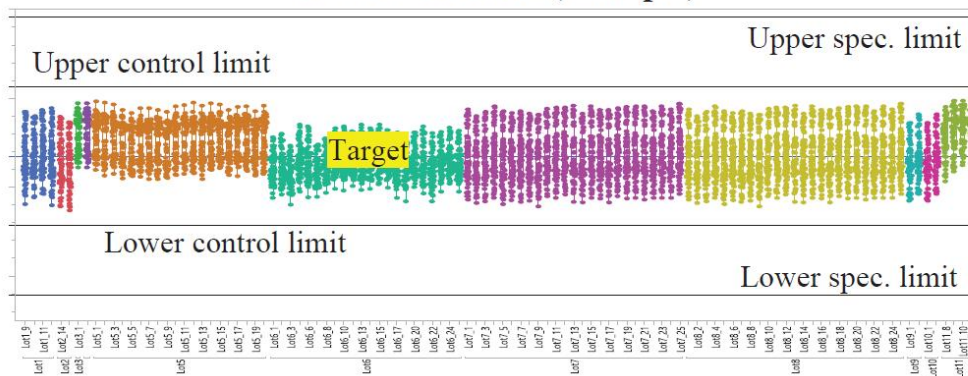
COUPE 产线在晶圆加工全流程中监测器件整体状态与性能，实现生产工艺和器件性能之间闭环反馈。具体流程：对 EIC + PIC 制造过程，进行实时质量监控，包括线宽/薄膜厚度控制 / 自动光学检测；在采用 SoIC（系统级集成芯片）工艺实现电气键合环节，采取光学 / 电学晶圆验收测试，其中电学测试核心参数包含离子注入区电阻、光电探测器暗电流、加热电阻、后端金属层电阻，以及调制器与光电探测器的阻容（RC），光学晶圆验收测试可监测波导传输损耗、分光器不均衡度、插入损耗以及有源器件的调制特性；硅光器件环节，对晶圆上的裸片进行电信号探测，筛选合格芯片；晶圆划片成单颗芯片后，完成最终功能与可靠性验证。

图 8 展示了 COUPE 工艺与测试闭环流程，测试设备实拍，以及 EWAT 电学测试的参数监控。

图8：台积电（TSMC）硅光子（SiPh）工艺全流程监控与测试方案



EWAT monitor (example)

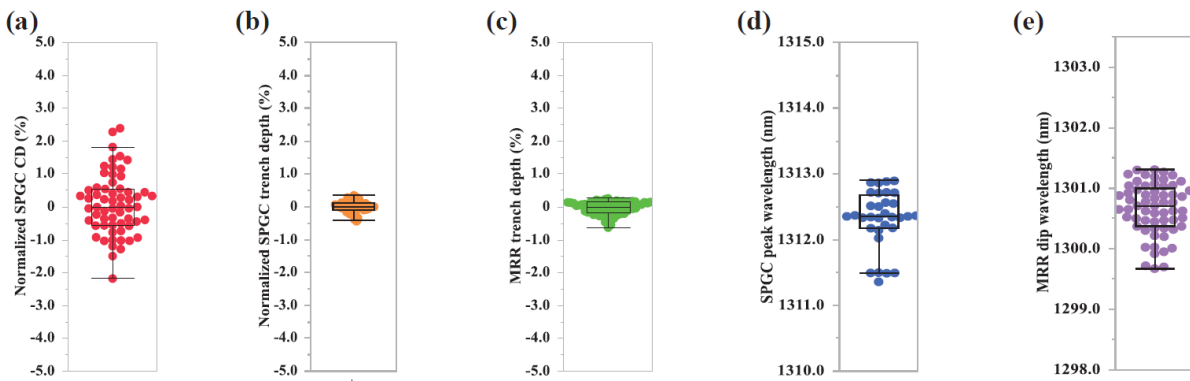


资料来源：《Silicon_Photonics_Platform_for_Next_Generation_Data_Communication_Technologies》（作者：TSMC），东兴证券研究所

COUPE 对硅光器件线宽实施均匀度监控与优化，从而保障器件整体性能。仿真与实测数据表明：硅光器件线宽、刻蚀深度或膜厚每出现 1 纳米偏差，微环谐振器的谐振谷波长、光栅耦合器的峰值耦合波长就会偏移 0.5~2 纳米。为保障器件整体性能，制程尺寸偏差需控制在数纳米范围内。台积电 COUPE 平台借助先进制程设备实现 SPGC（硅基光栅耦合器）、MRR（微环谐振器）片内波长 3σ 波动分别为 1.44 nm、1.32 nm。

图 9 展示了台积电 COUPE 平台制造的硅基光栅耦合器（SPGC）/ 微环谐振器（MRR）器件性能指标波动情况：(a) 硅基光栅耦合器线宽（CD），(b) 硅基光栅耦合器沟槽深度，(c) 微环谐振器沟槽深度，(d) 硅基光栅耦合器峰值波长，(e) 微环谐振器谐振谷波长。

图9：硅基光栅耦合器（SPGC）/ 微环谐振器（MRR）器件性能指标波动

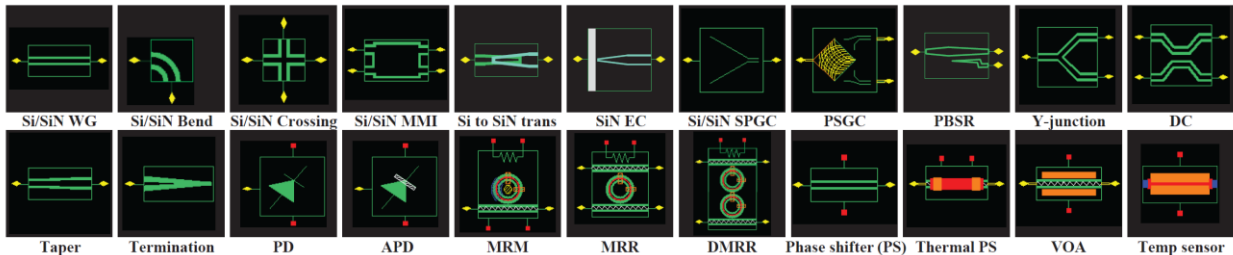


资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

量产化硅光子技术的核心是成熟的工艺设计套件（PDK），台积电的 COUPE PDK 提供了覆盖 O 波段的完整 Si/SiN 无源与有源光器件库。器件库涵盖了波导、弯曲结构、交叉结构、多模干涉耦合器（MMI）、光栅耦合器、边缘耦合器、偏振分束旋转器、热移相器、可调光衰减器（VOA）、微环调制器、微环谐振器、Ge 光电探测器、雪崩光电二极管（APD）、温度传感器等全系列光子器件，为光子芯片设计提供了完整的基础模块。

器件库针对有源器件提供了随电压、频率变化的阻容特性模型，可供设计人员开展调制响应与眼图仿真建模。针对高光功率工况下的有源器件，模型纳入了自由载流子吸收、双光子吸收所引发的自热效应，同时也对光电流给阻容特性、调制响应带来的影响完成建模。该工艺设计套件还集成了版图设计规则检查、端口连接错误校验功能，并支持 Verilog-A 电路设计。

图10：台积电 Si/SiN 硅光子平台工艺设计套件（PDK）器件库



资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

表1：硅光子平台工艺设计套件器件分类详解

全称	功能说明
Si/SiN Waveguide (硅 / 氮化硅波导)	光信号传输的基本通道
Si/SiN Waveguide Bend (波导弯曲)	实现光路转弯, 降低弯曲损耗
Si/SiN Waveguide Crossing (波导交叉)	实现多路光路交叉且低串扰
数据并行 (DP)	将同一批数据分割成多个子集, 并将每个子集分配给不同 GPU 上 (模型实例相同) 运行, 通常在机间完成
Multi-Mode Interferometer (多模干涉仪)	实现功率分配 / 合束, 是分光器核心单元
Si-to-SiN Transition (硅 - 氮化硅转换结构)	实现两种材料波导之间的低损耗耦合
SiN Edge Coupler (氮化硅边缘耦合器)	实现芯片与外部光纤的端面耦合
Surface Grating Coupler (硅 / 氮化硅表面光栅耦合器)	实现芯片与光纤的垂直耦合
Polarization Splitting Grating Coupler (偏振分光光栅耦合器)	同时实现光纤耦合与偏振分离
Polarization Beam Splitter/Rotator (偏振分束 / 旋转器)	实现光信号的偏振态控制
Y 型结	基础的光功率分束 / 合束器件
Directional Coupler (定向耦合器)	通过倏逝波实现光功率的耦合与分配
Taper	波导锥形过渡结构, 实现不同宽度波导之间的模式转换与低损耗连接
Termination	波导终端负载, 吸收反射光, 避免信号反射干扰
Photodetector (光电探测器)	将光信号转换为电信号
Avalanche Photodiode (雪崩光电二极管)	高灵敏度光电探测器, 适用于弱光信号接收
Micro-Ring Modulator (微环调制器)	基于微环谐振效应实现光信号调制
Micro-Ring Resonator (微环谐振器)	实现波长选择、滤波或光开关功能
Dual Micro-Ring Resonator (双微环谐振器)	通过双环结构提升滤波性能或实现高阶调制
Phase shifter (PS)	相位调制器, 通过电光效应改变光信号相位
Thermal PS	Thermal Phase Shifter (热光相位调制器), 通过加热波导改变光信号相位
VOA	Variable Optical Attenuator (可调光衰减器), 动态调节光信号功率
Temp sensor	片上温度传感器, 监测芯片工作温度, 用于微环谐振器等器件的温度补偿

资料来源:《Silicon Photonics Platform for Next Generation Data Communication Technologies》(作者: TSMC), 东兴证券研究所

3.2 COUPE 平台研制的核心器件实现优异的性能指标

台积电 COUPE 平台研制的无源器件实现高带宽、低损耗性能。COUPE 平台硅基无源器件覆盖 1290–1330nm 波长范围，包括高带宽、低损耗的波导 (WG)、光栅耦合器 (GC)、边缘耦合器 (EC)、多模干涉仪 (MMI) 和定向耦合器 (DC)。在光栅耦合器方面，纯硅 SPGC 的峰值损耗约 1.3dB；基于 SiN/Si 复合结构的 SPGC，纯硅 PSGC 的 TE 与 TM 模式峰值损耗约 2 dB。

氮化硅凭借宽工作带宽、弱温度相关性、低光损耗以及高光功率耐受能力，成为制备高性能光子集成芯片 (PIC) 的优选材料。COUPE 工艺采用低温 (低于 400°C) 等离子体增强化学气相沉积 (PECVD) 技术，并精准调控氮化硅波导内部化学键结构。最终搭建的氮化硅波导平台，在 1310 纳米波长下：单模波导传输损耗为 0.21 dB / 厘米，多模波导传输损耗为 0.14 dB / 厘米。COUPE 研制的氮化硅边缘耦合器，在 1270 - 1330 纳米波长范围内，插入损耗为 1.2 dB，偏振相关损耗 (PDL) 为 0.18 dB。

图 11 展示了台积电 COUPE 硅光子平台无源器件的性能仿真与实测结果，分为四个子图。

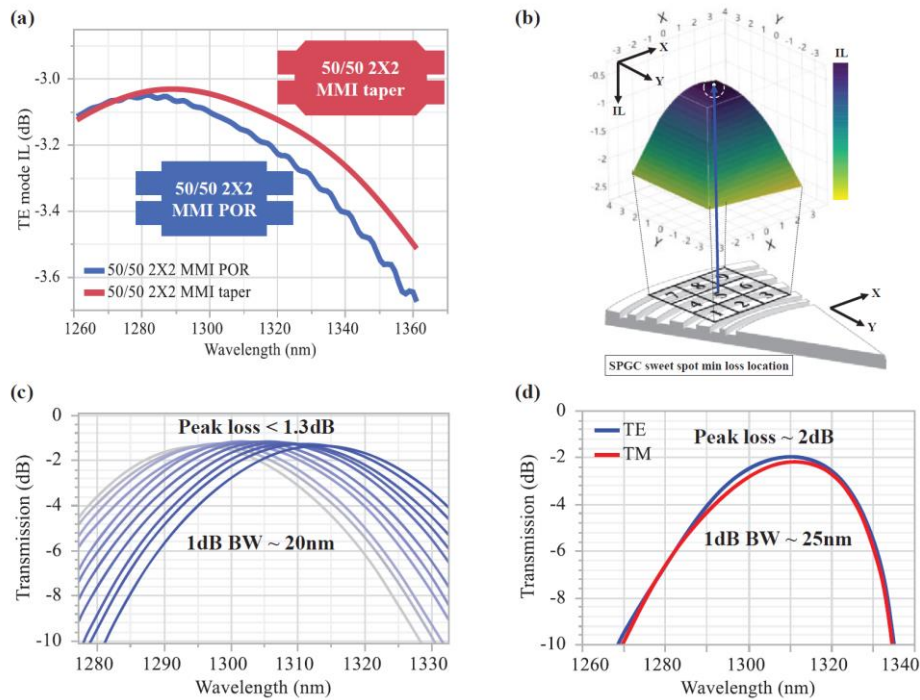
图 a 展示了一种可将反射引起的纹波降至最低的锥形 MMI 设计。可以看到，台积电设计的锥形 MMI 在整个波段内插入损耗更低 (整体比传统结构低约 0.1 - 0.2dB)，且曲线更平滑，有效抑制了反射引起的纹波，实现了更稳定的分光性能。

图 b 为硅基表面光栅耦合器 (SPGC) 的最佳工作点优化仿真结果。可以看到，仿真定位了 SPGC 的最佳耦合点 (Sweet Spot)，即损耗最低的光纤对准位置。深蓝色点为最优位置，对应插入损耗的峰值，为器件制造与封装对准提供了明确的设计指引。

图 c 给出了不同目标峰值波长的 SPGC 设计的实测光谱；可以看到，不同中心波长设计的器件峰值损耗均 < 1.3 dB。

图 d 则展示了偏振分光光栅耦合器 (PSGC) 的硅基器件性能结果。可以看到，器件对两种偏振态的耦合效率一致性好，偏振相关损耗低，可高效实现偏振分离与耦合功能。

图11：台积电硅光子平台无源器件的性能仿真与实测结果



资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

在调制器与探测器方面，COUPE 平台提供多种 MRM 结型设计，适配不同的应用场景。

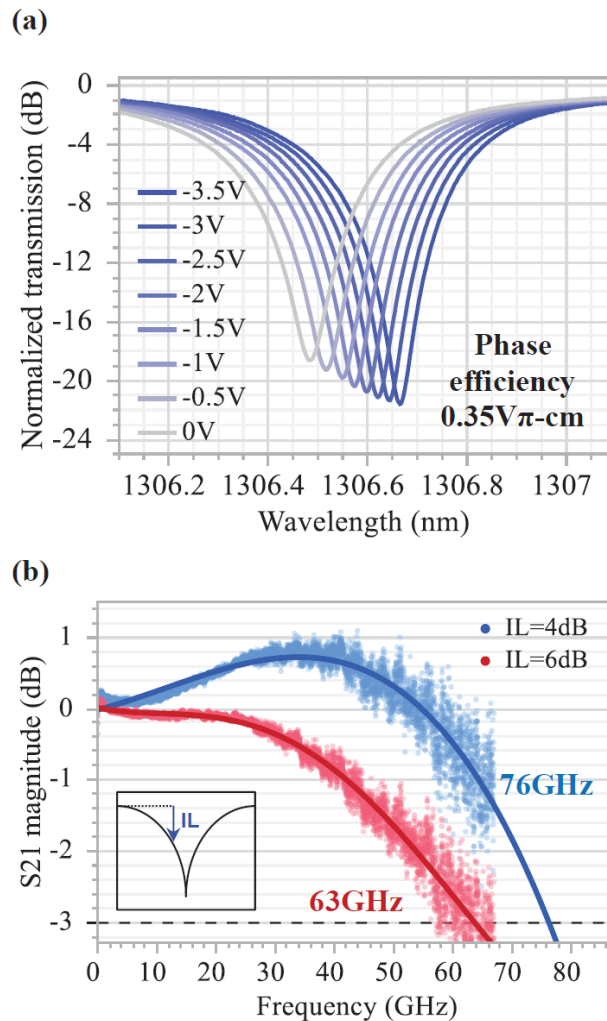
相较于马赫 - 曾德尔调制器 (MZM)，微环调制器具备芯片面积小、功耗更低的优势。但受自身特性影响，它对制程偏差以及自热效应引发的温升更为敏感。通过严格管控线宽均匀性，可大幅降低这类偏差对热调谐波长范围的影响；同时优化散热结构设计，进一步抑制自热带来的温升；通过调整掺杂工艺及其他设计方案，可灵活优化调制效率、速率等核心性能指标，以适配不同产品需求。

图 12 展示了微环调制器 (MRM) 的核心性能实测结果，包含调制效率与高速带宽两个关键维度，呈现了该器件的性能优势。

图 a 为半径 5 微米的微环器件在不同偏置电压下的光谱偏移曲线，该设计主打高调制效率；多条曲线对应从 0V 到 -3.5V 的不同反向偏置电压。随着反向偏置电压增大，微环谐振峰（损耗最低点）向长波长方向偏移，这是电光调制效应的直接体现。标注的 Phase efficiency 0.35 V π -cm 代表调制效率，值越低，说明实现 π 相位调制所需的电压与器件长度乘积越小，调制效率越高、功耗越低。曲线的连续偏移说明该器件具备良好的调谐能力，可通过电压精准控制谐振波长，实现高效调制。

图 b 为另一款高速调制方案的实测 S21 带宽，在 6dB、4dB 插入损耗下，带宽分别可达 63 GHz、76 GHz。图中散点代表多次测试的实测数据，曲线为拟合结果，说明器件在不同插入损耗设计下均能实现超高速调制能力，可满足高速光通信系统的需求。

图12：台积电微环调制器 (MRM) 的核心性能实测结果

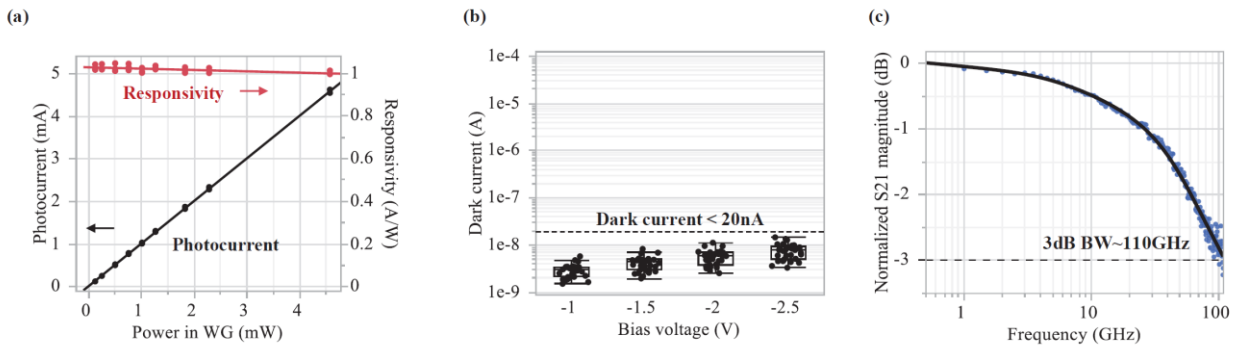


资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

COUPE 平台研制的锗光电探测器具备高响应度、超高速、低暗电流特性。Ge 光电探测器采用选择性外延工艺，响应度达 1.0A/W ，暗电流低于 20nA ，可支持超过 $200\ \mu\text{A}$ 的光电流工作， -3dB 可达约 110GHz ，满足超高速率链路的需求。

图 13 展示了锗光电探测器 (Ge PD) 的三大核心性能指标：响应度 / 线性度、暗电流特性与高速性能，是硅光子平台中光信号接收端的关键器件性能验证。

图13：台积电锗光电探测器核心性能实测结果

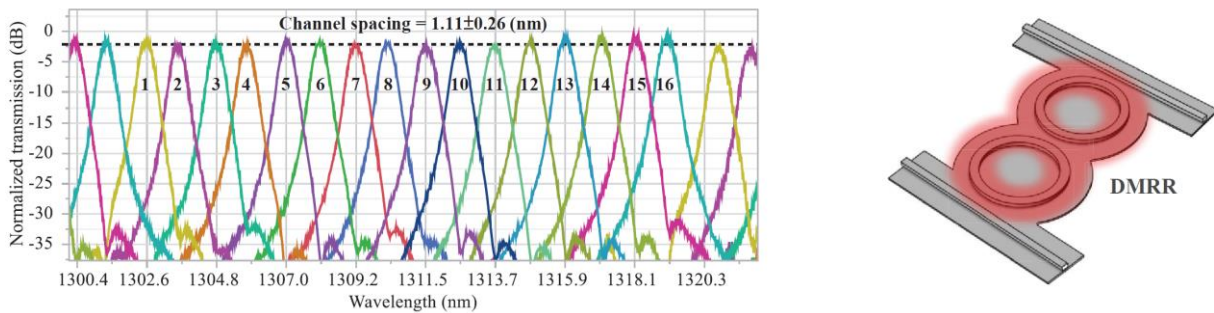


资料来源：《Silicon_Photonics_Platform_for_Next_Generation_Data_Communication_Technologies》（作者：TSMC），东兴证券研究所

COUPE 平台开发了双微环谐振器 (DMRR) 滤波器，相比传统的单微环谐振器 (MRR)，DMRR 实现了更优异的带外抑制性能，串扰水平大幅优化。通过严苛的工艺控制，晶圆内谐振波长的 1σ 偏差小于 0.5nm，成功验证了通道间隔 $1.11\pm 0.20\text{nm}$ (对应 200GHz 频率间隔) 的 16 通道 DMRR 器件，通道串扰优于 20dB，为高密度 DWDM 系统提供了核心的滤波器件支撑。

图 14 展示了 16 组通道间隔为 200 吉赫兹的双微环谐振器光学光谱。16 条彩色曲线对应 16 个不同通道的 DMRR 器件，每个通道都有一个尖锐的谐振峰 (传输损耗最低点)，对应其工作波长。通道间距 (Channel spacing) 标注为 $1.11\pm 0.26\text{nm}$ ，与 200 GHz (约 1.11 nm) 的标准 DWDM 通道间隔完全匹配，说明器件可实现精准的波长滤波与分束功能。所有通道的谐振峰均清晰分离，且损耗深度大 (超过 -30dB)，说明器件的滤波性能优异，串扰极低，可支持多通道光信号并行传输。红色区域表示集成加热器的作用范围，可通过加热微环波导，利用热光效应微调其谐振波长，实现波长的精准调谐与温度补偿，解决工艺偏差和温度变化带来的波长漂移问题。

图14：台积电双微环谐振器核心性能实测结果



资料来源：《Silicon Photonics Platform for Next Generation Data Communication Technologies》（作者：TSMC），东兴证券研究所

4. 台积电 COUPE 平台实现技术落地与迭代，绑定标杆客户

4.1 COUPE 平台技术路线分三步走

2026 年 4 月，台积电 COUPE 平台经过反复仿真与制程优化，已转化为完整的半导体制程技术，2026 年 6 月进入量产。COUPE 平台技术路线分三步走，产品性能与集成度逐级跃升。

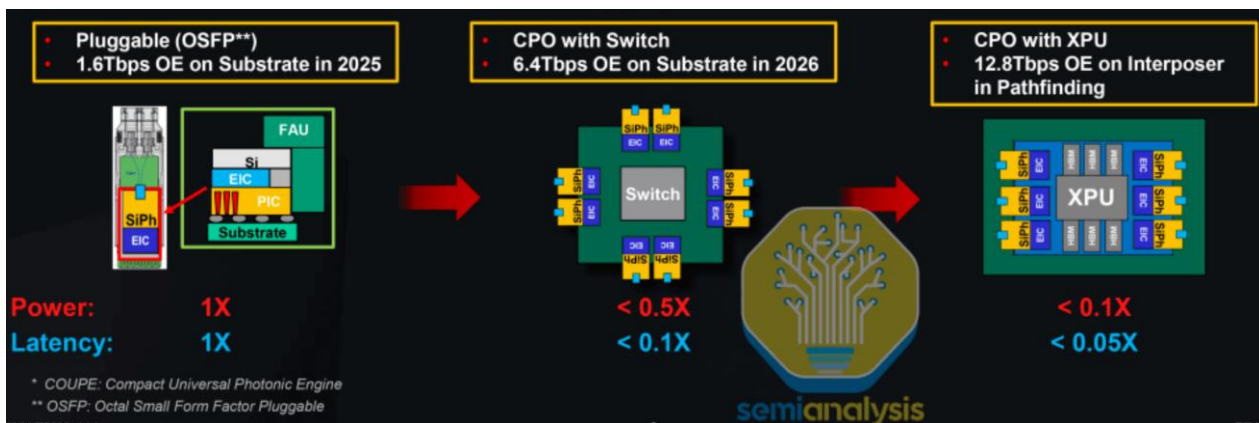
阶段 1: 2025 年实现基于 OSFP 封装的可插拔光模块, PIC 与 EIC 通过倒装键合在基板上; 规格为 1.6Tbps (1.6Tb/s) 光学引擎。

阶段 2: 2026 年实现基于台积电 CoWoS (Chip-on-Wafer-on-Substrate) 中介层技术的共封装光学 (CPO), 光学引擎直接集成在交换机基板上; 规格为 6.4Tbps 光学引擎。

阶段 3: 2026 年之后探索光学引擎直接集成在 XPU (AI/CPU/GPU) 的 CoWoS 中介层上, 实现“芯片级光互联”; 规格为 12.8Tbps 光学引擎。

以 2025 年 OSFP 封装的可插拔光模块作为性能基准, 基于基板的 CoWoS CPO, 功耗降低 2 倍, 延迟降低 10 倍; 基于 XPU 的 CoWoS CPO, 以进一步实现 5 倍的功耗降低和 2 倍的延迟降低。

图15: 台积电发布的 CPO 技术路线图



资料来源：台积电，东兴证券研究所

4.2 英伟达与博通成为台积电光引擎代工标杆客户

英伟达与博通成为台积电光引擎代工标杆客户。英伟达的 Quantum-X Photonics 交换机架构采用基于 COUPE 光引擎的光子组件，每个组件在 8 条 200 Gbps PAM4 发送通道和 8 条 200 Gbps PAM4 接收通道上提供 1.6 Tbps 的发送吞吐量和 1.6 Tbps 的接收吞吐量；Spectrum-X Ethernet Photonics 封装密度更高，在一个多芯片模块中集成了 32 个硅光子引擎，每个引擎的吞吐量为 3.2 Tbps。2026 年 6 月，基于台积电 COUPE 平台，英伟达新一代 CPO 交换机 Spectrum-X 实现量产。此外英伟达 COUPE 平台并不局限于单一的垂直整合生态系统。博通 Tomahawk 6 Davisson 交换机也将采用基于台积电 COUPE 的光引擎。

表2：英伟达与博通发布的 CPO 交换机产品矩阵

发布时间	代表产品	核心参数
GTC 2025 发布	英伟达 Quantum-X800-Q3450	1) 总带宽：115.2 Tb/s (4×28.8 Tb/s Quantum-X800 ASIC) 2) 端口：144×MPO；144×800G / 72×1.6T 逻辑端口 3) 光引擎：每 ASIC 18× 光引擎，单引擎 1.6 Tb/s 4) 散热：液冷；单端口功耗 9 W
GTC 2025 发布	英伟达 Spectrum-X SN6800/SN6810	1) 交换芯片：102.4 Tb/s, TSMC 3 nm, COUPE 硅光共封装 2) 端口：128×800G / 512×200G (PAM4) 3) 封装：EIC+PIC 3D 键合，无独立 DSP 4) 功耗：单端口 9 W；整机较传统 -50%+
2024 发布	博通 BCM56990 (Tomahawk 5-Bailly, 第二代 CPO)	1) 总带宽：51.2 Tb/s；8×6.4 Tb/s 光引擎 2) 端口：512×100G 3) 工艺：7 nm CMOS EIC；FOWLP 扇出晶圆级封装 4) 架构：硅光 PIC + 锗硅 EIC，无独立 DSP
2025-10 正式发布	博通 BCM78919 (Tomahawk 6-Davisson, 第三代 CPO)	1) 总带宽：102.4 Tb/s；16×6.4 Tb/s Davisson DR 光引擎 2) 端口：512×200G (PAM4) 3) 工艺：TSMC 3 nm；COUPE 紧凑型通用光子引擎 4) 激光模块：ELSFP 现场可更换

资料来源：GTC，英伟达官网，博通官网，Semianalysis，东兴证券研究所

5. 投资建议

我们认为，CPO 生态逐步形成，台积电与英伟达暂处于领先地位。但博通、英特尔、Marvell、Ayar Labs、三星等 CPO 解决方案厂商以及格芯、Tower Semi、意法半导体等硅光子代工平台也将加大研发，驱动硅光子产业加速发展。此外全球硅光子将从碎片化定制研发转向标准化代工量产模式。国内硅光新材料、无源以及有源器件、以硅光器件设计套件（PDK）、集成测试等厂商有望进入英伟达、台积电供应链体系，加速硅光子国产化验证与量产落地。

相关公司：

光模块、CPO/NPO：中际旭创、新易盛、天孚通信、华工科技、光迅科技；

光芯片：源杰科技、东山精密、仕佳光子、长光华芯；

OCS：腾景科技、福晶科技、矩光科技、德科立；

CPO 设备：联讯仪器、罗博特科。

6. 风险提示

（1）CPO 技术路线碎片化；（2）CPO 订单不及预期；（3）光模块产能过剩与价格下行；（4）供应链与地缘风险。

分析师简介

石伟晶

首席分析师，覆盖传媒、互联网、云计算、通信等行业。上海交通大学工学硕士。10 年证券从业经验，曾供职于华创证券、安信证券，2018 年加入东兴证券研究所。

分析师承诺

负责本研究报告全部或部分内容的每一位证券分析师，在此申明，本报告的观点、逻辑和论据均为分析师本人研究成果，引用的相关信息和文字均已注明出处。本报告依据公开的信息来源，力求清晰、准确地反映分析师本人的研究观点。本人薪酬的任何部分过去不曾与、现在不与、未来也将不会与本报告中的具体推荐或观点直接或间接相关。

风险提示

本证券研究报告所载的信息、观点、结论等内容仅供投资者决策参考。在任何情况下，本公司证券研究报告均不构成对任何机构和个人的投资建议，市场有风险，投资者在决定投资前，务必要审慎。投资者应自主作出投资决策，自行承担投资风险。

免责声明

本研究报告由东兴证券股份有限公司研究所撰写，东兴证券股份有限公司是具有合法证券投资咨询业务资格的机构。本研究报告中所引用信息均来源于公开资料，我公司对这些信息的准确性和完整性不作任何保证，也不保证所包含的信息和建议不会发生任何变更。我们已力求报告内容的客观、公正，但文中的观点、结论和建议仅供参考，报告中的信息或意见并不构成所述证券的买卖出价或征价，投资者据此做出的任何投资决策与本公司和作者无关。

我公司及报告作者在自身所知情的范围内，与本报告所评价或推荐的证券或投资标的的存在法律禁止的利害关系。在法律许可的情况下，我公司及其所属关联机构可能会持有报告中提到的公司所发行的证券头寸并进行交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。本报告版权仅为我公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。如引用、刊发，需注明出处为东兴证券研究所，且不得对本报告进行有悖原意的引用、删节和修改。

本研究报告仅供东兴证券股份有限公司客户和经本公司授权刊载机构的客户使用，未经授权私自刊载研究报告的机构以及其阅读和使用者应慎重使用报告、防止被误导，本公司不承担由于非授权机构私自刊发和非授权客户使用该报告所产生的相关风险和法律责任。

行业评级体系

公司投资评级（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数）：
以报告日后的6个月内，公司股价相对于同期市场基准指数的表现为标准定义：

强烈推荐：相对强于市场基准指数收益率15%以上；

推荐：相对强于市场基准指数收益率5%~15%之间；

中性：相对于市场基准指数收益率介于-5%~+5%之间；

回避：相对弱于市场基准指数收益率5%以上。

行业投资评级（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数）：
以报告日后的6个月内，行业指数相对于同期市场基准指数的表现为标准定义：

看好：相对强于市场基准指数收益率5%以上；

中性：相对于市场基准指数收益率介于-5%~+5%之间；

看淡：相对弱于市场基准指数收益率5%以上。

东兴证券研究所

北京

西城区金融大街5号新盛大厦B座16层

邮编：100033

电话：010-66554070

传真：010-66554008

上海

虹口区杨树浦路248号瑞丰国际大厦23层

邮编：200082

电话：021-25102800

传真：021-25102881

深圳

福田区益田路6009号新世界中心46F

邮编：518038

电话：0755-83239601

传真：0755-23824526