

# 半导体先进封装与光互联技术专题： COUPE引领光电共封装新纪元

行业研究 · 行业专题

通信

投资评级：优于大市（维持）

证券分析师：熊莉

021-61761067

xiongli1@guosen.com.cn

S0980519030002

**紧凑型通用光子引擎 COUPE (Compact Universal Photonic Engine)** 是台积电提出的针对硅光子集成与光电共封装 (CPO) 的通用解决方案。该技术跳过传统的微凸块封装，直接采用 3D SoIC-X 混合键合工艺，实现光子集成电路 (PIC) 与电子集成电路 (EIC) 的原子级高密度互连。COUPE从底层打破了传统可插拔光模块在400G+速率下的电信号衰减与功耗瓶颈行业实践数据表明，在同等速率下，COUPE较传统微凸块方案可降低40%的功耗；而在交换机系统级应用中，其可助力光互连功耗大幅降低70%。

**传统网络架构正加速从前面板可插拔 (FPP) 向共封装光学 (CPO) 演进。**在 COUPE问世前，CPO光子引擎结构高度碎片化，面临良率、热管理与耦合损耗等多重挑战。台积电 COUPE 凭借其独家的底层制造工艺与全链路闭环的EDA生态，一举确立了其在超大算力集群高频光互连领域的底层物理标准地位。随着SerDes速率向200G/224G不断升级，极致算力需求推动COUPE技术步入快速商业化放量期。英伟达新一代800G/1.6T纯血CPO交换机（如 Quantum-X800）已率先采用该技术架构，实现网络能效 5 倍提升。此外，博通推出的 102.4 Tbps级 TH6-Davissson交换机同样基于TSMC COUPE技术打造，标志着该方案已成为满足大规模AI集群横向扩展的核心标配。

**投资建议：**目前以COUPE为代表的3D光电共封装技术正处于产业化加速落地的关键拐点。随着头部算力客户订单的持续导入，掌握极微间距三维键合设备、亚微米级主动对准设备以及具备CPO先进封装与精密无源器件制造能力的厂商将率先迎来业绩爆发。

**风险提示：**AI发展及投资不及预期；行业竞争加剧；全球地缘政治风险；新技术发展引起产业链变迁。

- [ 01 ] COUPE技术的架构演进与底层工艺
- [ 02 ] CPO封测的制造流程与核心设备
- [ 03 ] 产业链各环节公司布局分析
- [ 04 ] 投资建议

# 一、COUPE技术的架构演进与底层工艺

# 光互连的演进：从分立走向共封装

**传统前面板架构 (FPP) 存在功耗瓶颈：**依赖长距离铜线传输电信号，高频信号衰减导致能耗攀升。ASE 数据表明，其光电互连功耗介于 20-30 pJ/bit 之间。

**平面缩距方案 (OBO/NPO) 降低功耗的能力有限：**缩短物理互连距离可降低功耗。将光学器件移至主板的 OBO/NPO 将功耗降至约 20 pJ/bit；平面封装方案面临工程局限：OBO/NPO 仍受限于 PCB 材质的寄生效应；早期的 2.5D 平铺式 CPO 存在封装占用面积大、光纤耦合方案各异导致良率受限等工程挑战。

**3D 异构集成平台重构底层架构：**台积电 COUPE 平台采用垂直堆叠技术，将电子芯片 (EIC) 直接置于光子芯片 (PIC) 上方。此架构将光电互连距离缩至微米级，在物理形态上契合算力集群对低功耗、高密度布线与标准化的技术指标要求。

图 1：从FPP到NPO和CPO的演进

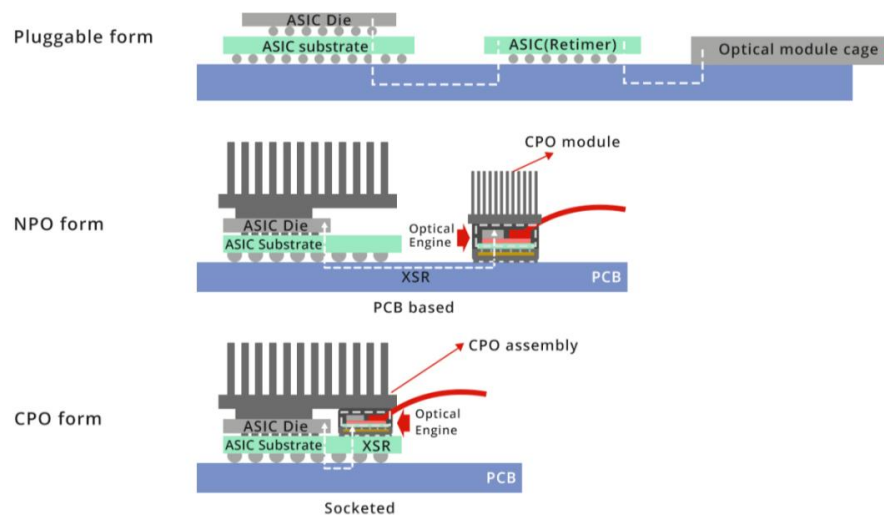


表1：FPP, OPO与CPO方案对比

解决方案类型	能效	带宽能力
传统可插拔光模块	20-30 pJ/bit	最高 800G
板载光学 (On-Board Optics)	~20 pJ/bit	最高 1.6T
共封装光学 (Co-Packaged Optics)	<5 pJ/bit	3.2T - 6.4T

资料来源：ASE官网，国信证券经济研究所整理

资料来源：LSOLINK公司官网，国信证券经济研究所整理

# 光电封装技术路径：从平面走向3D异质整合

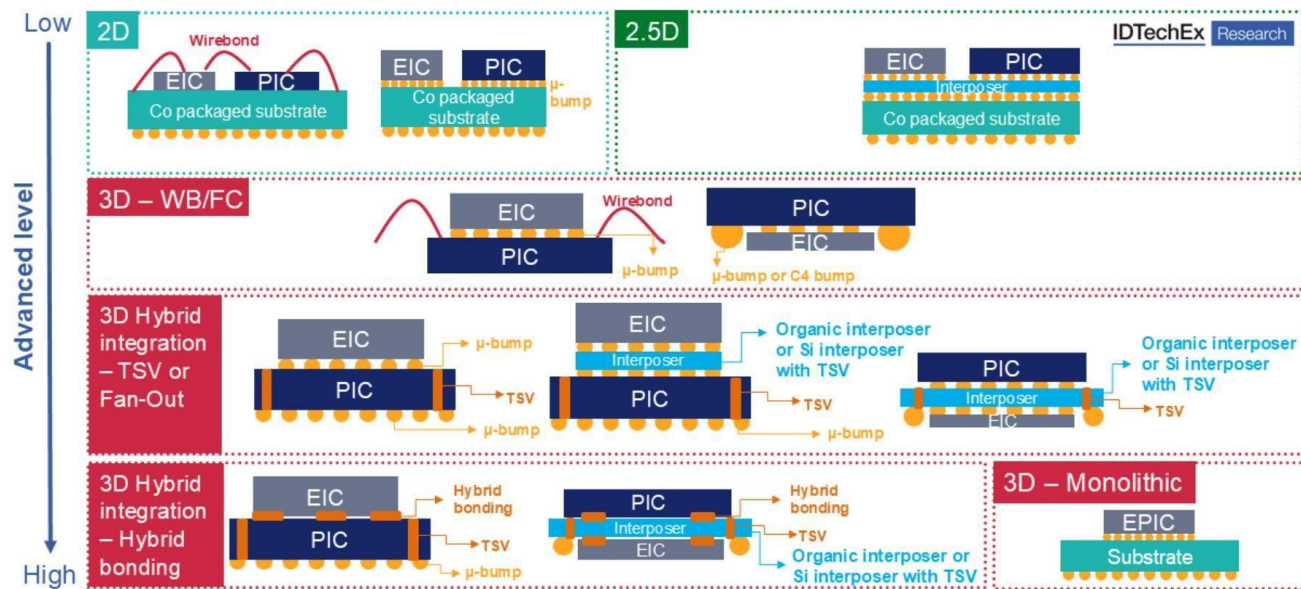
三种光电集成封装方案各有不同技术特点，也分别存在对应的技术短板与应用优势。

**2.5D 平面封装有着明显的物理距离限制。**光电芯片可以按照各自适配的工艺分开制作，但两款芯片平铺布置在同一块基板上，芯片之间毫米级的传输间距，无法规避寄生效应，也不能减少信号传输延迟。

**单芯片一体化集成模式会出现工艺制程不匹配的问题。**这种方式把光电芯片制作在同一片晶圆上，能够消除芯片间的传输距离。不过光子芯片只适合 35 纳米及以上的成熟工艺，和采用先进工艺的电芯片合并生产后，不仅会大幅抬高制造成本，还会拖累电芯片运算能力，同时降低产品生产良品率。

**3D 异质整合模式可以平衡工艺适配性与传输距离两大问题。**借助硅穿孔、混合键合技术实现芯片垂直堆叠，既能够让光电芯片分别使用适配自身的工艺制造，还能把信号传输距离缩短到微米级别，有效降低信号传输过程中的功耗与延迟问题。

图 2：从2D到3D的 EIC/PIC集成方案



资料来源：IDTechEx官网，国信证券经济研究所整理

# CPO: 先进封装 - 键合工艺解析

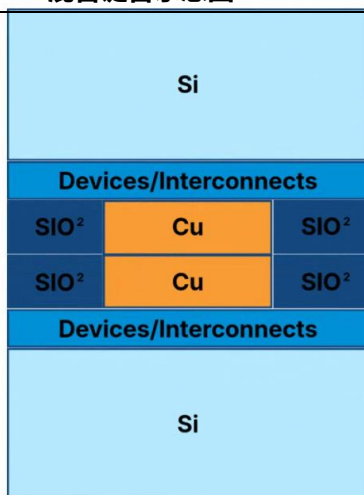
在CPO的制造流程中，垂直互连与芯片键合技术决定了信号的传输速率、模块的散热能力以及最终的物理尺寸。随着异构集成的深化，传统的互连工艺正面临严峻的物理极限，行业正加速向高密度、无凸块化的三维键合工艺演进。

表2: 混合键合, 热压键合, TSV与TGV工艺对比

工艺类型	互连间距 (Pitch)	核心互连机制	优势	局限性
混合键合 (Hybrid)	< 10 $\mu$ m	Cu-Cu 原子级键合, 无凸块	低能效 (pJ/bit)、高互连密度、信号损耗小。	工艺难度大, 对环境洁净度要求高。
热压键合 (TCB)	20~40 $\mu$ m	压力+热量使微凸块 ( $\mu$ Bump) 融化	工艺成熟, 适用于 HBM 堆叠。	焊料可能导致电迁移, 热应力控制难度高。
TSV (硅通孔)	10~50 $\mu$ m	在硅衬底穿孔填充金属	实现真正 3D 堆叠的基础, 电学路径比传统打线缩短 90% 以上。	硅衬底高频损耗较大, 且在高密度下存在散热挑战。
TGV (玻璃通孔)	> 30 $\mu$ m	在玻璃基板穿孔填充金属	介电损耗更低, 绝缘性好; 热膨胀系数 (CTE) 可调, 能有效缓解基板翘曲。	玻璃脆性大, 激光加工成本和良率管理仍处于上升期。

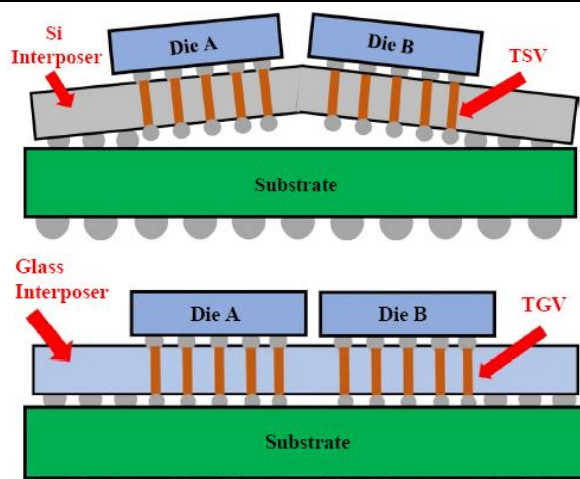
资料来源: Google, 国信证券经济研究所整理

图3: 混合键合示意图



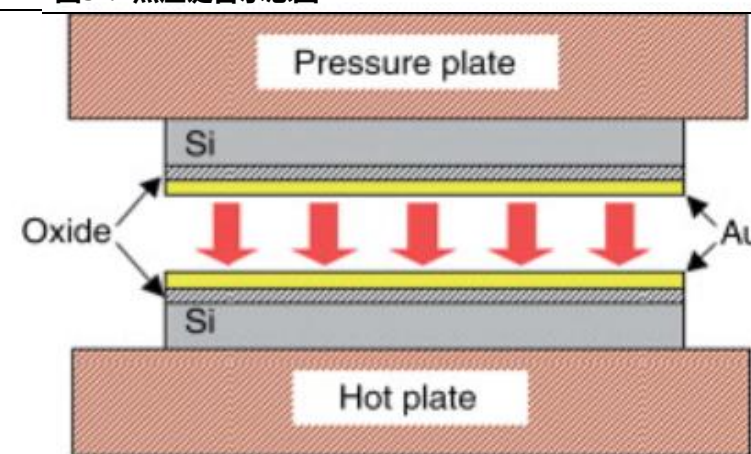
资料来源: BASLER官网, 国信证券经济研究所整理

图4: TSV与TGV示意图



资料来源: 《Recent Progress of TGV Technology for High Performance Semiconductor Packaging》-Fig.2, 国信证券经济研究所整理

图5: 热压键合示意图



资料来源: Science Direct - 《Wafer Bonding》-Fig.9, 国信证券经济研究所整理

# CPO: 先进封装 - 耦合工艺解析

耦合工艺是 CPO 制造过程里的关键环节，主要实现光纤与光子芯片的对接匹配。

该工艺直接影响光信号耦合效率、器件插入损耗，也决定着模块封装的难易程度。当下高速光互连对功耗控制、带宽密度的标准持续提高，常规的光纤阵列对准封装方式，很难同时把控装配精度与生产成本。

**GC:** 封装简单、对准容差大，但耦合效率较低、带宽和偏振性能有限，适合规模化生产和晶圆级测试。

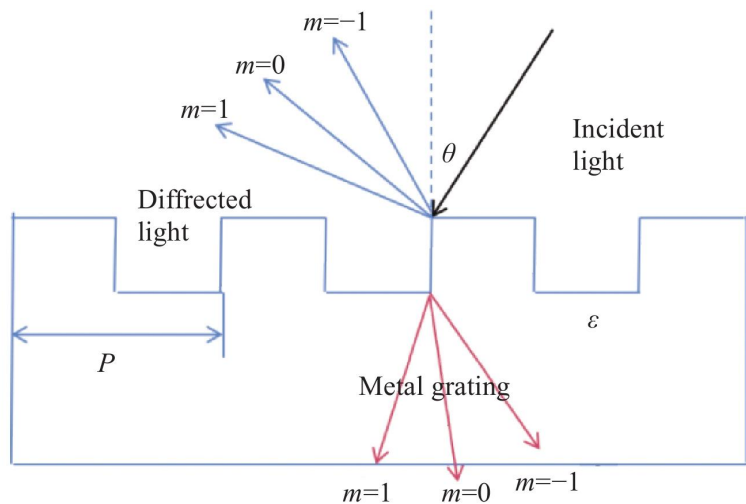
**EC:** 耦合损耗低、带宽大，但封装复杂、制造成本较高。

表3: 光栅耦合与端面耦合工艺对比

耦合方式	耦合方向	耦合效率	带宽	偏振依赖	CPO适用性
光栅耦合 (GC)	垂直/平面	较低，一般-3~-5dB	带宽窄，30-60nm	偏振敏感	高密度阵列、自动化封装
端面耦合 (EC)	侧向/水平	较高，一般-1~-2dB	带宽极宽，可>100nm	偏振依赖较小	低损耗、高性能链路

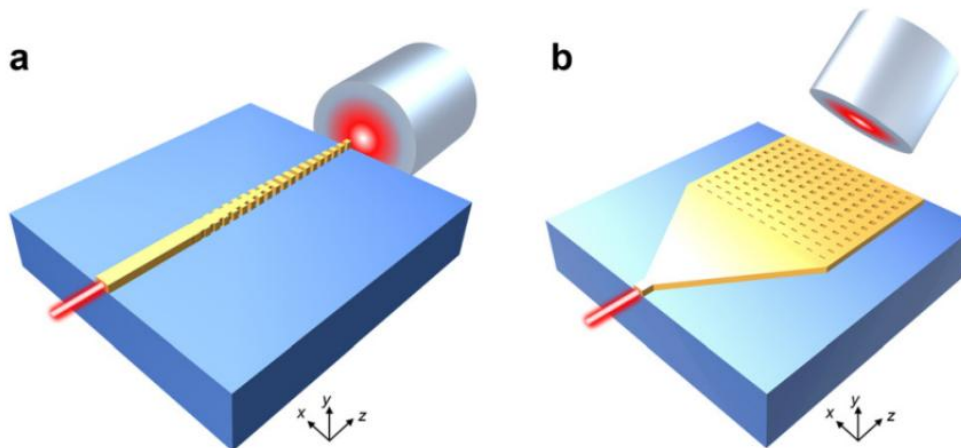
资料来源: Google, 国信证券经济研究所整理

图6: 光栅耦合模型



资料来源: 应有光学《基于PDMS薄膜的等离子体光栅仿真分析》Fig.1, 国信证券经济研究所整理

图7: 光栅耦合与端面耦合的对比



资料来源: 《A review of silicon subwavelength gratings: building break-through devices with anisotropic metamaterials》-Fig.18, 国信证券经济研究所整理

# COUPE：台积电在硅光子领域的弯道超车

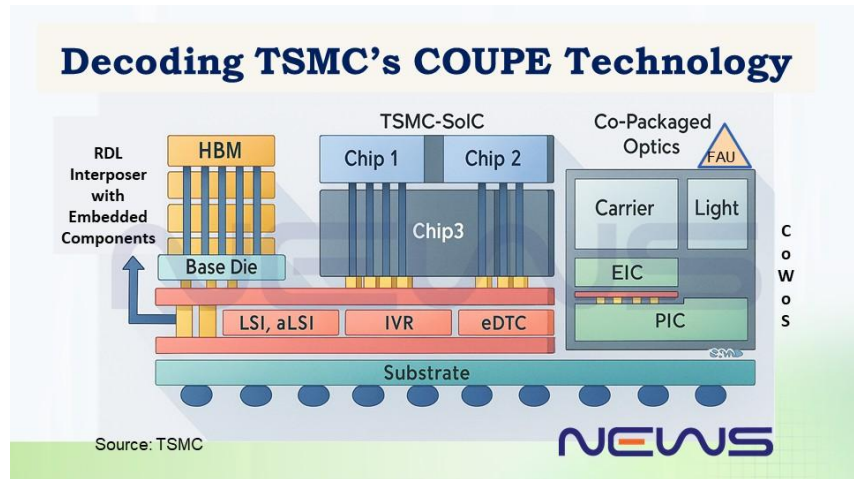
台积电布局硅光子市场时机较晚，为实现差异化竞争、规避传统光电封装的技术弊端，其依托自身先进封装技术优势，跳过单一晶片封装方案，推出 COUPE 紧凑型通用光子引擎技术，依托 SoIC-X 三维封装技术切入硅光子封装赛道，以此适配 AI 高速光互连高频宽、低功耗的发展需求。

在技术架构上，COUPE 可通过 SoIC-X 三维封装技术实现不同制程光子积体电路与电子积体电路的互连整合；同时配备完整的制程设计套件（PDK），能够支撑光子电路设计、电光协同模拟与多波长建模工作，还研发出垂直光栅耦合与水平边缘耦合两种光学接口方案，有效提升芯片与光纤阵列模组的光耦合效率。

在底层封装性能上，SoIC-X 采用无凸块铜对铜直接混合键合方式，让晶片连接更为紧密，对比传统微凸块技术，可在同等传输速度下降低 40% 功耗，或在同等功耗条件下实现 170% 的速度提升。

SoIC-X 相较 CoWoS、InFO 等主流封装技术，拥有更高的晶片互连密度，在高频宽、低功耗应用场景中优势显著，能够精准匹配当下 AI 高速光互连市场的核心需求。

图8：COUPE示意图

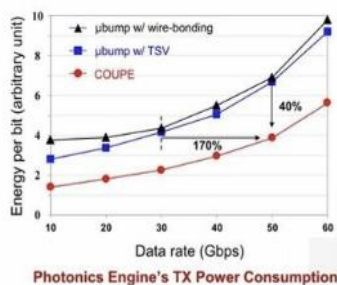


资料来源：TSMC官网，国信证券经济研究所整理

图9：COUPE与其他技术的功耗对比

## Electrical Interface (2/2)- Power Consumption

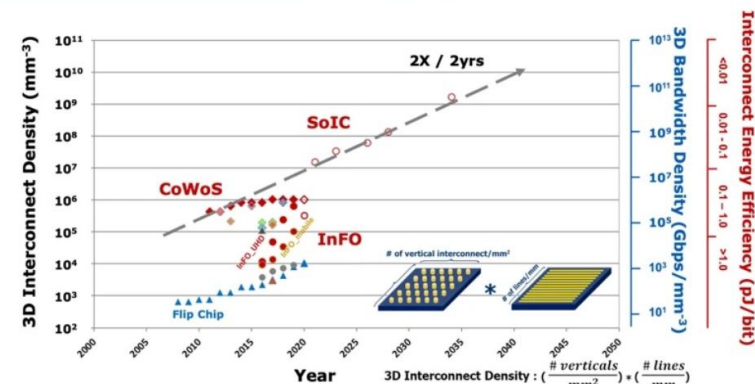
- Power Consumption Comparison with uBump-based PE:
  - COUPE has 40% lower power consumption at the same speed.
  - COUPE can reach 170% speed gain with the same power.



资料来源：TSMC官网，国信证券经济研究所整理

图10：台积电的3DID定律

## Interconnect Scaling for Higher Bandwidth



资料来源：ISSCC 2021，国信证券经济研究所整理

# 不可复制的 COUPE：台积电的核心优势剖析

## 底层工艺壁垒：SoIC-X 混合键合的“降维打击”

从“后道封测”到“前道制造”：摒弃传统微凸块 (Micro-bump)。混合键合要求原子级平坦化 (CMP) 与超高洁净度，传统封测厂 (OSAT) 短期内难以跨越前道设备的制造鸿沟。

突破物理极限的 I/O 密度：台积电的 SoIC 混合键合，直接去掉了焊锡，让铜和铜在原子层面直接贴合，单位面积互连密度远超传统方案，成为满足极限算力吞吐的唯一解。

## 商业与生态壁垒：为何对手难以跨越？

全链路闭环的一站式交付：英伟达、博通等巨头已深度绑定其先进制程与 CoWoS 体系。COUPE 被设计为无缝融入现有流水线的“终极插件”，锁死客户的供应链切换路径。

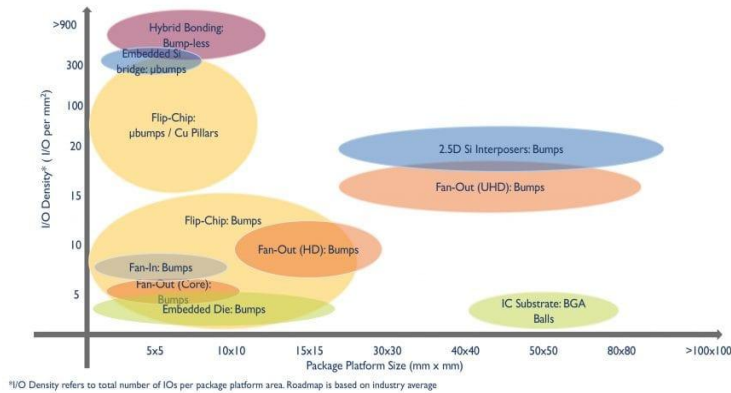
多物理场协同的 EDA 生态：联合 Ansys、Synopsys 打造独家 COUPE 仿真平台，解决严苛的热管理与电磁干扰，在芯片“图纸设计”阶段就与客户深度绑定。

核心专利的全面超车：2024 年台积电在美申请的硅光子核心专利数 (50项) 已达传统硅光巨头 Intel 的近两倍，正跃升为底层物理标准的制定者。

图11：I/O 密度与封装尺寸的先进封装技术路线图

### Advanced packaging technology roadmap: I/O density vs Package size

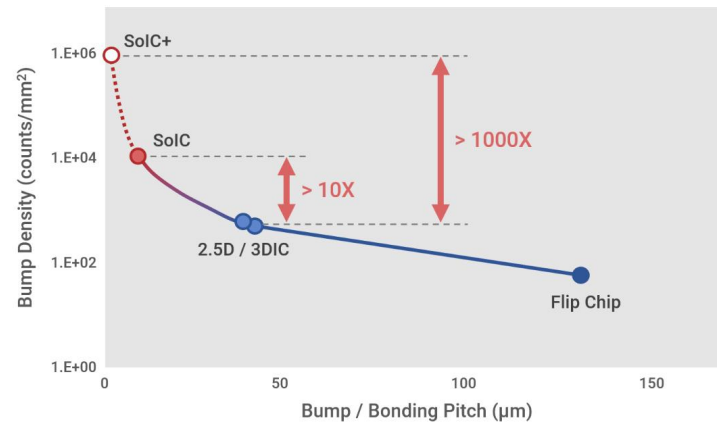
(Source: Status of Advanced Packaging Industry 2020, Yole Développement, 2020)



I/O Density refers to total number of I/Os per package platform area. Roadmap is based on industry average

资料来源：Yole官网，国信证券经济研究所整理

图12：台积电混合键合 (SoIC) 性能优势



资料来源：TSMC官网，国信证券经济研究所整理

图13：Synopsys与TSMC在先进工艺节点设计方面的合作

**SYNOPSIS** **tsmc**

**Accelerating Next-Level Innovation For TSMC Advanced-Node Designs**  
Mission Critical EDA and IP Solutions Fuel Decades of Collaboration for Customer Success

- Production-Ready AI-Driven Digital & Analog Flows  
Synopsys Certified Flows on TSMC N2 and N3/N3P Powered by Synopsys.ai™
- Certified Physical Verification Solution  
Synopsys IC Validator on TSMC N2 and N3P for Full-Chip Signoff
- Innovative Silicon Photonics Collaboration  
Synopsys 3DIC Compiler & TSMC COUPE Technology
- Broad Portfolio of IP on 2nm in Development  
Synopsys IP for TSMC N2/N2P & Silicon-proven IP on N3P

资料来源：TSMC官网，国信证券经济研究所整理

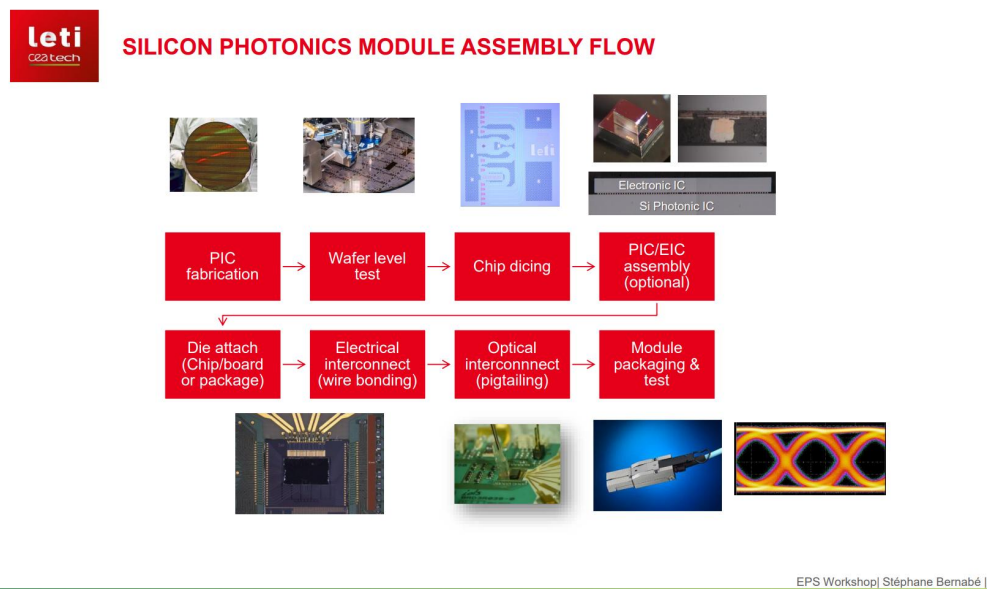
## 二、CPO封测的制造流程与核心设备

# CPO: 封测环节流程介绍

CPO的封测流程以硅光子晶圆为起点，通过PIC与EIC异构集成形成光子引擎，并进一步与交换ASIC进行共封装，最终完成光纤阵列耦合与系统级光学测试。

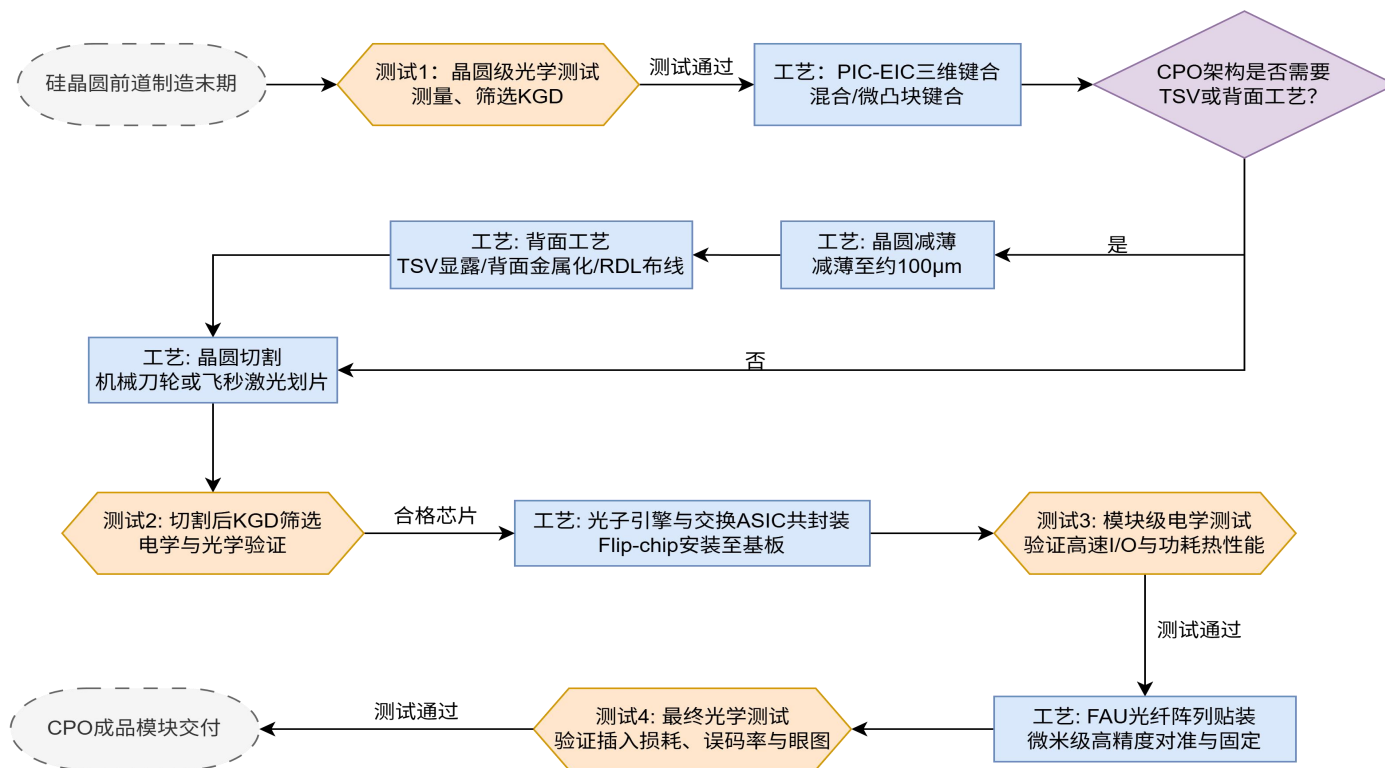
与传统光模块相比，CPO封装流程在三维互连、光电协同测试以及光纤高精度对准等环节具有更高的工艺复杂度。

图14：硅光子学模块组装流程



资料来源：IEEE，国信证券经济研究所整理

图15：CPO封测流程图



资料来源：IEEE，国信证券经济研究所整理

表4：CPO封测设备

设备环节	核心工艺技术点	重点设备供应商及主力型号
高精度混合键合	亚微米级Cu-Cu对准、CMP超平坦化处理、可控热压退火、翘曲抑制；无助焊剂键合物理化学还原工艺	EVG (GEMINI FB XT)
光学对准与组装	亚微米六自由度主动对准、高频UV点胶快速固化、AuSn共晶焊接	ficonTEC (ASSEMBLYLINE 生产型 / CUSTOMLINE 研发型)
光子引擎与交换ASIC共封装	晶圆级封装、Flip-chip贴装等高密度组装，将能效比降至极限 (<5 pJ/bit)	先进封装厂商：ASE (日月光)，主力晶圆级扇出互连 (FOPOP) 平台

资料来源：Google，各公司官网，国信证券经济研究所整理

图16：EVG GEMINI FB XT设备



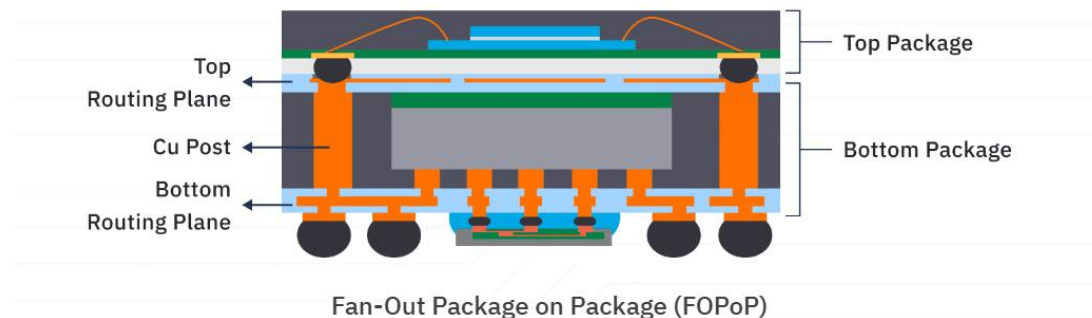
资料来源：EVG官网，国信证券经济研究所整理

图17：ASSEMBLYLINE设备



资料来源：ficonTEC官网，国信证券经济研究所整理

图18：FOPOP平台



资料来源：日月光官网，国信证券经济研究所整理

表5：CPO封测设备

对应测试节点	设备环节分类	核心工艺与测试技术点	重点设备供应商及主力型号
测试1：晶圆级光学测试	光电联合晶圆测试	亚微米光学探针对准、超高频RF宽带探测 (250GHz)、光电探测器响应度分析	FormFactor (InfinityXF 搭载专属光学探针模块)
测试2：切割后KGD筛选	光电联合测试	规避边缘微裂纹风险，通过精准的电学与光学联合测试筛选出高良率裸晶 (KGD)	FormFactor 等同类平台复用
测试3：模块级电学测试	系统级综合ATE测试	验证高速I/O连接、驱动电路工作状态、整体功耗与热性能；高速数字总线协议分析	Teradyne (Spectrum 9100 综合平台 / Spectrum BT 紧凑平台)
测试4：最终光学测试	系统级综合ATE与光链路测试	224G PAM4误码率 (BER) 极限测试、链路插入损耗、长时间热循环与眼图质量验证	Teradyne (Spectrum 9100 综合平台 / Spectrum BT 紧凑平台)

资料来源：各公司官网，Google，国信证券经济研究所整理

图19：InfinityXF 搭载专属光学探针模块



资料来源：FormFactor官网，国信证券经济研究所整理

图20：Spectrum 9100 综合平台



资料来源：Teradyne官网，国信证券经济研究所整理

# CPO封测高技术壁垒环节及核心布局企业概览

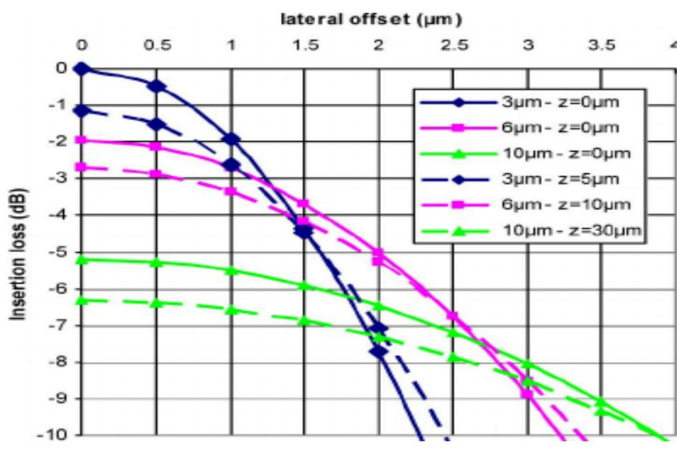
**PIC-EIC三维键合：**这是整个CPO乃至硅光技术中最关键的环节之一。将光子集成电路和电子集成电路（如TIA/Driver）进行三维堆叠，需要使用微凸块甚至无凸块的铜-铜混合键合。这要求**极高的对准精度、极佳的界面平整度**，同时还要解决硅光芯片与CMOS芯片由于材质和功耗不同带来的**热应力失配问题**。

表6: PIC-EIC三维键合优势厂商

公司	核心技术 / 平台	主要优势与能力
台积电	COUPE、SoIC	拥有绝对领先优势。专为解决 PIC-EIC 三维异构集成而生，实现了业界领先的超低功耗和高带宽密度。
日月光	VIPack 平台	全球第一大封测厂。专门针对硅光和 CPO 进行了布局，在 2.5D/3D 光电共封装代工方面技术积累深厚。

资料来源：各公司官网，国信证券经济研究所整理

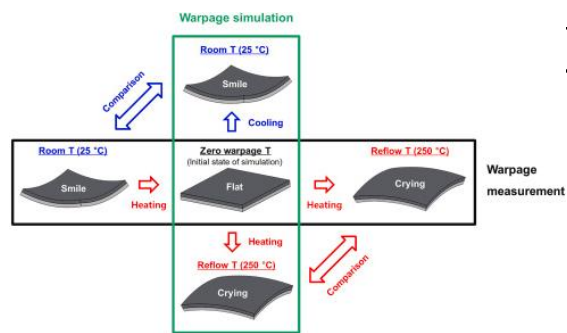
图21：插入损耗随横向偏移变化的关系



资料来源：Silicon Photonic Circuits-《On-CMOS Integration, Fiber Optical Coupling, and Packaging》-Fig.18,国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

图22：由热膨胀系数（CTE）不匹配导致的基板变形



资料来源：ScienceDirect 《Polymer Testing》第125卷 Fig.3, 国信证券经济研究所整理

**FAU光纤阵列贴装：**光纤（FAU）与光子芯片边缘或表面的光栅耦合器对接时，需要进行“主动对准”（Active Alignment）。

这个过程需要亚微米级（Sub-micron）的超高精度，哪怕出现零点几微米的偏移，都会导致**严重的光信号插入损耗**。此外，用于固定的光学胶在固化和后续高温运行中不能发生形变，这对材料和设备的稳定性要求极高。

表7: 光纤阵列贴装优势厂商

公司	主要优势与能力
Fabrinet	在精密光学组装、高精度贴片和FAU耦合方面拥有极高的良率和产能壁垒，承接了大量头部硅光巨头的光学封装订单。
ASM Amicra	在亚微米级高精度固晶机 (Die Bonder)市场占据垄断地位，其设备是实现硅光芯片贴装和FAU高精度对准的关键。

资料来源：各公司官网，国信证券经济研究所整理

**光子引擎与交换ASIC共封装：**交换机ASIC尺寸巨大且发热量惊人（可达数百至上千瓦）。将温度敏感的光子引擎与这样的“大火炉”通过Flip-chip安装在同一个基板上，会带来极端的翘曲应力问题，同时对散热架构提出了前所未有的挑战。

表8: 光子引擎与交换ASIC共封装优势厂商

公司	主要优势与能力
博通	不仅提供顶级交换ASIC，还定义了光子引擎的参考设计，在系统级热设计和协同优化上实力最强。
日月光	在处理大尺寸基板（Substrate）、大面积芯片 Flip-chip 以及控制翘曲应力方面，拥有最丰富的量产经验。

资料来源：各公司官网，国信证券经济研究所整理

# 英伟达新一代 CPO 交换机：基于 TSMC 3D SoIC 工艺

产品定位：以 NVIDIA Quantum-X800 / Spectrum-X 为代表的新一代 800G/1.6T 纯血 CPO 交换机。

物理连接：核心交换 ASIC（计算裸片）与多个 3D 堆叠的光引擎（CPO Engine）在同一基板上进行超短距高密度共封装。

光引擎内部集成：采用了 TSMC COUPE 平台，引擎内部由 EIC（如 7nm 电子驱动芯片）和 PIC（如 65nm 光子集成电路）异构组成。

核心收益：摒弃高功耗 DSP 并缩短走线后，插入损耗从 22dB 骤降至约 4dB；据英伟达官方数据，网络能效提升高达 5 倍，且极大地降低了总拥有成本 (TCO)。

图23：CPO模块的三维结构和横截面

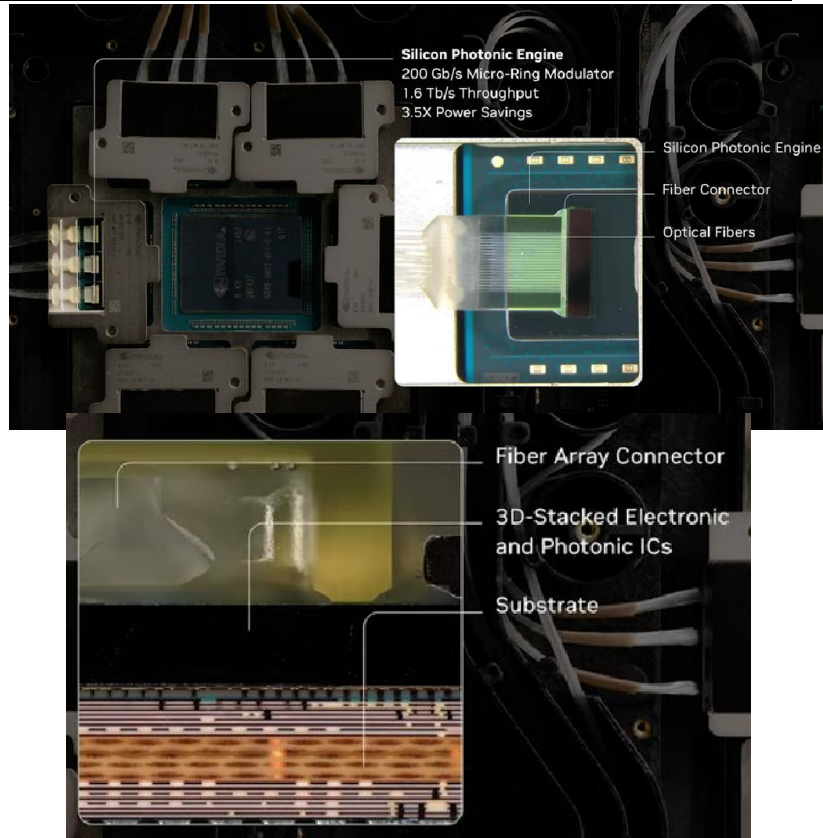
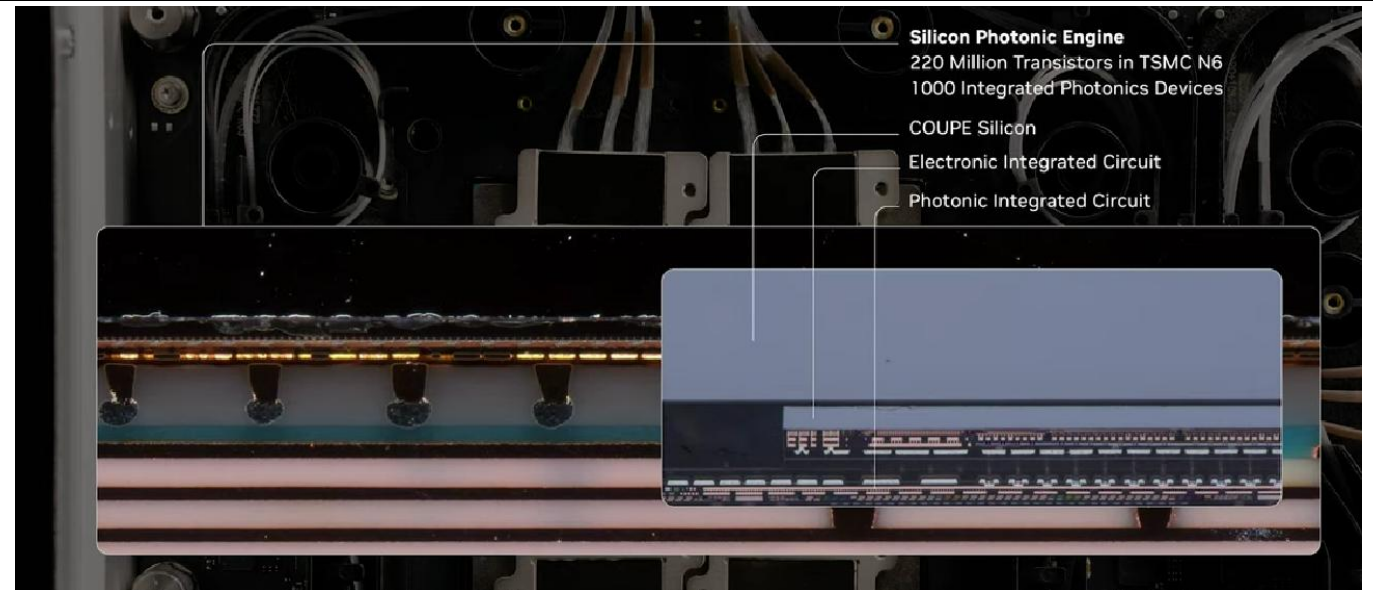


图24：CPO模块的三维结构和横截面



资料来源：英伟达官网，国信证券经济研究所整理

资料来源：英伟达官网，国信证券经济研究所整理

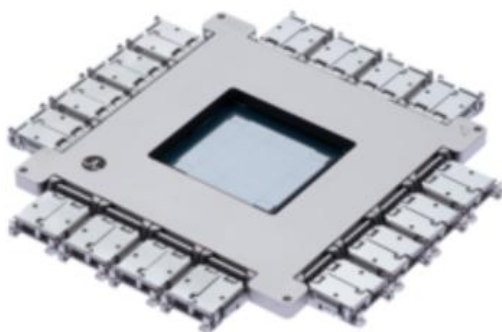
请务必阅读正文之后的免责声明及其项下所有内容

# 博通TH6-Davisson：基于TSMC COUPE提升效能

H6-Davisson 专为满足人工智能网络日益增长的需求而设计，是业界首款提供前所未有的 102.4 太比特/秒 (Tbps) 光交换容量的产品。其带宽是目前市面上所有 CPO 交换机的两倍，为数据中心性能树立了新的标杆。该平台基于博通在 CPO 创新和现场出货方面的丰富经验打造，不仅带宽是目前市面上所有 CPO 交换机的两倍，而且在能效和流量稳定性方面也实现了重大突破，从而释放了扩展和横向扩展全球最苛刻的人工智能集群所需的光互连性能。

TH6-Davisson从设计之初就以提升能效为核心。它采用异构集成技术，将基于台积电紧凑型通用光子引擎（TSMC COUPE™）技术的光学引擎与先进的衬底级多芯片封装相结合，显著降低了信号调理的需求，并最大限度地减少了线路损耗和反射。最终实现了光互连功耗降低70%——比传统可插拔解决方案低3.5倍以上——为超大规模和人工智能数据中心带来了能效的飞跃式提升。

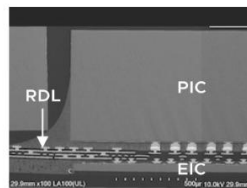
图25：博通H6-Davisson



资料来源：博通官网，国信证券经济研究所整理

图26：博通CPO高级封装技术平台

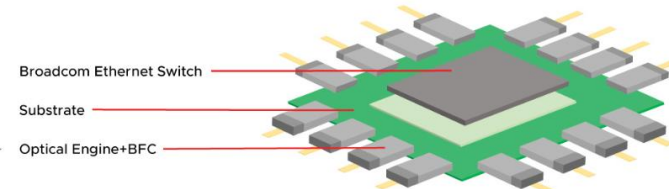
Advanced Packaging for CPO  
Broadcom's Optical Engine Platform



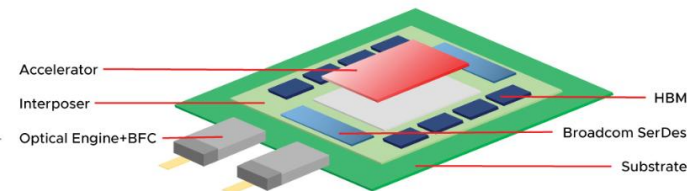
Broadcom Fiber Connector (BFC)

Optical Engine

Ethernet Switch with CPO  
Broadcom's Ethernet Switching for Scale-Out Networking



Accelerator XPU with CPO  
Broadcom's Custom XPU for Scale-Up Networking



资料来源：博通官网，国信证券经济研究所整理

## 三、产业链各环节公司布局分析

表9: COUPE供应链主要厂商

公司名称	在COUPE/CPO工艺链中提供的核心技术与环节
台积电 (TSMC)	核心架构与三维键合: 提出COUPE通用光子引擎架构, 跳过单一芯片封装, 提供独家的SoIC-X技术。在硅光前道工艺中, 提供无凸块 (Bump-less) 的铜-铜混合键合技术, 实现PIC与EIC的直接连接, 并在设计端提供支持电光协同模拟的PDK。
日月光 (ASE)	晶圆级扇出与热应力控制: 提供VIPack平台及FOPOP (晶圆级扇出互连) 封装工艺。在将温度敏感的光子引擎与数百瓦发热量的交换机ASIC进行共封装 (Flip-chip贴装至大基板) 时, 提供处理大尺寸基板及控制由于热膨胀系数 (CTE) 失配引起的极端翘曲应力的技术
新思科技 (Synopsys)	多物理场EDA与仿真: 联合台积电打造独家COUPE仿真平台, 在芯片设计前段解决复杂的电光协同模拟、严苛的热管理与电磁干扰仿真问题, 提供完整的底层物理标准设计支持。
EVG	高精度混合键合设备技术: 为COUPE的PIC-EIC三维键合环节提供GEMINI FB XT等关键设备。提供亚微米级Cu-Cu对准、CMP超平坦化处理、可控热压退火以及无助焊剂键合的物理化学还原工艺。
韩美半导体 (Hanmi)	极微间距热压键合设备技术: 针对光子引擎高密度3D堆叠, 提供TC Bonder系列设备 (市场份额71.2%)。其设备卡盘与键合头集成高级精密热力控制, 实现<0.5μm的极限对准, 并提供独家无助焊剂工艺 (Fluxless Bonding), 避免传统高温助焊剂气泡污染脆弱的硅光器件。
ficonTEC / ASM Amicra	亚微米级主动对准与固晶技术: 在FAU (光纤阵列) 贴装与光栅/端面耦合环节, ficonTEC (罗博特科收购) 提供亚微米六自由度主动对准及高频UV点胶快速固化设备 (ASSEMBLYLINE)。ASM Amicra提供亚微米级高精度固晶机, 解决硅光芯片贴装与FAU对接时的极端插入损耗问题。
FormFactor / Teradyne	光电联合测试技术: FormFactor (如InfinityXF) 搭载专属光学探针模块, 提供晶圆级光学测试 (亚微米对准、250GHz超高频探测), 用于切割前后的KGD筛选。Teradyne提供Spectrum 9100/BT平台, 完成模块级与最终系统级的ATE测试, 验证224G PAM4极限误码率与整体热性能。
博通 (Broadcom)	系统级热设计与参考架构: 提出光子引擎的参考设计, 在系统级热设计和协同优化上提供最强技术支持。其TH6-Davisson交换机将COUPE引擎与先进衬底级多芯片封装结合, 大幅降低信号调理需求, 定义了算力ASIC与COUPE集成的最终形态。

资料来源: 各公司官网, 国信证券经济研究所整理

表10：CPO供应链国内相关封测厂商

公司名称	产业链环节	COUPE/CPO相关业务情况
中芯国际、长电科技	硅光底层代工 (Foundry)	依托微系统平台（如长电科技的XDFOI平台），正逐步搭建全国产的硅光工艺库。面对高密度光电集成需求，其2.5D/3D封装产能正在加速扩充，致力于提供底层代工与系统级封装服务。
通富微电、华天科技、金科电子	CPO先进封装与器件 (OSAT)	作为国内头部封测与器件厂商，正在积极布局多芯片Chiplet共封装技术及相关光源封装。通过在晶圆级封装和系统级基板集成的技术积累，目前正切入头部算力客户的供应链。
罗博特科、博众精工	高精度光学组装设备	掌握亚微米六自由度主动对准与高速高精贴片技术，是实现光子芯片与光纤阵列对准的核心工艺设备。在自动化封装领域持续发力，其国产自主设备正加速导入800G及以上的高速光模块与CPO产线。
拓荆科技、微导纳米	核心三维键合与薄膜沉积设备	针对光电混合封装所需的极微间距热压与混合键合工艺（如对标国际的<math>0.5\mu\text{m}</math>对准精度、无助焊剂键合），目前正处于技术探索期。相关的国产热压/混合键合设备正处于客户验证与产线导入的关键爬坡阶段。
中微公司、北方华创、芯源微、芯碁微装	前道制程核心设备 (刻蚀/光刻显影)	涵盖等离子体刻蚀、直写光刻、涂胶显影及热处理等前道核心制程装备制造。相关国产设备在先进封装底层的微纳加工环节正加速产线导入与验证。
盛美上海、华海清科、富创精密、美利信	表面处理设备与精密零部件	提供半导体单片/槽式清洗、CMP（化学机械抛光）等表面处理与平坦化设备，以及半导体设备专用的精密腔体与组件加工，支撑产线的本土化供应。
华峰测控、长川科技	系统级/晶圆级测试设备	针对光电联合测试的需求，正在逐步补齐国内在高频光电测试环节的短板。业务正逐步从传统的分立元器件测试向CPO所需的ATE（自动测试设备）系统级综合测试环节渗透。
江丰电子、鼎龙股份	半导体核心工艺材料	制造超高纯金属溅射靶材，以及CMP抛光垫、抛光液等关键工艺耗材，满足先进封装与芯片制造工艺中的底层材料需求。

资料来源：各公司官网，国信证券经济研究所整理

## 四、投资建议

紧凑型通用光子引擎 COUPE (Compact Universal Photonic Engine) 是台积电提出的针对硅光子集成与光电共封装 (CPO) 的通用解决方案。该技术跳过传统的微凸块封装, 直接采用 3D SoIC-X 混合键合工艺, 实现光子集成电路 (PIC) 与电子集成电路 (EIC) 的原子级高密度互连。COUPE从底层打破了传统可插拔光模块在400G+速率下的电信号衰减与功耗瓶颈行业实践数据表明, 在同等速率下, COUPE较传统微凸块方案可降低40%的功耗; 而在交换机系统级应用中, 其可助力光互连功耗大幅降低70%。

传统网络架构正加速从前面板可插拔 (FPP) 向共封装光学 (CPO) 演进。在 COUPE问世前, CPO光子引擎结构高度碎片化, 面临良率、热管理与耦合损耗等多重挑战。台积电 COUPE 凭借其独家的底层制造工艺与全链路闭环的EDA生态, 一举确立了其在超大算力集群高频光互连领域的底层物理标准地位。随着SerDes速率向200G/224G不断升级, 极致算力需求推动COUPE技术步入快速商业化放量期。英伟达新一代800G/1.6T纯血CPO交换机 (如 Quantum-X800) 已率先采用该技术架构, 实现网络能效 5 倍提升。此外, 博通推出的 102.4 Tbps级 TH6-Davissson交换机同样基于TSMC COUPE技术打造, 标志着该方案已成为满足大规模AI集群横向扩展的核心标配。

**投资建议:** 目前以COUPE为代表的3D光电共封装技术正处于产业化加速落地的关键拐点。随着头部算力客户订单的持续导入, 掌握极微间距三维键合设备、亚微米级主动对准设备以及具备CPO先进封装与精密无源器件制造能力的厂商将率先迎来业绩爆发。

**风险提示:** AI发展及投资不及预期; 行业竞争加剧; 全球地缘政治风险; 新技术发展引起产业链变迁。

- ◆ AI发展及投资不及预期
- ◆ 行业竞争加剧
- ◆ 全球地缘政治风险
- ◆ 新技术发展引起产业链变迁

## 国信证券投资评级

投资评级标准	类别	级别	说明
报告中投资建议所涉及的评级（如有）分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后6到12个月内的相对市场表现，也即报告发布日后的6到12个月内公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。A股市场以沪深300指数（000300.SH）作为基准；新三板市场以三板成指（899001.GSI）为基准；香港市场以恒生指数（HSI.HI）作为基准；美国市场以标普500指数（SPX.GI）或纳斯达克指数（IXIC.GI）为基准。	股票投资评级	优于大市	股价表现优于市场代表性指数10%以上
		中性	股价表现介于市场代表性指数±10%之间
		弱于大市	股价表现弱于市场代表性指数10%以上
		无评级	股价与市场代表性指数相比无明确观点
	行业投资评级	优于大市	行业指数表现优于市场代表性指数10%以上
		中性	行业指数表现介于市场代表性指数±10%之间
		弱于大市	行业指数表现弱于市场代表性指数10%以上

### 分析师承诺

作者保证报告所采用的数据均来自合规渠道；分析逻辑基于作者的职业理解，通过合理判断并得出结论，力求独立、客观、公正，结论不受任何第三方的授意或影响；作者在过去、现在或未来未就其研究报告所提供的具体建议或所表述的意见直接或间接收取任何报酬，特此声明。

### 重要声明

本报告由国信证券股份有限公司（已具备中国证监会许可的证券投资咨询业务资格）制作；报告版权归国信证券股份有限公司（以下简称“我公司”）所有。本报告仅供我公司客户使用，本公司不会因接收人收到本报告而视其为客户。未经书面许可，任何机构和个人不得以任何形式使用、复制或传播。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以我公司向客户发布的本报告完整版本为准。

本报告基于已公开的资料或信息撰写，但我公司不保证该资料及信息的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映我公司于本报告公开发布当日的判断，在不同时期，我公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。我公司不保证本报告所含信息及资料处于最新状态；我公司可能随时补充、更新和修订有关信息及资料，投资者应当自行关注相关更新和修订内容。我公司或关联机构可能会持有本报告中所提到的公司所发行的证券并进行交易，还可能为这些公司提供或争取提供投资银行、财务顾问或金融产品等相关服务。本公司的资产管理部门、自营部门以及其他投资业务部门可能独立做出与本报告意见或建议不一致的投资决策。

本报告仅供参考之用，不构成出售或购买证券或其他投资标的的要约或邀请。在任何情况下，本报告中的信息和意见均不构成对任何个人的投资建议。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。投资者应结合自己的投资目标和财务状况自行判断是否采用本报告所载内容和信息并自行承担风险，我公司及雇员对投资者使用本报告及其内容而造成的一切后果不承担任何法律责任。

### 证券投资咨询业务的说明

本公司具备中国证监会核准的证券投资咨询业务资格。证券投资咨询，是指从事证券投资咨询业务的机构及其投资咨询人员以下列形式为证券投资人或者客户提供证券投资分析、预测或者建议等直接或者间接有偿咨询服务的活动：接受投资人或者客户委托，提供证券投资咨询服务；举办有关证券投资咨询的讲座、报告会、分析会等；在报刊上发表证券投资咨询的文章、评论、报告，以及通过电台、电视台等公众传播媒体提供证券投资咨询服务；通过电话、传真、电脑网络等电信设备系统，提供证券投资咨询服务；中国证监会认定的其他形式。

发布证券研究报告是证券投资咨询业务的一种基本形式，指证券公司、证券投资咨询机构对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向客户发布的行为。



国信证券

GUOSEN SECURITIES

## 国信证券经济研究所

---

### 深圳

深圳市福田区福华一路125号国信金融大厦36层

邮编：518046      总机：0755-82130833

### 上海

上海浦东民生路1199弄证大五道口广场1号楼12楼

邮编：200135

### 北京

北京西城区金融大街兴盛街6号国信证券9层

邮编：100032