



半导体测试设备行业研究

买入（首次评级）

行业深度研究

证券研究报告

电子组

分析师：樊志远（执业 S1130518070003） 分析师：周焕博（执业 S1130525080009）

fanzhiyuan@gjzq.com.cn

zhouhuanbo@gjzq.com.cn

测试价值重估：AI 驱动半导体测试设备迈向结构成长

行业观点：

半导体测试是保障芯片性能、良率与可靠性的关键环节，AI 正在推动行业景气由传统周期修复转向结构成长。根据 SEMI 预测，全球半导体测试设备销售额预计于 2026 年同比增长 31.0% 至 153 亿美元，并于 2028 年达到 208 亿美元，2025—2028 年复合增速约 21%。其中，SoC 测试机受益于 GPU、ASIC 等高端逻辑芯片扩产，存储测试机则受益于 HBM 堆叠层数、接口速度及质量要求提升。与此同时，下游封测厂资本开支回升、先进封装项目密集落地，测试机、分选机及接口件需求有望持续释放。全球高端 ATE 市场高度集中，竞争优势已由单机参数延伸至核心平台、客户验证、测试程序生态、量产交付及 Test Cell 协同能力，国内测试设备行业有望由单品突破逐步迈向平台化扩张。

投资逻辑：

AI 基础设施扩张从“更多芯片、更复杂芯片、更多测试”三个维度拉动设备需求。AI 服务器扩容及云厂商自研 ASIC 发展扩大高端逻辑芯片测试基数；Chiplet、HBM 及先进封装推动测试对象由单颗裸片升级为多 Die 系统，增加数字、存储、高速接口及功率测试资源配置；KGD、Die 级测试、Burn-in 及 SLT 等测试插入点增加，叠加单次测试时间延长，客户需要提高并行度或增加设备投入以维持量产节拍。

测试由成本环节转向降低先进封装系统总成本的关键手段，单颗测试价值量有望提升。多 Chiplet 封装中，坏 Die 漏检可能导致其他良品 Die、Interposer 及后续封装工序整体报废，提高测试覆盖率虽然增加测试费用，却能够显著降低系统总成本。随着 HBM 堆叠层数、Die-to-Die 互联、高速接口及封装价值提升，高端测试平台需要配置更多通道、仪器板卡、电源及高规格接口硬件，推动 Test Cell 由基础配置向高配化演进。

行业竞争有望由分散的单品竞争走向平台化整合，客户与平台积累决定长期格局。爱德万的发展表明，测试设备竞争力并非来自单一型号突破，而是由模块化平台、装机基础、测试程序、客户验证、规模交付及相邻环节协同共同构成。我们认为，具备核心测试平台、持续研发能力和头部客户量产验证的厂商，有望由细分产品供应商向综合测试平台演进，并通过分选、接口、老化及系统级测试提升单客户价值量；长期或形成少数平台型厂商主导、专业化设备及接口厂商协同参与的分层竞争格局。

投资建议

我们认为，本轮测试设备景气主要是由 AI 服务器扩容、HBM 及先进封装放量共同推动的结构性增长。芯片数量增加扩大测试基数，复杂度提升带动单颗测试资源和 Test Cell 配置升级，测试插入点及测试时间增加则进一步推升设备容量需求。建议优先关注已建立核心测试平台、具备头部客户验证和规模化交付能力，并能够向分选机、探针台、SLT 及接口件等相邻环节延伸的平台型厂商；同时关注在模拟、功率等细分领域形成稳定优势，并持续向高端 SoC、存储及混合信号测试拓展的专业化厂商。具体来看，长川科技具备由数字 SoC 测试向综合 Test Cell 平台扩展的基础，华峰测控在模拟及功率测试领域积累较深，联动科技则有望依托功率测试优势进一步拓展产品边界。

风险提示

下游 AI 基础设施投资及晶圆厂、封测厂资本开支不及预期；高端 SoC、存储及混合信号测试设备研发或客户验证进度不及预期；行业竞争加剧及平台化扩张拖累盈利能力；核心零部件供应受限及海外出口管制风险；客户集中度较高及设备验收、订单释放节奏波动。



内容目录

一、测试守住良率闸门，AI 推动设备景气由周期修复转向结构成长	5
1.1 测试覆盖性能、功能与可靠性验证，test cell 协同保障芯片量产质量	5
1.2 全球测试设备市场突破百亿美元， AI 推动需求结构升级	10
二、AI 推动芯片数量、复杂度与测试强度同步提升，测试设备需求加速扩张	13
2.1 更多芯片：AI 基础设施扩张增加高端逻辑芯片测试基数	13
2.2 更复杂芯片：异构集成与高速接口增加单颗测试内容和配置要求	15
2.3 更多测试：测试插入点与单次测试时间共同增加容量需求	18
三、复盘爱德万验证 AI 测试景气上行，平台化与外延并购映射 A 股成长路径	21
3.1 三次战略转身拓宽业务边界，从存储测试龙头迈向综合测试解决方案平台	21
3.2 AI 测试需求加速释放，业绩弹性与产能扩张相互验证	24
3.3 爱德万 vs 泰瑞达：下游敞口决定弹性，AI 重塑双寡头增长节奏	25
四、投资建议	27
五、风险提示	31

图表目录

图表 1：晶圆测试、老化测试与成品测试分别承担不同阶段的质量筛选	5
图表 2：CP 在封装前筛除失效 Die，FT 在封装后验证成品电性能	6
图表 3：ATE 覆盖结构、功能、参数与高速等多维测试内容	7
图表 4：ATE 采用模块化平台架构，可根据测试需求灵活配置仪器资源（图为爱德万 V93000 PAC 版）	7
图表 5：Burn-in 通过高温高压测试，提高芯片可靠性	8
图表 6：SLT 模拟芯片测试实际环境，测试芯片性能	8
图表 7：ATE、Burn-in、SLT 机台测试对象和方式各有不同	9
图表 8：决定量产效率和良率的是整个测试单元，而不是单一测试机	10
图表 9：SEMI 预计 2026 年全球半导体测试设备市场规模将达到 150 亿美元左右的规模	10
图表 10：SoC 测试机市场预计 2026 年将达到 85-95 亿美元规模	11
图表 11：测试机行业形成了爱德万与泰瑞达双寡头竞争的格局	11
图表 12：芯片数量扩张叠加复杂度和可靠性提升，共同增加测试需求	12
图表 13：高端测试平台具有更高的单位测试价值	12
图表 14：封测厂商资本开支重回高位（单位：亿元）	13
图表 15：下游封测厂商密集发布扩产公告	13
图表 16：全球半导体产业正处于新一轮高景气周期	14
图表 17：前沿 AI 模型训练算力快速增长，算力基础设施持续扩容	14



图表 18: AI 算力增长不仅来自芯片性能升级, 也来自芯片数量扩张	14
图表 19: AI 服务器出货量维持高增速	15
图表 20: ASIP 方案占比于 2026 年明显提升	15
图表 21: AI 芯片由单一裸片向多 Die 系统演进, 封装内测试对象持续增加	15
图表 22: 台积电现有多种路径实现 3D 集成	16
图表 23: 2.5D 与 3D 先进封装实现多颗 SoC 及 HBM 异质集成	16
图表 24: HBM 测试覆盖 DRAM 裸片、Base Die、TSV 互联及堆叠后整体功能	17
图表 25: 成熟制程场景下, 当故障覆盖率由 50% 提升至 90%—95% 时, 成本最低	17
图表 26: 多 Chiplet 集成放大坏 Die 漏检损失, 未成熟制程场景下, 95% 覆盖率对应最低系统成本	17
图表 27: 芯片复杂度提升转化为更复杂的 test cell 配置	18
图表 28: 2010 年代, 测试流程主要是晶圆测试和封装测试	18
图表 29: 2020 年代, 测试环节流程翻倍	19
图表 30: Chiplet 提高 KGD 重要性, Die 级测试成为新增插入点	19
图表 31: HBM 堆叠后通常增加 3 次测试, 部分客户可能达到 4 次或更多	20
图表 32: SLT 需要提高并行数量以抵消测试时间 (图为爱德万 7038 机台)	21
图表 33: 老化测试通常需要持续数十个小时	21
图表 34: 爱德万五十年三次转身, 从存储测试机龙头迈向综合测试平台	22
图表 35: T2000 推动非存储测试业务逐步成型, FY2010 销售额已超过存储测试机	22
图表 36: Verigy 并购后非存储测试业务快速扩张, SoC 测试机逐步成为收入主体	23
图表 37: 爱德万通过连续并购补齐 SLT、测试接口及功率测试能力, 业务边界持续外延	24
图表 38: 多轮测试周期中收入中枢持续抬升, 本轮 AI 周期增长斜率明显提高	25
图表 39: 高毛利先进测试产品放量叠加规模效应, 本轮营业利润率升至 44%	25
图表 40: 爱德万计划于 CY2028 末至 CY2029 完成 10,000 台/年 SoC 测试机产能准备	25
图表 41: 中国台湾地区、中国大陆及韩国长期构成公司收入主体, FY2025 合计占比升至 85%	25
图表 42: 爱德万与泰瑞达合计占据全球 90% 以上的半导体测试机市场 (CY2025)	26
图表 43: 爱德万 FY2023 测试需求主要集中于计算/通信与 DRAM	26
图表 44: 泰瑞达 CY2023 Compute 收入占比尚不足一成, 传统应用敞口较高	26
图表 45: AI 测试需求推动爱德万与泰瑞达收入增速显著分化	27
图表 46: AI 相关计算需求推动泰瑞达 Compute 业务快速增长	27
图表 47: 公司营收维持高增长	28
图表 48: 公司归母净利润增速超营收	28
图表 49: 公司产品矩阵完整, 平台化布局	28
图表 50: 公司 2026Q1 维持高增长势头	29
图表 51: 公司归母净利润增速超营收增速	29
图表 52: 公司营收恢复增长, 2026Q1 增速进一步提升	30



图表 53: 公司归母净利润持续改善, 2026Q1 实现扭亏为盈	30
图表 54: 公司营收增长提速, 2026Q1 延续高增长	31
图表 55: 公司归母净利润弹性释放, 增速持续快于收入	31

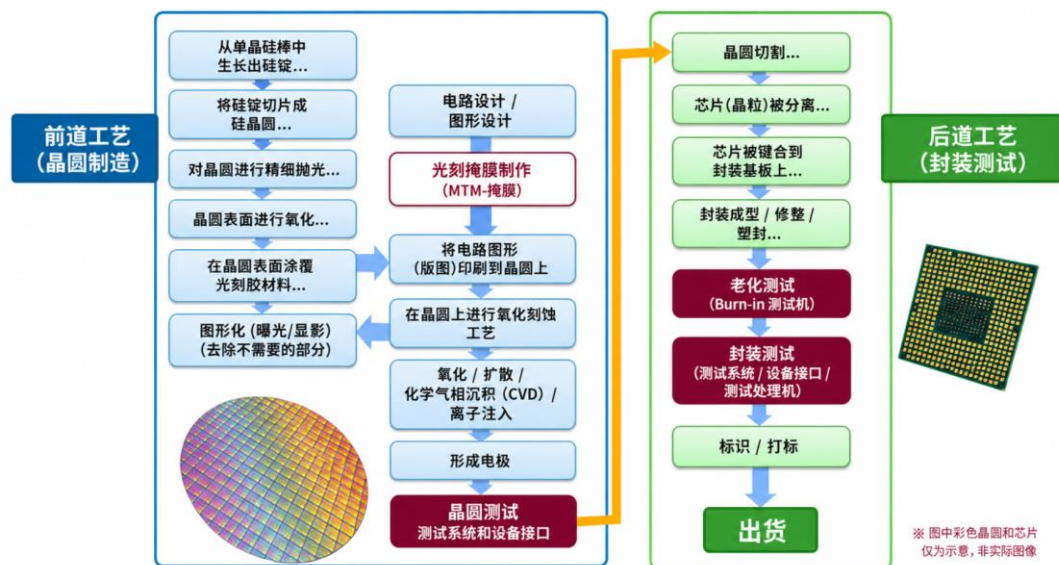


一、测试守住良率闸门，AI 推动设备景气由周期修复转向结构成长

1.1 测试覆盖性能、功能与可靠性验证，test cell 协同保障芯片量产质量

半导体测试贯穿芯片开发、导入量产及规模制造全过程，是保障产品性能、良率和可靠性的关键环节。在研发阶段，测试主要用于验证芯片设计功能并定位设计缺陷，通过调试和失效分析不断优化设计方案；进入样品验证阶段，测试重点转向对异常模式和失效趋势的识别，为工艺优化和良率爬坡提供数据支撑；在量产阶段，测试则成为芯片出货前的核心质量控制手段，围绕晶圆测试（CP）和成品测试（FT）开展短路检测、电性能参数测试、结构测试、功能测试、速度测试及老化测试等多个环节，结合针对不同芯片定制的测试程序和硬件平台，对产品性能、功能及可靠性进行全面验证。随着产业链分工不断深化，Fabless、晶圆代工厂（Foundry）与封测厂（OSAT）分别承担设计、制造和封装测试等不同职责，而测试作为连接设计验证、工艺优化和产品交付的重要纽带，贯穿芯片从研发到量产的全生命周期，在提升产品良率、保障出货品质和降低失效风险方面发挥着重要作用。

图表1：晶圆测试、老化测试与成品测试分别承担不同阶段的质量筛选



来源：爱德万测试、国金证券研究所

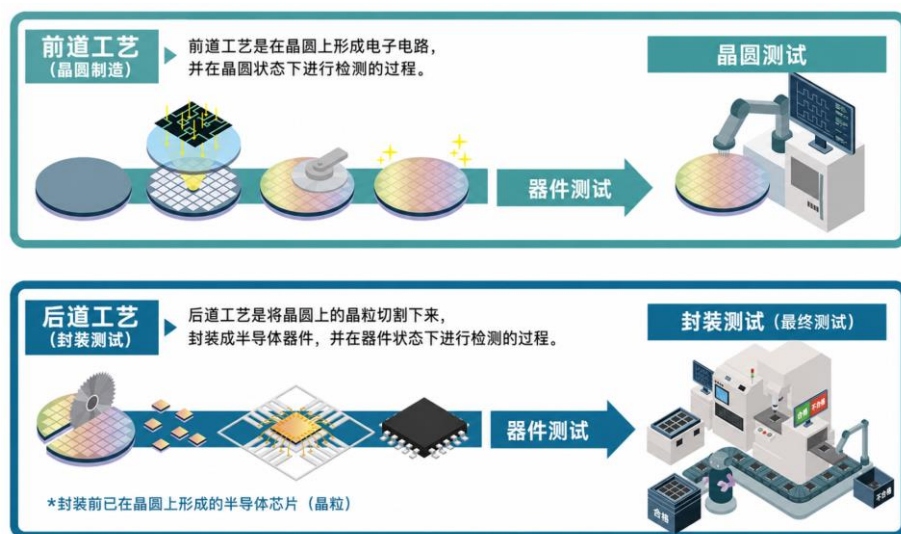
晶圆测试（CP）与成品测试（FT）共同构成半导体量产测试的主体流程，分别承担封装前后芯片电性能筛选任务，是保障产品良率和出货品质的核心环节。

- CP 位于晶圆制造完成后、封装之前，通过探针卡逐颗接触晶圆上的裸片，对开短路、电性能及功能等指标进行测试，提前识别失效 Die，避免不良芯片进入后续封装工序，从而降低封装成本并提升整体制造效率；
- FT 则在封装完成后进行，对芯片的功能、电参数、时序及性能等进行最终验证，确认产品满足设计规格和客户要求，并作为芯片出货前的最终质量把关环节。

CP 与 FT 分别对应制造流程前后两次关键筛选，通过前端降低无效加工成本、后端保障最终产品质量，共同构成半导体量产测试的基本主干，在芯片良率管理和质量控制体系中发挥着关键作用。



图表2: CP 在封装前筛除失效 Die, FT 在封装后验证成品电性能



来源: 爱德万测试、国金证券研究所

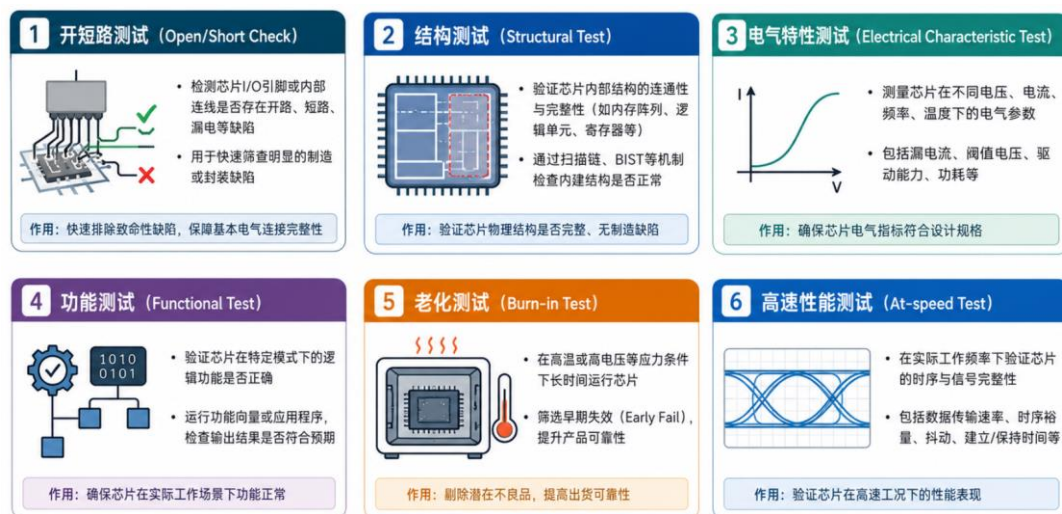
量产阶段的 ATE 测试并非简单判断芯片是否合格,而是由针对不同测试目标设计的多类测试程序共同构成,以全面验证芯片的结构完整性、电气性能、功能实现及可靠性。

- 开短路测试主要用于识别引脚及内部互连是否存在开路、短路等制造缺陷;
- 结构测试通过扫描链、内建自测试 (BIST) 等方式验证芯片内部逻辑及存储结构的完整性;
- 电气特性测试对芯片在不同电压、电流、频率及温度条件下的关键电参数进行测量,确认其符合设计规格;
- 功能测试则运行预设测试向量或应用程序,对芯片逻辑功能及输出结果进行验证;
- 老化测试 (Burn-in) 通过高温、高压等应力条件筛选早期失效器件,提高产品长期可靠性;
- 高速性能测试 (At-speed Test) 则在实际工作频率下验证芯片时序、信号完整性及高速数据传输能力。

上述测试内容贯穿晶圆测试 (CP) 和成品测试 (FT) 等量产测试环节,并根据不同芯片类型、应用场景及性能要求组合形成相应测试方案,使 ATE 不仅承担产品筛选功能,同时也是保障芯片性能、良率及可靠性的核心测试平台。



图表3: ATE 覆盖结构、功能、参数与高速等多维测试内容

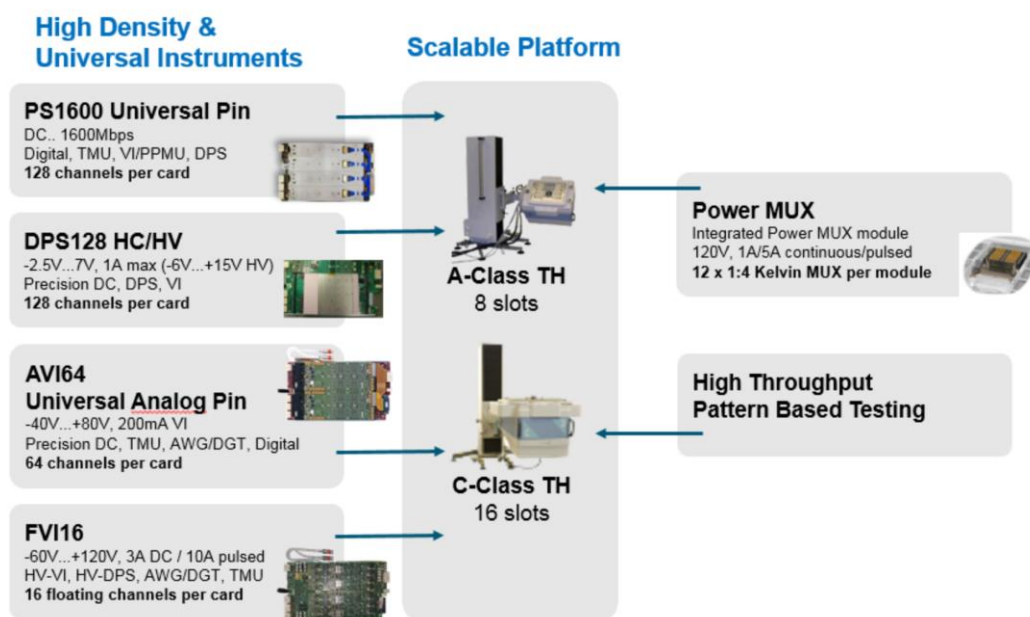


注: 上述六类测试可根据芯片类型与测试需求组合执行, 测试项目、顺序与覆盖度由测试程序与平台配置决定。

来源: 爱德万测试、国金证券研究所

ATE 并非固定配置设备, 而是由测试平台、仪器板卡及接口硬件组合形成的模块化系统。以爱德万 V93000 为例, 其测试平台由测试机柜、各类仪器板卡及接口硬件组成, 通过不同板卡组合适配数字、模拟、存储及数模混合等不同芯片测试需求。其中, 数字、模拟、电源等仪器板卡负责产生和采集测试信号, 机柜提供统一的电源、时序及数据交换平台, 而 Power MUX、Load Board、Probe Card、Socket 等接口硬件则完成测试资源与被测器件之间的连接。由于平台采用模块化架构, 客户可根据芯片类型、通道数量、功率等级及高速接口需求灵活配置不同数量和类型的测试资源, 因此同一平台能够覆盖 MCU、模拟芯片、存储芯片以及高端 SoC 等多类产品, 也为后续平台价值量随芯片复杂度提升而持续扩展提供了基础。

图表4: ATE 采用模块化平台架构, 可根据测试需求灵活配置仪器资源 (图为爱德万 V93000 PAC 版)



来源: 爱德万测试、国金证券研究所

随着高性能计算、AI 芯片及先进封装的发展, 量产测试正逐步由传统 ATE 向系统级验证和可靠性验证延伸, Burn-in 与系统级测试 (SLT) 等泛测试设备的重要性持续提升。Burn-in 主要通过高温、高压等应力环境使芯片长时间运行, 加速暴露潜在缺陷, 筛除早期失效



器件，以提升产品长期可靠性，其验证重点在于可靠性而非电性能参数；SLT 则模拟芯片实际应用环境，将待测器件安装在系统级测试板（SLTB）上，配合处理器、存储、电源及各类高速接口运行真实软件或应用程序，对芯片在系统层面的功能、性能及软硬件协同能力进行验证，更接近终端产品的实际使用场景。

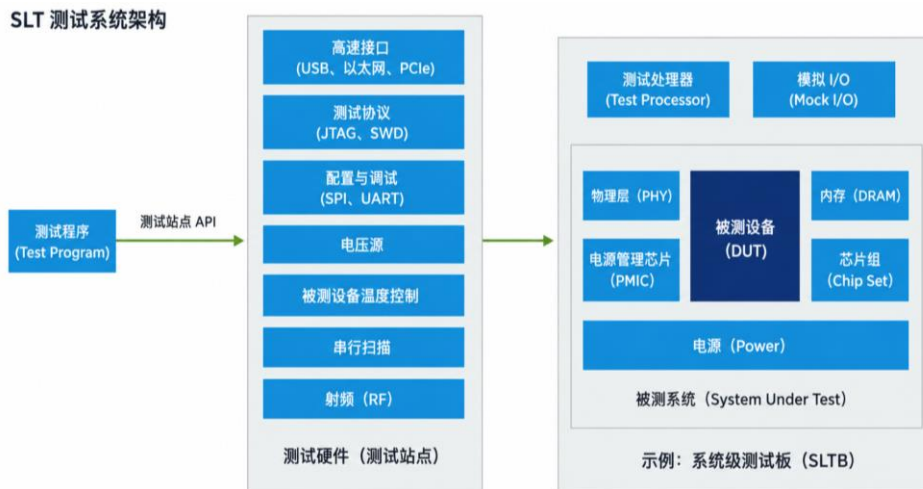
图表5: Burn-in 通过高温高压测试，提高芯片可靠性



来源：AEHR、国金证券研究所

图表6: SLT 模拟芯片测试实际环境，测试芯片性能

SLT 测试系统架构



来源：泰瑞达、国金证券研究所

ATE、系统级测试（SLT）及 Burn-in 均属于芯片量产测试的重要设备，但三者测试对象、实现方式及硬件架构上存在差异，本质上对应三种不同的测试范式。

- ATE 主要面向芯片电性能测试，通过测试机向芯片各引脚施加高速激励信号，并精确测量输出响应，实现结构、参数、功能及高速性能等测试，其核心价值在于高精度电子测量，因此设备主要由 Pin Electronics (PE)、PMU、AWG、Digitizer、Timing Generator、Comparator 等高精度测量模块构成，是一套高精度电子测试仪器。
- Burn-in 则进一步侧重可靠性验证，通过在高温、高压等应力条件下使芯片持续运行数小时至数十小时，加速暴露潜在工艺缺陷及早期失效器件，设备主要提供稳定的供电、温控及运行环境，而非复杂的电性能测量，通常在 Burn-in 结束后再由 ATE 进行最终电性能复测。
- SLT 并不直接对芯片各引脚进行逐 Pin 测量，而是将芯片安装于系统级测试板，在真



实硬件环境中启动操作系统、驱动程序及应用软件,运行实际工作负载,对芯片功能、性能及软硬件协同能力进行验证,更接近终端产品的真实应用场景,其设备组成也更类似于服务器平台,主要包括处理器、存储、电源、散热及系统接口等模块。

ATE 关注的是芯片电性能是否满足设计规格,SLT 验证芯片在真实系统中的运行表现,而 Burn-in 则验证芯片在长期应力条件下的可靠性,三者分别对应精密电性能测试、系统级验证及可靠性筛选,共同构成高端芯片完整的质量保障体系。

图表7: ATE、Burn-in、SLT 机台测试对象和方式各有不同

测试方式	测试对象	核心目标	测试原理	主要手段	典型缺陷	典型设备
CP/FT ATE	芯片电性能	电性能与制造缺陷筛选	测试机 (Tester) 向芯片施加测试向量并测量响应	开短路测试、结构测试、参数测试、功能测试、At-speed 测试	开短路、参数偏差、逻辑错误、高速失效	Advantest V93000、Teradyne UltraFLEX
Burn-in	芯片可靠性	可靠性与早期寿命筛选	芯片在高温、高压等应力条件下持续自主运行	高温、高压、长时间运行 (数小时至数十小时)	潜在工艺缺陷、早期失效 (Infant Mortality)	Advantest 7038、Aehr FOX
SLT (System Level Test)	芯片/系统	系统功能与真实负载验证	芯片自主运行操作系统、驱动及真实应用负载	启动 OS、运行软件、协议验证、AI 推理、压力测试	IP 互联、软硬件协同、时钟、电源、热交互等系统级问题	Advantest 7038、Teradyne Di-Series

来源: 爱德万、国金证券研究所

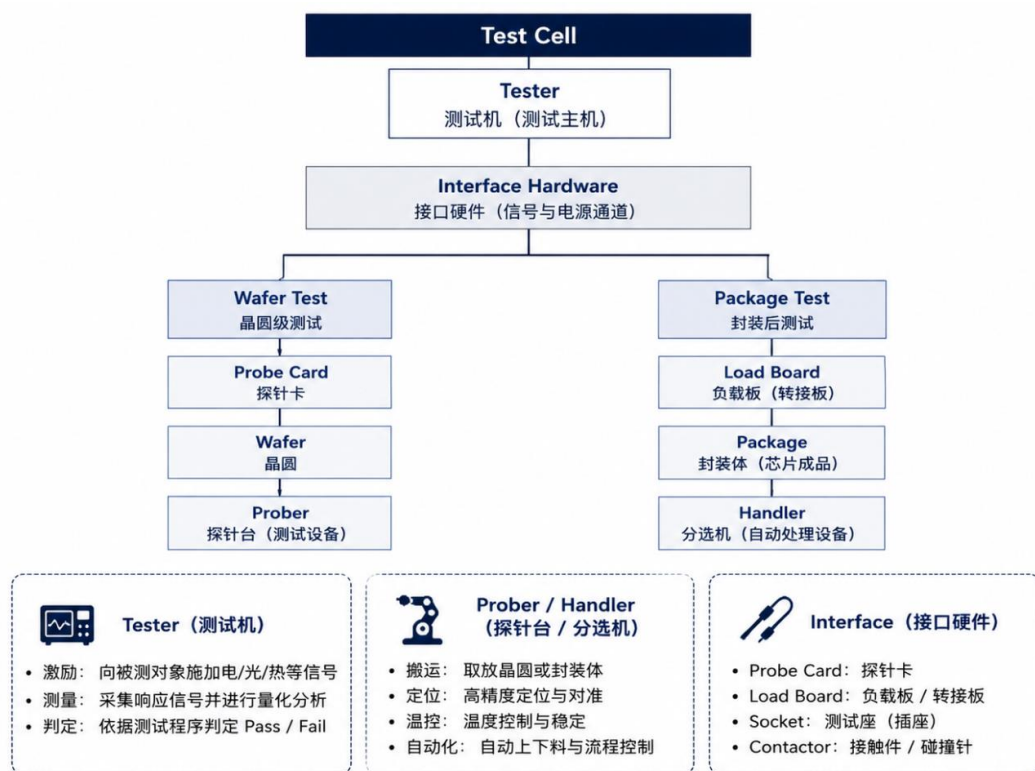
半导体量产测试并非由测试机 (Tester) 独立完成,而是以 Test Cell 为基本生产单元,由测试机、自动搬运设备、接口硬件及应用专用部件共同组成。

- 测试机负责向待测芯片施加激励信号、测量电压、电流、时序等响应并完成测试判定,是整个 Test Cell 的核心控制平台;
- 晶圆测试 (CP) 场景下,测试机通过接口硬件连接探针卡 (Probe Card),并与探针台 (Prober) 协同完成晶圆搬运、定位及温度控制,实现裸片逐颗测试;
- 封装测试 (FT) 场景下,则通过负载板 (Load Board)、插座 (Socket) 及接触件 (Contact) 等接口件连接封装器件,并配合分选机 (Handler) 完成上下料、温控及良品分档。

不同测试对象对应不同的接口方案和自动化设备,但均围绕测试机构建完整的 Test Cell。相比单纯关注测试机性能,量产测试效率和测试精度还取决于接口硬件的信号完整性、机械设备的定位精度及整套系统的协同能力,Test Cell 已成为当前主流测试设备厂商提供整体解决方案的重要载体。



图表8：决定量产效率和良率的是整个测试单元，而不是单一测试机

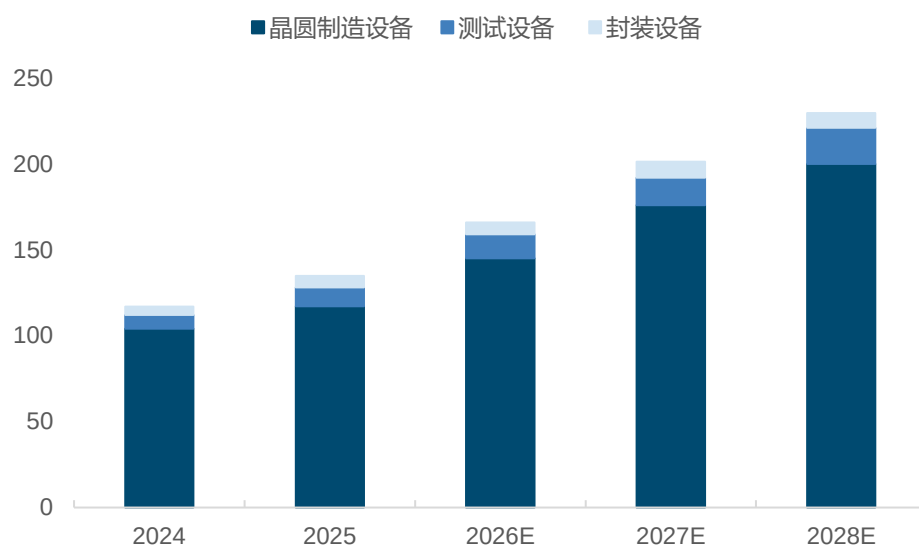


来源：泰瑞达、国金证券研究所

1.2 全球测试设备市场突破百亿美元，AI 推动需求结构升级

AI 及高性能计算需求正推动全球测试设备市场进入较快扩张阶段。根据 SEMI 于 2026 年 7 月发布的预测，全球半导体测试设备销售额在 2025 年同比增长 55.3% 的基础上，预计 2026 年进一步增长 31.0% 至 153 亿美元，并于 2028 年达到 208 亿美元；按此测算，2025—2028 年市场规模复合增速约为 21%。测试设备增速高于同期半导体设备整体水平，主要受先进芯片复杂度提升、HBM 及先进封装应用增加，以及 AI 器件对性能与可靠性验证要求趋严等因素推动。随着测试项目、测试时长及测试覆盖率同步提升，测试环节在半导体制造资本开支中的重要性有望进一步增强。

图表9：SEMI 预计 2026 年全球半导体测试设备市场规模将达到 150 亿美元左右的规模



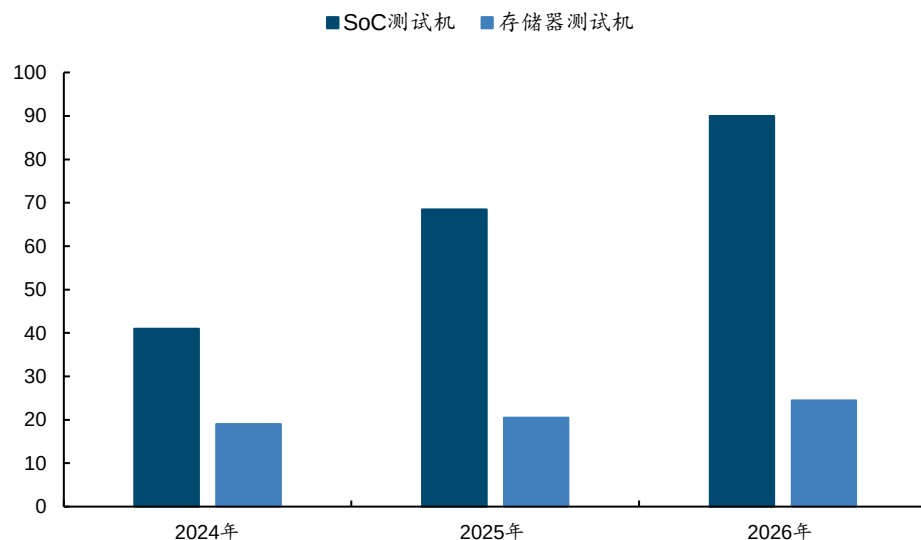
来源：SEMI、国金证券研究所

测试机市场主要由 SoC 测试机和存储测试机构成，其中 SoC 测试机占据市场主体。根据



Advantest 预测，2024 年全球 SoC 测试机市场规模约 44.1 亿美元，2025 年预计增长至 66.8 - 69.8 亿美元，2026 年有望进一步达到 85 - 95 亿美元，对应 2025、2026 年同比增速分别约为 52%和 25%；存储测试机市场规模则由 2024 年的 19 亿美元增长至 2025 年的 20 - 21 亿美元，并预计于 2026 年达到 22 - 27 亿美元，同比增长约 10% - 35%。其中，SoC 测试机增长主要受 AI 加速器、高性能计算及复杂 SoC 芯片需求持续提升驱动，先进制程下芯片复杂度增加、测试覆盖率提升及单颗测试时间延长共同推升设备需求；存储测试机则受益于 HBM、高带宽存储等高端产品需求增长，以及存储厂商持续增加测试能力投入，市场保持稳步扩张。整体来看，SoC 测试机仍是当前测试设备市场最大的细分领域，而 AI 相关应用已成为推动两类测试机市场增长的共同驱动因素。

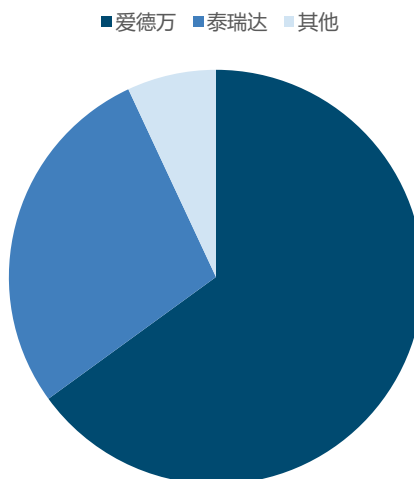
图表10: SoC 测试机市场预计 2026 年将达到 85-95 亿美元规模



来源：爱德万测试、国金证券研究所 注：爱德万将数模等非存储测试机统称为 SoC 测试机

测试机行业集中度长期维持较高水平，全球市场已形成爱德万（Advantest）与泰瑞达（Teradyne）主导的竞争格局。根据爱德万披露的数据，公司 2025 年在全球测试机市场的整体份额约为 65%，其中 SoC 测试机和存储测试机市场份额分别约为 66%和 61%；结合泰瑞达 2025 年半导体测试业务收入约 25 亿美元测算，两家公司合计占据全球测试机市场九成以上份额，其余市场主要由 Chroma、Cohu 等厂商占据。测试机行业较高的市场集中度主要源于长期积累形成的技术、产品及客户壁垒：一方面，高端测试机涉及高速信号、电源管理、精密测量及系统软件等复杂技术，需要持续投入形成平台化产品；另一方面，下游头部芯片厂商对测试精度、稳定性及生态兼容性要求较高，新产品通常需要经历较长的验证导入周期，客户更换供应商成本较高。

图表11: 测试机行业形成了爱德万与泰瑞达双寡头竞争的格局





来源：泰瑞达、爱德万、国金证券研究所

测试需求的增长主要来自芯片数量增加与产品复杂度提升两方面因素的共同驱动。一方面，随着 AI、高性能计算、汽车电子、物联网及数据中心等下游应用持续扩张，半导体产品渗透率不断提升，带动芯片出货量持续增长，相应推升量产测试需求；另一方面，先进制程、先进封装及系统集成技术不断演进，使芯片晶体管数量、集成度及功能复杂度持续提高，同时对性能、功耗及可靠性提出更高要求，测试内容由基础电性能验证逐步扩展至高速接口、系统级功能及可靠性等多维验证，测试项目、测试覆盖率及测试时间均持续增加。芯片数量增长带来测试需求的规模扩张，而产品复杂度提升进一步推高单颗芯片测试资源投入，两者共同推动测试设备需求及单机价值量持续提升，并使测试环节在半导体制造中的重要性不断增强。

图表12：芯片数量扩张叠加复杂度和可靠性提升，共同增加测试需求



来源：爱德万测试、国金证券研究所

高端测试平台具有更高的单位测试价值。除设备厂商不断推出高性能测试平台外，高端测试资源在商业模式上也体现出更高价值。根据伟测科技募投项目测算，无锡和南京基地高端测试平台测试小时单价分别约为 645 元/小时和 616 元/小时，中端平台分别约为 102 元/小时和 129 元/小时，加权后高端平台约 630 元/小时，中端平台约 110 元/小时，高端平台单位测试价值约为中端平台的 6 倍。测试小时单价同时受到平台配置、测试程序复杂度、工程服务、客户结构及利用率等因素影响，并不能直接对应设备售价，但能够从侧面反映出高端测试平台具有更高的价值创造能力。

图表13：高端测试平台具有更高的单位测试价值

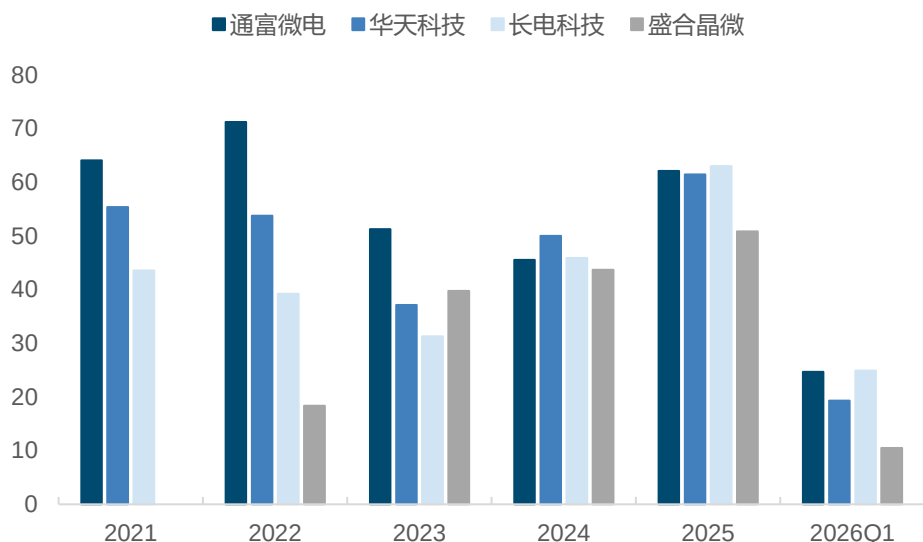
项目	平台类型	年测试产能	测试单价
无锡基地	高端平台	454,896 小时	644.62 元/小时
无锡基地	中端平台	384,912 小时	101.82 元/小时
南京基地	高端平台	475,891 小时	615.59 元/小时
南京基地	中端平台	153,965 小时	129.09 元/小时

来源：伟测科技、国金证券研究所

下游封测厂商资本开支持续提升，先进封装及测试产能扩张进一步强化测试设备需求。2025 年以来，国内龙头封测厂商资本开支整体恢复增长，通富微电、华天科技、长电科技及盛合晶微资本开支分别同比增长 36.4%、22.9%、37.2%和 16.5%，2026Q1 进一步分别增长 101.7%、73.9%、63.4%和 9.1%，行业投资景气度持续提升。同时，头部厂商密集启动新一轮扩产计划：长电科技拟投资 78 亿元建设上海临港高端先进封测工厂，并将 2026 年固定资产投资预算提升至约 100 亿元；甬矽电子拟投资 103 亿元建设高端集成电路封测三期项目，并同步推进马来西亚封测基地建设；华天科技拟投资 30 亿元建设南京先进封测产业基地二期项目；通富微电拟募集不超过 42.2 亿元用于存储、高性能计算、汽车电子及晶圆级封测等产能扩张；盛合晶微上市募集资金 50.28 亿元，重点投向三维多芯片集成封装项目，并启动超高密度互联先进封装产能建设。封测厂商资本开支增加及先进封装产能持续扩张，将直接带动测试机、分选机及接口件等测试设备采购需求，为测试设备行业提供持续增长动力。



图表14：封测厂商资本开支重回高位（单位：亿元）



来源：ifind、国金证券研究所

图表15：下游封测厂商密集发布扩产公告

公司名称	扩产情况
长电科技	2026年6月24日公告拟在上海临港新片区建设高端先进封测工厂，总投资78亿元，分两期建设，一期包括厂房、装修及设备投资，计划2028年下半年完成；此前2026年5月9日披露2026年固定资产投资预算约100亿元，重点投向先进封装产线及主流封装产能扩张。
甬矽电子	2026年6月26日晚公告拟在宁波余姚建设“微电子高端集成电路IC封装测试三期项目”，计划总投资103亿元，产品线包括BUMP、2.5D、FC、WB等，建设期预计96个月、分阶段建设和梯次投产；2026年1月还宣布不超过21亿元建设马来西亚封装测试生产基地。
华天科技	2026年5月22日公告控股子公司华天南京30亿元建设“华天南京集成电路先进封测产业基地二期二阶段项目”，项目建设期为2026年6月至2028年5月，建成后预计年封装测试存储集成电路约4.3亿只。
通富微电	2026年4月9日公告定增修订方案，拟募资不超过42.2亿元，用于存储芯片封测、汽车等新兴应用封测、晶圆级封测、高性能计算及通信领域封测产能提升等；2026年7月3日公告该向特定对象发行股票获证监会同意注册。
盛合晶微	2026年4月21日科创板上市，实际募资50.28亿元，主要投向“三维多芯片集成封装项目”和“超高密度互联三维多芯片集成封装项目”；2026年5月12日，其多层细线宽系统集成封测项目一期在江阴开工，被列为2026年江苏省重大项目，定位先进封装产能扩容。

来源：各公司公告、国金证券研究所

二、AI 推动芯片数量、复杂度与测试强度同步提升，测试设备需求加速扩张

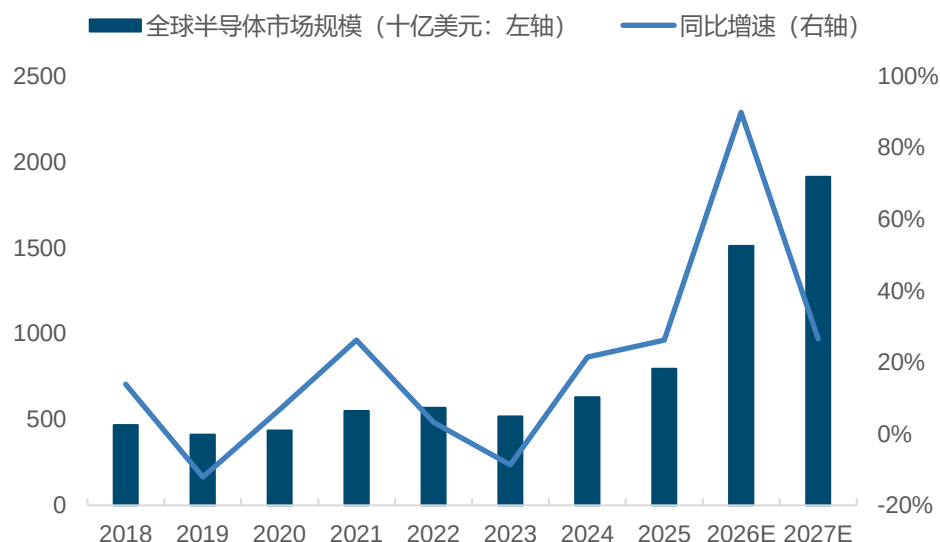
2.1 更多芯片：AI 基础设施扩张增加高端逻辑芯片测试基数

全球半导体产业正处于新一轮高景气周期，AI 基础设施建设及存储需求扩张持续推动行业规模快速增长。根据 WSTS 于 2026 年 6 月发布的预测，全球半导体市场规模预计将于 2026 年同比增长 90% 至 1.51 万亿美元，并于 2027 年进一步增长 27% 至约 1.91 万亿美元。其中，存储市场预计 2026 年增长约 250%，市场规模突破 8000 亿美元，HBM 及 AI 服务器



相关需求成为主要增长动力；逻辑芯片市场预计同比增长 37%，AI 计算基础设施持续建设及终端应用升级共同支撑行业需求扩张。从产业链传导来看，终端需求增长将进一步带动晶圆制造、先进封装及产能投资增加，同时先进芯片复杂度持续提升，对电性能验证、可靠性筛选及系统级测试提出更高要求。在晶圆出货量增长与单颗芯片测试价值量提升的双重驱动下，测试设备需求有望同步受益，行业景气度持续提升。

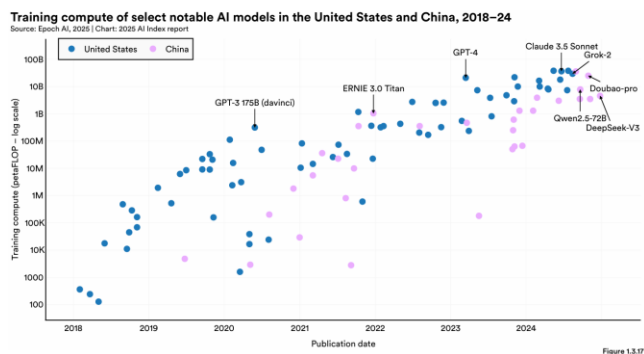
图表16：全球半导体产业正处于新一轮高景气周期



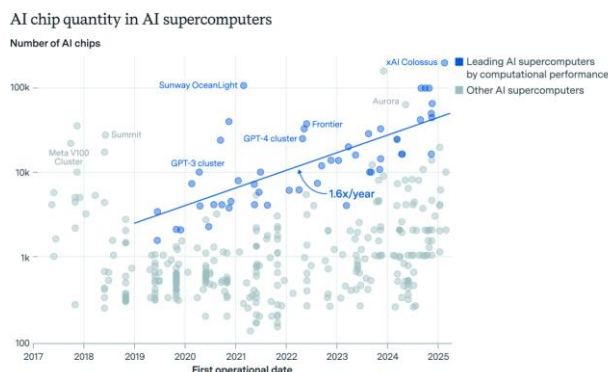
来源：WSTS、国金证券研究所

大模型持续演进推动需求快速增长，而算力供给则主要依靠单芯片性能提升与芯片规模扩张共同实现。根据 Stanford AI Index Report 2025，近年来全球代表性大模型训练算力持续提升。与此同时，AI 超级计算机部署规模亦快速扩大。Trends in AI Supercomputers 研究显示，全球领先 AI 超级计算机所采用的 AI 芯片数量自 2019 年以来保持约 1.6 倍/年的增长速度，单个集群已由早期数千颗芯片逐步扩展至数万甚至十万颗以上。随着模型训练和推理需求持续增长，算力供给一方面依赖先进制程、高带宽存储及新一代 AI 芯片持续提升单芯片计算性能，另一方面则通过部署更多 GPU 及 ASIC 芯片扩大集群规模，两条路径共同推动高端逻辑芯片需求持续增长，并为后续测试需求扩张奠定基础。

图表17：前沿 AI 模型训练算力快速增长，算力基础设施持续扩容



图表18：AI 算力增长不仅来自芯片性能升级，也来自芯片数量扩张



来源：Stanford AI Index 2025、国金证券研究所

来源：Trends in AI Supercomputers、国金证券研究所

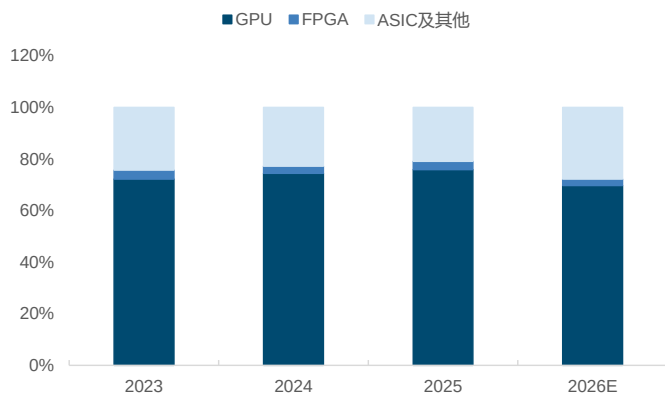
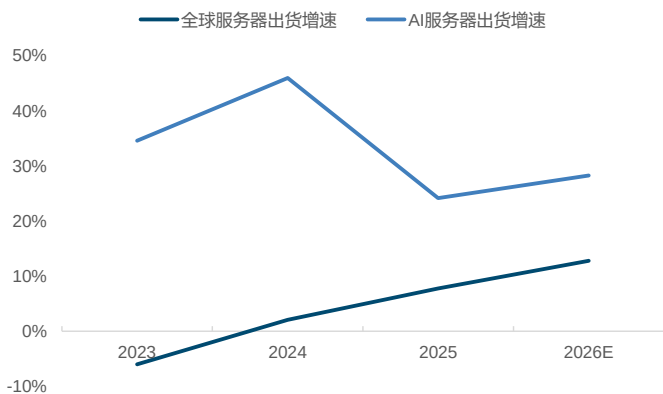
AI 服务器持续扩容叠加自研 ASIC 加速渗透，推动高端逻辑芯片测试需求持续增长。根据 TrendForce 预测，2026 年全球服务器出货量预计同比增长 12.8%，其中 AI 服务器出货量预计增长超过 28%，北美云服务厂商（CSP）持续扩大 AI 基础设施投入成为主要驱动力。随着 AI 应用由大模型训练逐步向推理阶段延伸，Google、Microsoft 等厂商正加快采购通用服务器以承载推理计算，同时政府主权云及边缘 AI 部署进一步推动 AI 服务器需求



增长。在 AI 算力持续扩张的同时，云厂商自研 ASIC 趋势亦不断强化。TrendForce 预计，2026 年 ASIC AI 服务器出货占比将提升至 27.8%，创 2023 年以来新高，Google、Meta 等北美 CSP 持续推进 TPU 等自研 ASIC 部署，ASIC 服务器出货增速预计快于 GPU。无论是 GPU 还是 ASIC，其本质均对应更多高端逻辑芯片进入量产阶段，而 AI 芯片通常具有更大的晶圆面积、更高的集成度及更复杂的高速接口，对测试覆盖率和测试资源要求显著高于传统芯片。

图表19: AI 服务器出货量维持高增速

图表20: 定制 ASIC 方案占比于 2026 年明显提升



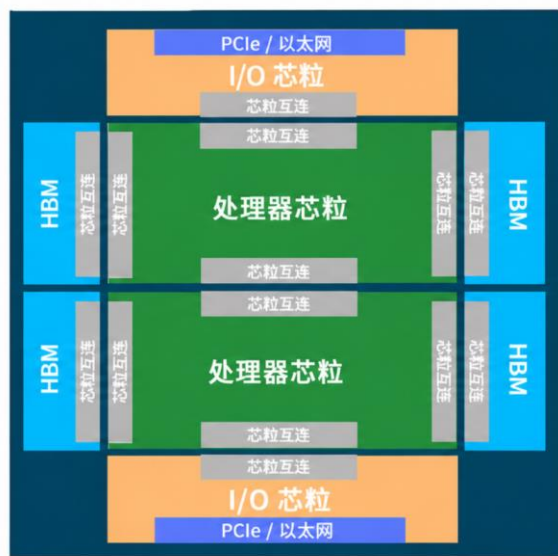
来源: Trendforce、国金证券研究所

来源: Trendforce、国金证券研究所

2.2 更复杂芯片：异构集成与高速接口增加单颗测试内容和配置要求

AI 芯片正由单一裸片向多 Die 系统演进，测试对象也由传统“一颗芯片”逐步扩展为“一套封装内系统”。随着 Chiplet 架构和先进封装技术加速应用，高端 AI 处理器已普遍采用多个计算 Die、多个 HBM 堆栈及独立 I/O Die 集成于同一封装内，并通过 Die-to-Die 互连及高速接口实现协同工作。相比传统单 Die 芯片，封装内集成单元数量显著增加，内部互连关系更加复杂，测试对象已不再局限于单颗裸片本身，而需要覆盖计算 Die、HBM、I/O Die 及 Die 间互连等多个组成部分。与此同时，AI 处理器晶体管规模持续提升，服务器 GPU 平均晶体管数量预计仍将保持快速增长趋势，在更高集成度、更大封装尺寸及更多高速接口的共同推动下，测试范围由单器件逐步延伸至封装内多芯粒协同系统，对测试覆盖率、测试方案设计以及系统级验证能力提出了更高要求。

图表21: AI 芯片由单一裸片向多 Die 系统演进，封装内测试对象持续增加



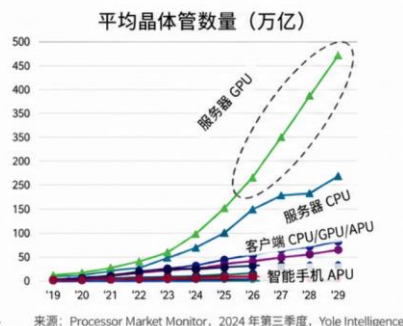
来源: Advantest

• 特点

- 芯粒（Chiplet）设计
- 多个处理器芯粒
- 多个 I/O 芯粒
- 多个 HBM

• 趋势

- 芯片微缩、新工艺技术、3D 封装，导致封装尺寸不断增大
- 芯粒化与多芯粒集成将成为行业主流
- I/O 芯粒带宽持续提升（PCIe 5/6、多层级互连）
- HBM 将在更高速度、更高复杂度下发展，堆叠层数持续增加



来源: Processor Market Monitor, 2024 年第三季度, Yole Intelligence

来源: 爱德万测试、国金证券研究所



Chiplet 架构和先进封装的普及进一步提升了芯片测试复杂度，测试对象由传统单一裸片扩展至封装内多 Die 协同系统。与单 Die 设计不同，Chiplet 可分别承担计算、缓存、I/O、模拟及通信等不同功能，并采用不同制程节点制造，最终通过 Interposer、RDL、微凸块或混合键合等先进封装技术集成为完整系统。

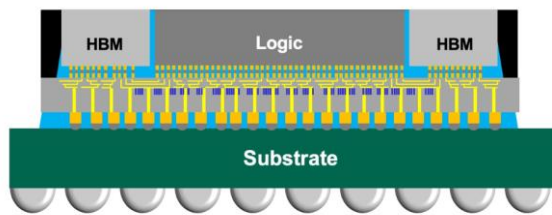
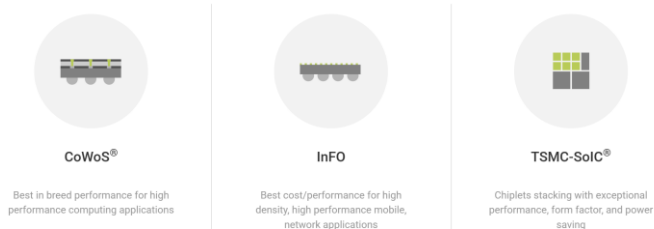
以台积电 3DFabric 平台为例，其涵盖 SoIC、CoWoS 及 InFO 等 2D、2.5D 和 3D 先进封装方案，其中 CoWoS 广泛应用于高性能计算领域，可将多个逻辑 Die 与 HBM 集成于同一封装内，实现异构系统集成。随着封装结构由单 Die 向多 Chiplet 演进，测试对象也由单颗芯片扩展至整个封装系统，不仅需要验证各 Chiplet 自身功能，还需覆盖 Die-to-Die 物理互连、Interposer 走线及高速接口等连接完整性，并进一步验证 Die 间通信协议、数据传输及封装完成后的整体协同功能。

多 Die 系统内部新增大量封装内互连，这些连接完成封装后部分已无法通过外部引脚直接访问，测试需要更多依赖设计可测试性（DFT）、内建自测试（BIST）及协议级测试基础设施完成验证。

Chiplet 带来的测试增量不仅来自需要测试更多 Die，更重要的是封装内部新增了一套高带宽、低延迟的通信网络，使测试对象由单颗芯片延伸至封装内多 Die 系统，进一步提升了测试方案设计、测试资源配置及系统级验证的复杂度。

图表22：台积电现有多种路径实现 3D 集成

图表23：2.5D 与 3D 先进封装实现多颗 SoC 及 HBM 异质集成



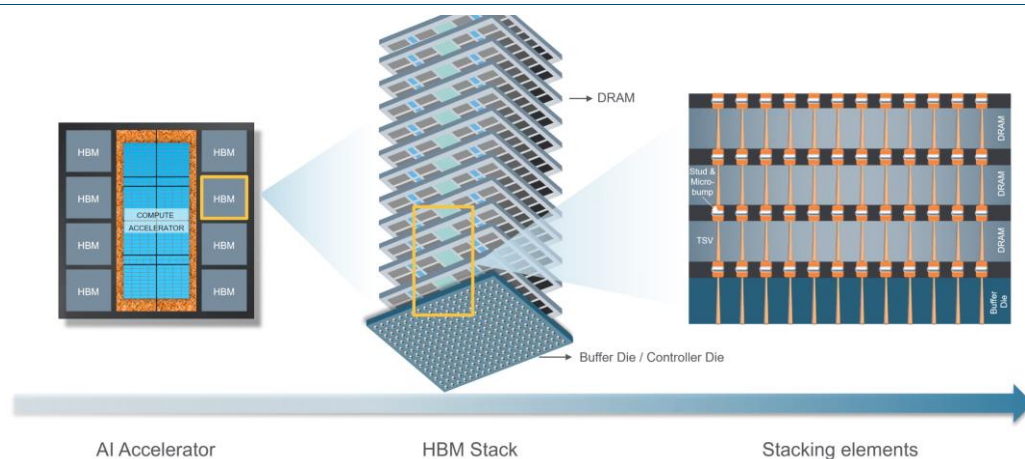
来源：台积电、国金证券研究所

来源：台积电、国金证券研究所

HBM 由传统单颗存储芯片逐步演进为 3D 堆叠存储系统，测试对象也由单一存储 Die 扩展至覆盖裸片、垂直互连、堆叠结构及高速接口的完整系统。HBM 采用多颗 DRAM Die 垂直堆叠架构，通过 TSV（硅通孔）和微凸块实现 Die 间互连，底部通常集成承担接口及控制功能的 Base Die，共同构成完整的 HBM 堆栈。根据 Micron 披露，HBM 制造过程中需要分别完成带 TSV 的 DRAM Die、顶层 Die 及 Base Die 等不同裸片的制造与测试，仅通过测试的裸片方可进入后续堆叠工序，封装完成后还需进行最终测试，以验证堆叠结构、互连及整体功能。HBM 性能持续升级进一步提升了测试复杂度。HBM4 将总接口宽度由 HBM3/HBM3E 的 1024 位提升至 2048 位，独立通道数量由 16 个增加至 32 个，单堆栈带宽超过 2.8TB/s、接口速率超过 11Gbps。随着堆叠层数、接口宽度及传输速率同步提升，测试环节不仅需要覆盖 DRAM 阵列、Base Die 及 TSV 等不同测试对象，还需验证堆叠后的高速接口及整体电气性能，同时对测试连接、并行访问能力及信号完整性提出更高要求。HBM 推动测试对象由单颗存储器件扩展至 3D 堆叠系统，使测试覆盖范围和测试复杂度进一步提升，为高端测试设备及配套接口硬件带来更高配置要求。



图表24: HBM 测试覆盖 DRAM 裸片、Base Die、TSV 互联及堆叠后整体功能

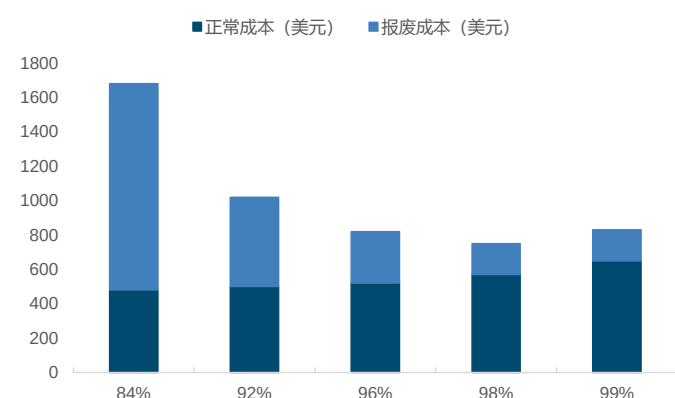
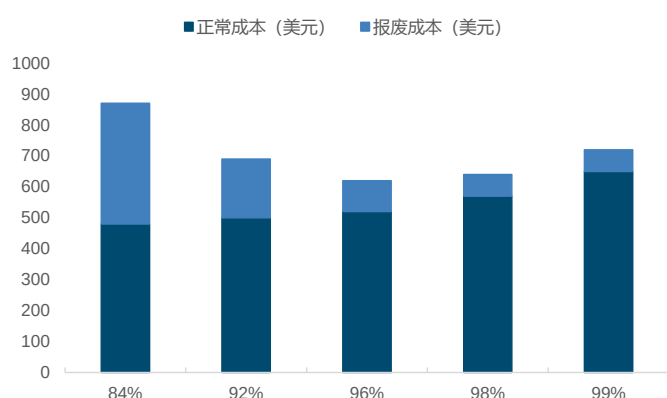


来源：应用材料、国金证券研究所

多 Chiplet 系统还改变了测试投入与制造成本之间的关系，提高测试覆盖率有助于降低整机制造成本。传统单 Die 芯片中，漏检造成的损失通常局限于单颗裸片；而在 Chiplet 架构下，多颗良品 Die、Interposer 及先进封装工序共同构成完整系统，一旦未能及时识别失效 Die，最终报废的将是已经完成高价值集成的整套器件，使漏检成本显著放大。2025 年 CATCH 针对一款采用 16 颗、每颗 50 平方毫米 Chiplet 组成的 3nm 图形处理器进行了成本建模，在同时考虑测试成本及坏 Die 漏检导致封装报废成本的情况下，成熟制程（缺陷密度低）场景下，当故障覆盖率由 50% 提升至 90%—95% 时，单颗系统总成本由约 1,150 美元下降至约 550 美元；在缺陷密度较高的未成熟制程场景下，总成本则由接近 2,900 美元下降至约 600—650 美元，95% 覆盖率对应最低系统成本。模型表明，测试覆盖率不足可能使多 Chiplet 系统总成本增加约 2—5 倍，而继续提升至 100% 覆盖率后，由于额外测试投入增加，总成本略有回升，说明测试覆盖率与系统成本之间存在最优平衡点。我们认为，随着先进封装系统中良品 Die 价值、封装成本及集成复杂度持续提升，客户更加关注整体系统成本而非单纯测试费用，更高覆盖率和更高规格测试能力所带来的制造成本节约将进一步提升测试环节的重要性，并支撑高端测试设备价值量持续提升。

图表25: 成熟制程场景下，当故障覆盖率由 50% 提升至 90%—95% 时，成本最低

图表26: 多 Chiplet 集成放大坏 Die 漏检损失，未成熟制程场景下，95% 覆盖率对应最低系统成本



来源：CATCH: a Cost Analysis Tool for Co-optimization of Chiplet-based Heterogeneous Systems、国金证券研究所

来源：CATCH: a Cost Analysis Tool for Co-optimization of Chiplet-based Heterogeneous Systems、国金证券研究所

AI 芯片复杂度提升最终将传导至测试资源配置升级，推动高端 Test Cell 价值量持续提高。随着 Chiplet、HBM、高速互连及先进封装等技术广泛应用，单颗器件已由传统数字芯片演进为集成多 Die、多电源域、多类型高速接口及异构功能模块的复杂系统，对测试覆盖率和测试能力提出更高要求。

我们认为，芯片复杂度提升并非简单增加测试项目，而是需要同步配置更多数字测试资源、存储测试资源、高速串行测试资源、电源测试资源及模拟混合信号测试资源，同时配套更



高规格的探针卡、负载板、Socket 及其他接口硬件，以满足高 Pin Count、高带宽、高功耗及多协议协同验证需求。

从主要测试设备厂商公开产品布局来看，高端测试平台均围绕高通道数、高速接口、大电流供电及模块化测试能力持续升级，接口硬件亦不断向更高带宽、更高接触密度及更优信号完整性方向演进。我们认为，随着测试对象由单一数字 SoC 逐步扩展至多 Die、多接口及多电源域系统，完成单颗器件测试所需的测试资源和配套硬件将同步增加。Test Cell 配置将由基础配置逐步向高配甚至满配演进，从而推动单套测试系统价值量持续提升。

图表27: 芯片复杂度提升转化为更复杂的 test cell 配置

芯片复杂度	新增测试要求	对应 test cell 配置
多颗 Processor/I/O Die	更多逻辑域、更多扫描接口	更多数字通道及扫描存储
HBM 与存储接口	存储核心、Base Die、TSV 和接口测试	存储测试资源、高密度 I/O
Die-to-Die 互联	链路、协议及互联完整性测试	协议感知仪器、BIST 访问能力
PCIe/CXL/SerDes	PAM4、Jitter、BER 及链路训练	高速串行仪器、高带宽 DUT 板
多电源域和高功耗	低压大电流、动态功耗测量	更多 DPS、高电流电源卡
大型高 Pin Count 封装	接触、阻抗、串扰和机械稳定性	更高价值探针卡、Socket 和 Contactor
数模混合及 CP0	数字、模拟、射频甚至光学测试	多类型仪器和光电接口

来源：爱德万、泰瑞达、Chroma、国金证券研究所

2.3 更多测试：测试插入点与单次测试时间共同增加容量需求

2010 年代：测试流程以晶圆测试和封装测试为主，测试插入点相对有限。爱德万在 2024 年技术说明会上回顾,2010 年代先进逻辑芯片的量产测试主要围绕晶圆测试(Wafer Test)和封装测试 (Final Test) 展开，两者分别承担前道和后道电性能筛选任务，绝大多数芯片完成上述流程后即可进入出货环节，仅部分高端产品根据应用需求增加系统级测试 (SLT)。整体来看，当时测试流程较为简单，晶圆测试与封装测试数量大致对应，测试内容主要围绕结构、电性能和功能验证展开，测试插入点相对有限。

图表28: 2010 年代，测试流程主要是晶圆测试和封装测试

2010年代测试：以筛选缺陷器件为主



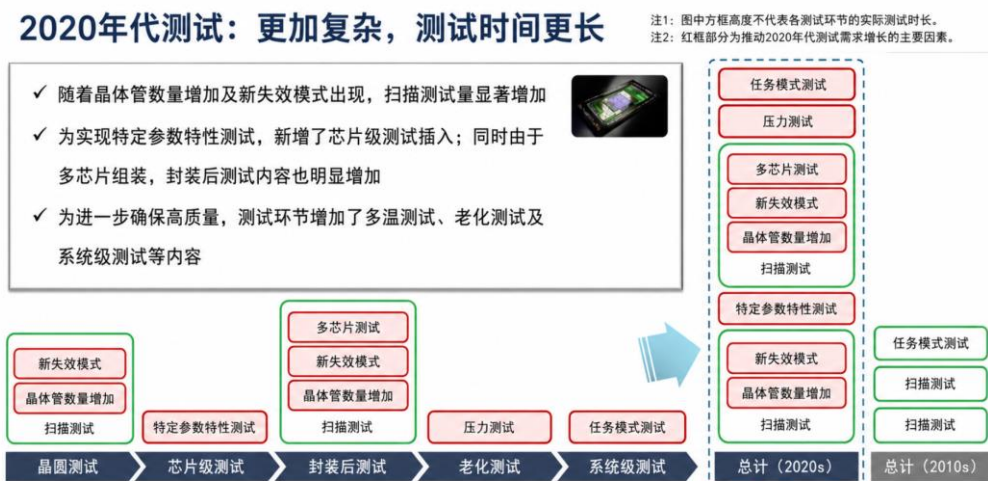
来源：爱德万测试、国金证券研究所

2020 年代：测试环节由“两段式”扩展为覆盖裸片、封装、可靠性及系统验证的多阶段流程。随着 Chiplet、HBM 及先进封装快速普及，测试流程逐步演进为“Wafer Test→Die Level Test→Final Test→Burn-in→System Level Test”的完整链路，并新增 Die 级特性测试、多温测试、可靠性筛选及系统级验证等多个测试环节。同一阶段内部还可能因不同温度条件、供电模式、产品分档及复测要求形成多次测试插入，使单颗芯片需要多次占用测试资源。爱德万将 Die 级特性测试、多温测试、Burn-in 及系统级测试明确列为 2020 年代推动测试需求增长的重要来源。目前一颗先进芯片从晶圆切割到成品组装，通常需要经历



10—20 次测试，而五年前通常仍为个位数。我们认为，测试需求增长不仅体现为单次测试时间延长，更重要的是测试插入点显著增加，推动测试设备容量需求同步提升。

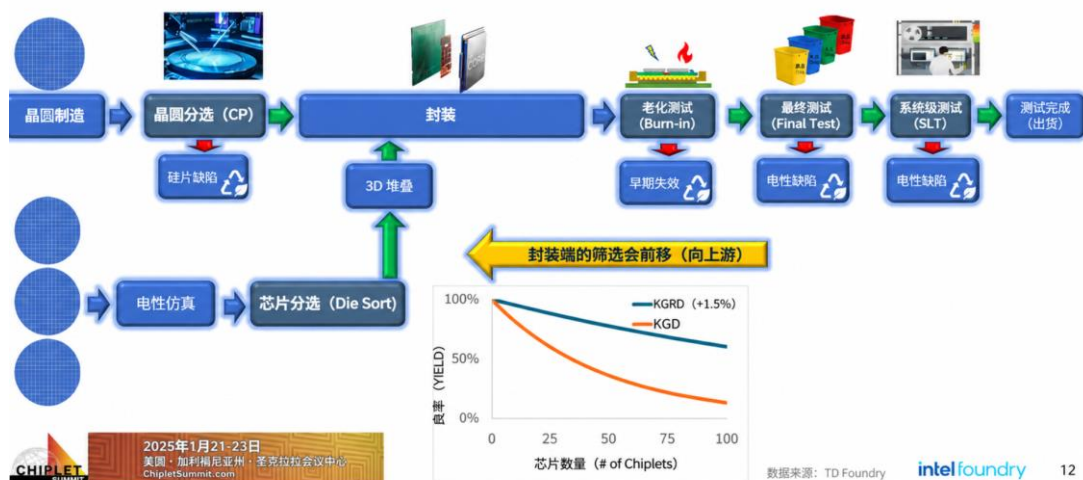
图表29：2020 年代，测试环节流程翻倍



来源：爱德万测试、国金证券研究所

Chiplet 集成推动 KGD 需求提升，Die 级测试（KGD）成为先进封装的重要前置环节。随着 Chiplet 和 3D 先进封装普及，封装内集成的裸片数量持续增加，一颗器件往往由多个计算 Die、I/O Die 及 HBM 共同组成。相比单 Die 器件，任何一颗存在缺陷的裸片都可能导致整套封装失效，随着 Chiplet 数量增加，封装良率将呈乘数效应下降，因此行业对 KGD（Known Good Die，已知良品裸片）的要求显著提升。Intel Foundry 在 2025 年 Chiplet Summit 展示的制造测试流程中，将 Die Sort 作为 3D 堆叠前的重要环节，并明确提出将部分传统封装测试能力前移，在裸片阶段提前剔除缺陷 Die，以降低先进封装报废成本。我们认为，随着先进封装价值量持续提升，测试环节正由封装后向 Die 级持续前移，KGD 测试的重要性不断提高，带动 Die 级测试资源、测试时间及设备需求同步增长。这一趋势与前文 Chiplet 成本模型一致：当封装价值持续提升时，提前发现缺陷 Die 的经济价值显著提高，客户更倾向于增加 Die 级测试投入，以避免高价值封装在后段因单颗坏 Die 而整体报废。

图表30：Chiplet 提高 KGD 重要性，Die 级测试成为新增插入点



来源：Intel、国金证券研究所

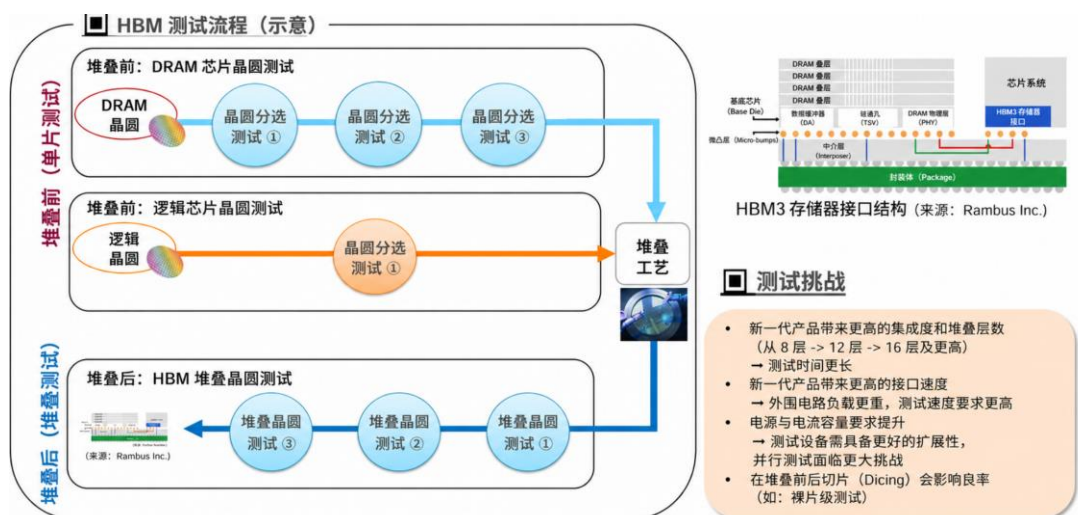
HBM 堆叠后新增 3—4 次以上测试，且采用不同温度和参数条件验证。HBM 是测试插入次数增加最具代表性的应用之一。爱德万披露，HBM 在堆叠前已分别完成 DRAM 晶圆和 Base Die（逻辑晶圆）的晶圆测试；完成 8 层、12 层等多层堆叠后，还需再次进行 HBM 堆叠晶圆测试。官方示意流程显示，堆叠后通常设置 3 次测试，部分客户根据质量要求还会增加至



4 次或更多，并分别采用不同温度环境、测试参数及高速接口功能测试。

相比传统 DRAM 主要完成晶圆测试和封装测试，HBM 新增了堆叠后的多轮测试验证，使测试流程由单次筛选扩展为覆盖堆叠质量、高速接口及可靠性的连续验证。由于存储密度和堆叠层数持续提升、质量保证要求更加严格，以及堆叠后新增测试流程，HBM 整体测试时间明显长于标准 DDR5；后续 HBM4 等产品还将进一步提高接口速度、电流容量及堆叠层数，对测试速度、电源能力和测试资源配置提出更高要求。堆叠后 HBM 测试与前道 DRAM 晶圆测试使用同一类存储测试机，但测试条件要求明显提升，测试机需要升级至更高速度、更高功能配置；同时，由于复杂测试的并测效率下降，堆叠后 HBM 测试所需测试机数量预计也将高于传统 DRAM 晶圆测试。

图表31：HBM 堆叠后通常增加 3 次测试，部分客户可能达到 4 次或更多



来源：爱德万测试、国金证券研究所

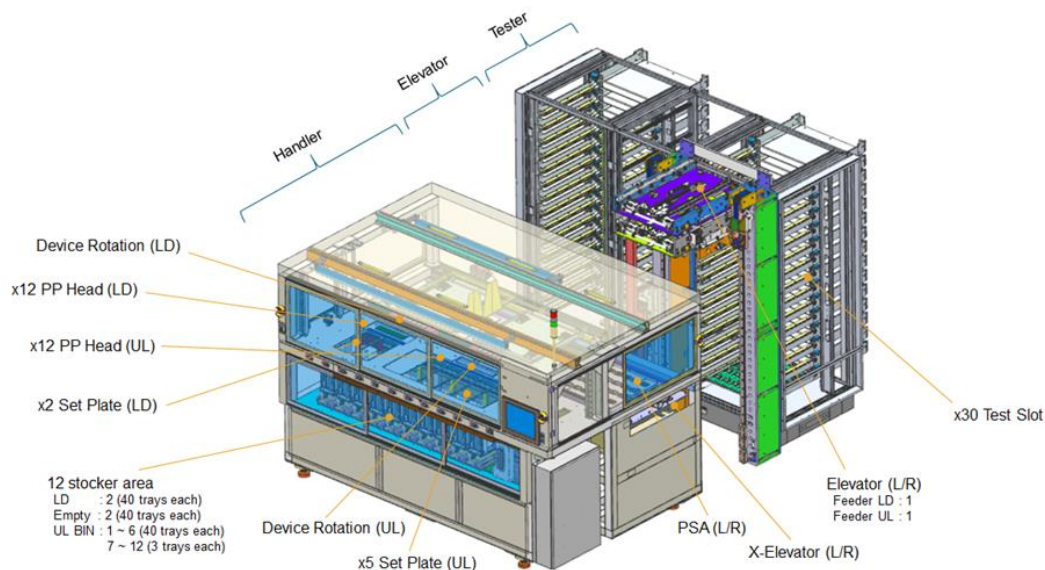
测试内容增加不仅体现在测试插入点增多，还体现在单次测试时间持续延长，对测试产能提出更高要求。随着可靠性验证、系统级验证及高速接口测试不断增加，先进芯片的测试时间持续拉长，而晶圆厂和封测厂仍需维持既定产能节拍，因此只能通过提高测试并行度增加设备吞吐能力，或直接配置更多测试设备以满足量产需求。

SLT 需要大规模并行测试以抵消长测试时间。Advantest 7038 系统主要面向系统级测试（SLT）等长测试时长应用，典型测试时间约 10 分钟，可同时测试最多 720 颗器件（DUT），实现最高约 5,000 颗/小时的吞吐量。其产品设计思路并非缩短单颗芯片测试时间，而是通过大规模并行测试维持产线节拍，反映出测试时间延长后对系统并行能力的要求显著提升。

Burn-in 则进一步放大了测试设备的占用时间。Aehr 披露，量产 Burn-in 通常需要在高温、高压条件下持续运行 2—48 小时，以筛除早期失效器件。针对晶圆级 Burn-in，公司 FOX-XP 平台单套设备可并行处理 18 片 300 毫米晶圆，本质上也是通过提升并行测试能力来弥补长时间应力测试带来的设备占用。相比 ATE 通常以分钟级完成单次测试，Burn-in 设备往往需要持续占用数小时甚至数十小时，对测试设备数量和产能配置提出更高要求。

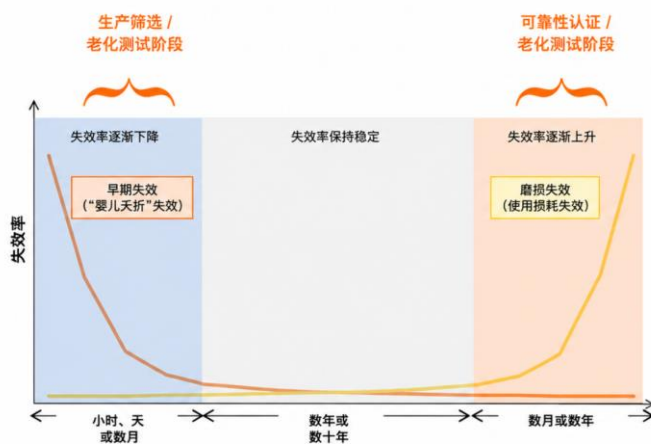


图表32: SLT 需要提高并行数量以抵消测试时间 (图为爱德万 7038 机台)



来源: 爱德万测试、国金证券研究所

图表33: 老化测试通常需要持续数十个小时



来源: AEHR、国金证券研究所

- **生产老化测试:**
在生产出货前, 将半导体器件置于高电压、高温环境下持续运行一定时间 (2~48 小时), 以筛选并剔除早期失效产品, 提升出货可靠性。
- **可靠性认证老化测试:**
在高电压、高温环境下持续运行 1000 小时, 用于验证产品能否满足行业的长期可靠性标准, 通常通过高温工作寿命 (HTOL) 测试来实现。

三、复盘爱德万验证 AI 测试景气上行, 平台化与外延并购映射 A 股成长路径

3.1 三次战略转身拓宽业务边界, 从存储测试龙头迈向综合测试解决方案平台

爱德万五十余年的发展历程, 本质上是一条围绕测试平台不断向更复杂应用和更广测试环节延伸的发展路径。

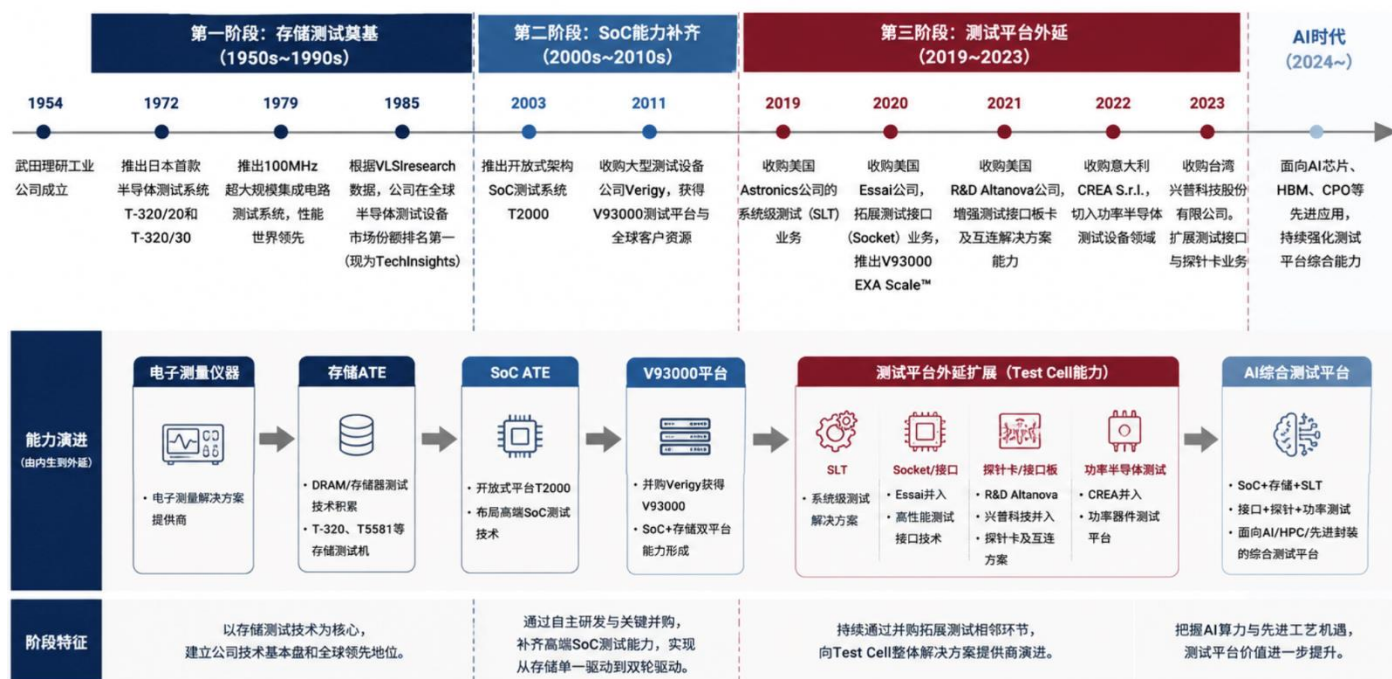
- 公司早期依托 DRAM 测试需求, 逐步积累高速测量、大规模并行测试及规模化交付能力; 2003 年推出 T2000 平台后, 业务由存储测试进一步拓展至 SoC 等复杂逻辑芯片;
- 2011 年收购 Verigy, 获得 V93000 平台及全球客户资源, 形成 SoC 与存储双平台布局;
- 2019 年以来, 公司又围绕 SLT、Socket、测试接口及温控等 Test Cell 相邻环节持续扩展产品能力。

回顾公司三次战略升级, 其核心并非简单增加产品品类, 而是在既有平台、技术和客户基础上, 持续向测试要求更高、价值量更大的环节迁移, 并不断提升整套测试解决方案的覆



盖能力，最终由单一测试设备供应商成长为覆盖测试平台及 Test Cell 的综合测试解决方案提供商，并长期保持行业领先地位。

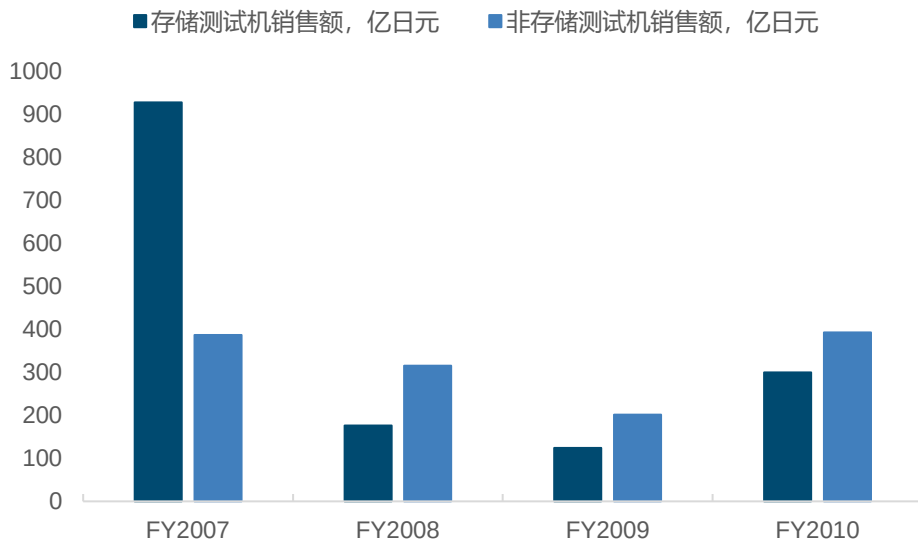
图表34：爱德万五十年三次转身，从存储测试机龙头迈向综合测试平台



来源：爱德万测试、国金证券研究所

爱德万早期成长与日本存储产业发展相伴，存储测试业务构成公司进入半导体 ATE 行业并建立平台能力的起点。公司于 1954 年从电子测量仪器起家，1972 年推出日本首款国产半导体测试系统 T-320 系列；此后伴随 DRAM 向更高速、更大容量及更高量产效率持续演进，公司不断迭代存储测试平台，逐步积累高速测量、大规模并行测试、系统稳定性及量产交付能力。根据公司官网转引 VLSI Research 数据，爱德万于 1985 年已跃居全球半导体测试设备市场第一，半导体测试系统亦逐步成为公司核心业务。1995 年推出高速存储测试平台 T5581 后，公司进一步巩固了在存储测试领域的领先地位。随着存储市场周期波动加剧以及 SoC 等复杂逻辑器件快速发展，公司于 2003 年推出面向非存储测试市场的 T2000 平台，开始将存储测试积累的平台、技术及客户服务能力迁移至更广阔的逻辑测试领域。FY2010 公司非存储测试机销售额首次超过存储测试机，标志着爱德万完成第一次业务重心迁移，由以存储测试为主逐步迈向覆盖非存储测试的综合 ATE 平台。

图表35：T2000 推动非存储测试业务逐步成型，FY2010 销售额已超过存储测试机



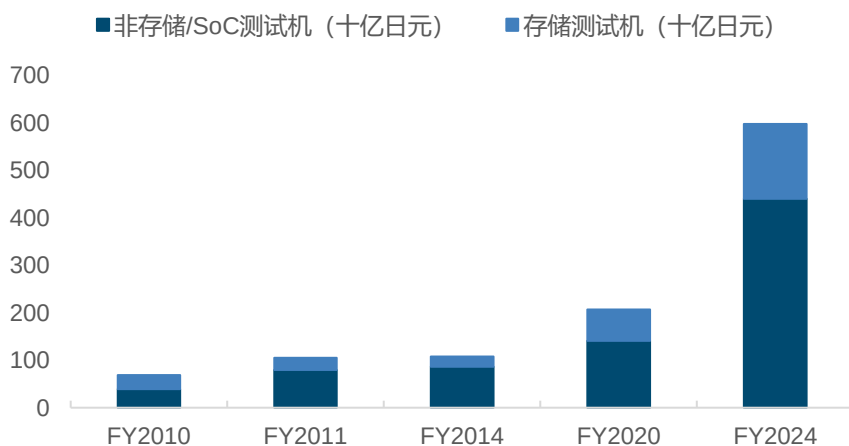


来源：Advantest Form 20-F 2007、Form 20-F 2010、国金证券研究所

进入 21 世纪，SoC 复杂度持续提升、产品迭代加快，封闭式专用测试机重复开发成本不断上升，测试平台的模块化、通用化及可扩展能力愈发重要。爱德万于 2003 年推出开放式架构 T2000 平台，通过统一平台搭配不同功能模块，提升设备对多类型 SoC 的适配能力，完成由存储测试向复杂逻辑测试的首次能力迁移。至 FY2010，公司非存储测试机销售额达 393 亿日元，首次超过存储测试机的 300 亿日元，表明 T2000 不仅开辟了新的业务方向，更推动爱德万由存储测试厂商逐步转型为覆盖 SoC 测试的平台型企业。

2011 年收购 Verigy，则进一步解决了公司 SoC 业务应用覆盖和全球客户基础相对不足的问题。通过整合 Verigy 的 V93000 平台、全球销售网络及客户资源，爱德万形成 T2000 与 V93000 双平台布局，覆盖不同性能等级及应用场景，并兼顾客户既有测试程序和配套资产，降低平台迁移成本。FY2011 并表后，非存储测试机销售额增至 797 亿日元；此后 SoC 业务持续成长，FY2024 SoC 测试机销售额达 4404 亿日元，占测试机销售额比重提升至 73.6%。我们认为，此次收购的意义并非单纯扩大收入规模，而是在已有 SoC 布局基础上，通过双平台战略进一步拓宽应用场景和客户覆盖，推动公司由切入 SoC 测试市场迈向以 SoC 平台为核心、存储测试协同发展的综合测试平台。

图表36: Verigy 并购后非存储测试业务快速扩张，SoC 测试机逐步成为收入主体



来源：Advantest FY2011、FY2014、FY2024 全年业绩说明材料、FY2023 第二季度业绩说明材料、国金证券研究所

随着性能计算及先进封装推动测试复杂度持续提升，测试竞争边界逐步由 ATE 主机向 Test Cell 整体方案延伸。2018 年，爱德万在 Grand Design 中提出由晶圆测试和终测进一步拓展至设计验证、系统级测试及数据分析；此后，公司围绕测试流程中的关键环节持续开展并购，相继收购 Astronics 的 SLT 业务、Essai 的测试 Socket 与温控能力、R&D Altanova 及兴普科技的测试接口板业务，并通过 CREA 切入功率半导体测试。我们认为，这一系列并购并非简单扩充产品品类，而是围绕高复杂度芯片测试过程中接口、热管理、系统级验证等关键能力持续补链，通过将既有 ATE 平台能力向相邻环节延伸，逐步形成覆盖 ATE 主机、接口件、SLT 及温控等环节的 Test Cell 解决方案。随着测试机与外围设备协同程度不断提升，公司业务模式亦由销售单一测试设备逐步转向提升整套 Test Cell 的测试效率、交付能力及整体价值量。


图表37：爱德万通过连续并购补齐 SLT、测试接口及功率测试能力，业务边界持续外延

完成时间	标的或业务	标的原有主要能力	爱德万新增或强化能力	对应测试环节
2019 年 2 月	Astronics 商业半导体系统级测试业务	为半导体器件及模块提供系统级测试设备与解决方案	补充系统级测试设备及相关研发、客户资源，强化 SLT 业务布局	封装后系统级测试（SLT）
2020 年 1 月	Essai	半导体终测及系统级测试 Socket、主动温控单元	补充测试 Socket 与温控能力，可与终测设备、SLT 设备共同构成 Test Cell 解决方案	FT/SLT 测试接口与温控
2021 年 11 月	R&D Altanova	高端测试接口板、基板及互连产品，具备仿真、设计、布局、制造与装配能力	补充高性能、高密度测试接口板及 PCB 设计制造能力	晶圆测试及成品测试的 ATE 接口环节
2022 年 8 月	CREA	功率半导体测试设备，产品覆盖包括 SiC、GaN 在内的多类功率器件	拓展功率半导体测试机产品线	功率半导体 ATE
2023 年 4 月	兴普科技（Shin Puu）	PCB 及 PCBA 制造与组装	与 R&D Altanova 的高性能、高密度测试板设计能力协同，补充亚洲地区高端测试板制造产能	测试接口板制造环节

来源：爱德万公司公告、国金证券研究所

经过自主研发与连续并购，爱德万已形成以 SoC 和存储测试机为核心，并覆盖 SLT、Socket、测试接口板及功率半导体测试等相邻环节的产品布局，业务边界由 ATE 主机逐步向更完整的测试解决方案延伸。从存储测试、SoC 测试到 Test Cell，爱德万三次业务拓展均建立在既有技术平台和客户基础之上，其成长路径体现出平台能力持续迁移、产品边界逐步外延的发展特征。

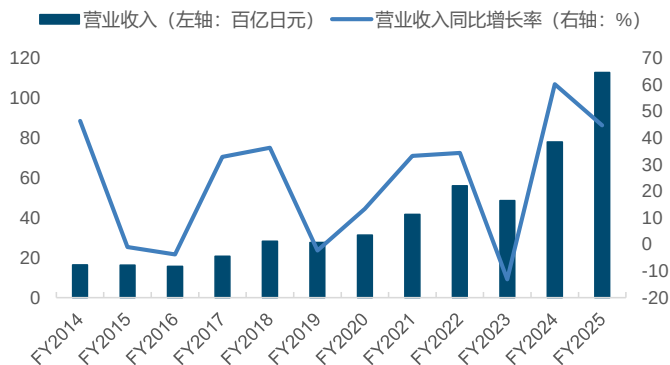
3.2 AI 测试需求加速释放，业绩弹性与产能扩张相互验证

爱德万业绩具有较强的周期属性，但随着测试对象逐步向高性能 SoC、HBM 及 AI 芯片迁移，业绩弹性持续增强。回顾历史，公司两轮主要上行周期均对应半导体需求扩张：FY2017—FY2018，受数据中心存储扩产及智能手机、汽车等 SoC 需求带动，公司营业收入由 2072 亿日元增至 2825 亿日元，营业利润率由 11.8% 提升至 22.9%；FY2020—FY2022，在 5G、HPC 等需求推动下，公司收入进一步增长至 5602 亿日元，营业利润率提升至 29.9%。相比传统周期，测试需求驱动已逐步由单纯出货量增长转向芯片复杂度提升带来的测试价值量增长，盈利能力同步增强。

本轮 AI 周期进一步放大了公司的业绩弹性。FY2023 受行业库存调整影响，公司收入同比下降 13.2%，营业利润同比下降 51.3%，利润端体现出较强经营杠杆；随着 AI 服务器、GPU/ASIC 及 HBM 需求快速释放，FY2024、FY2025 收入分别同比增长 60.3%、44.8%，营业利润分别同比增长 179.5%、118.8%，营业利润率由 16.8% 快速提升至 44.2%，创历史新高。我们认为，本轮盈利能力显著高于以往周期，一方面源于行业需求回暖，另一方面亦反映出 AI 芯片复杂度提升推动高端 SoC 及 HBM 测试需求增长，高价值产品占比提升进一步增强了公司的盈利弹性。

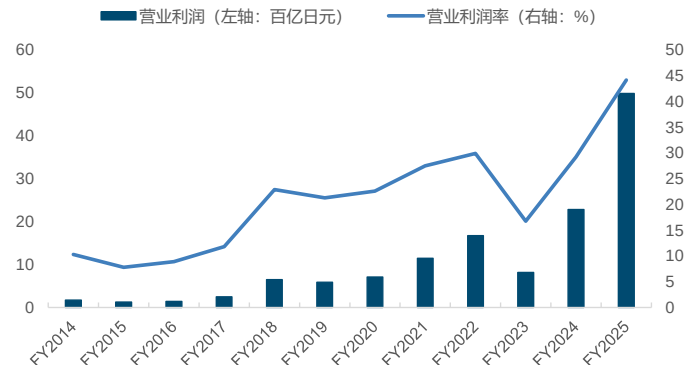


图表38：多轮测试周期中收入中枢持续抬升，本轮AI周期增长斜率明显提高



来源：ifind、国金证券研究所

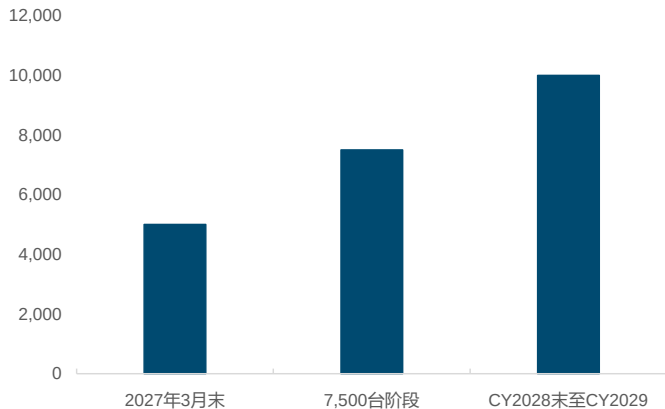
图表39：高毛利先进测试产品放量叠加规模效应，本轮营业利润率升至44%



来源：ifind、国金证券研究所

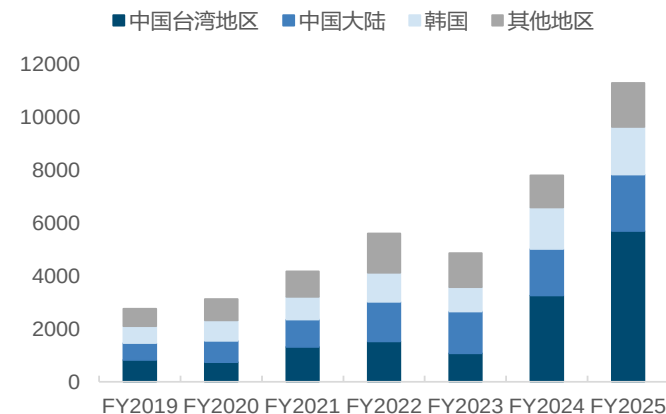
随着AI服务器、高性能SoC及HBM需求持续释放，爱德万持续上调SoC测试机产能规划，计划于FY2026末形成至少5,000台年产能，并进一步推进7,500台及10,000台的后续扩产目标。区域收入结构亦验证本轮需求并非局部市场驱动：中国台湾地区增长主要受美国Fabless客户高端SoC需求带动，韩国主要受HBM及高性能DRAM测试需求拉动，中国大陆则由SoC与存储测试共同驱动。我们认为，公司持续扩产与区域收入变化相互印证，反映AI需求已由设计端逐步传导至晶圆制造、先进封装及测试环节，并进一步带动测试设备投资增长。

图表40：爱德万计划于CY2028末至CY2029完成10,000台/年SoC测试机产能准备



来源：Advantest FY2025 全年业绩说明会问答、国金证券研究所

图表41：中国台湾地区、中国大陆及韩国长期构成公司收入主体，FY2025合计占比升至85%



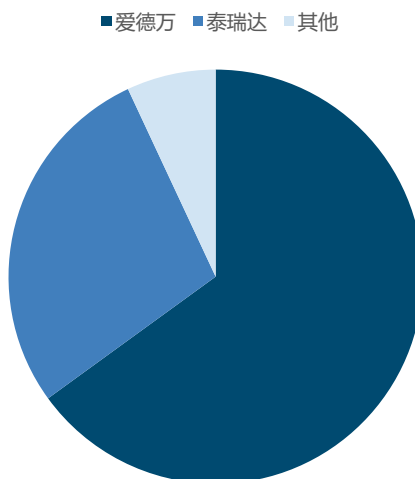
来源：Advantest 年报、国金证券研究所

3.3 爱德万 vs 泰瑞达：下游敞口决定弹性，AI重塑双寡头增长节奏

爱德万与泰瑞达长期主导全球ATE市场，2025年两家公司市场份额分别约为65%和28%，合计占比超过90%，双寡头竞争格局进一步巩固。两家公司均覆盖SoC与存储测试，并持续向SLT、Burn-in及Test Cell等相邻环节延伸，产品平台和业务模式具有较强可比性。因此，两家公司下游应用结构及客户布局的差异，为观察本轮AI测试周期业绩弹性分化提供了较好的对比样本。在相同的行业景气背景下，AI服务器、高性能SoC、HBM及传统半导体需求占比不同，使两家公司在收入增长、盈利能力及订单表现上呈现出不同节奏。



图表42：爱德万与泰瑞达合计占据全球 90%以上的半导体测试机市场（CY2025）

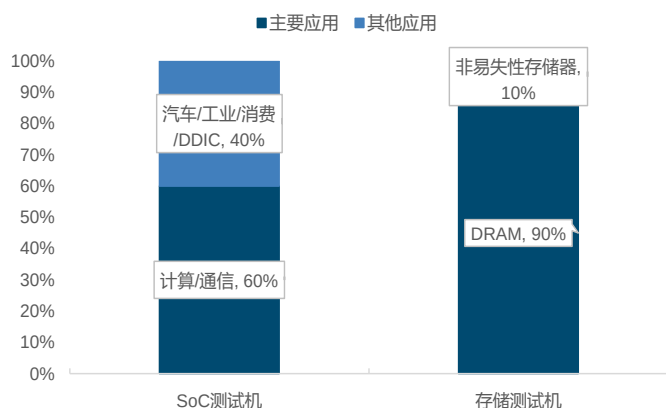


来源：Advantest Investors Guide、国金证券研究所

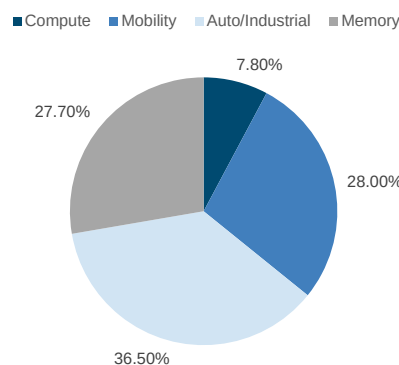
从业务结构看，以爱德万 FY2023 和泰瑞达 CY2023 为观察基期，两家公司已呈现出不同的下游应用结构。FY2023，爱德万 SoC 测试机收入中计算/通信应用占比约 60%，汽车、工业、消费及显示驱动等应用合计占比约 40%；同期存储测试机收入中 DRAM 占比约 90%，测试需求主要集中于计算/通信及 DRAM 领域。相比之下，泰瑞达半导体测试业务收入主要来自汽车/工业、移动及存储应用，三者收入占比分别约 36.5%、28.0%和 27.7%，Compute 业务占比仅约 7.8%，下游应用分布更加均衡。尽管两家公司财年口径及业务分类存在一定差异，但整体来看，爱德万对计算/通信及 DRAM 相关需求的业务敞口更高，而泰瑞达收入来源更加分散。我们认为，这一应用结构差异使爱德万在 AI 服务器、高性能 SoC 及 HBM 需求快速增长阶段受益更为直接，也为两家公司后续业绩弹性的分化奠定了基础。

图表43：爱德万 FY2023 测试需求主要集中于计算/通信与 DRAM

图表44：泰瑞达 CY2023 Compute 收入占比尚不足一成，传统应用敞口较高



来源：Advantest Investors Guide、国金证券研究所



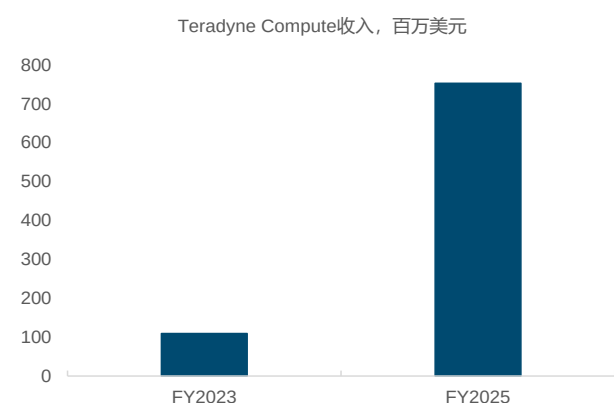
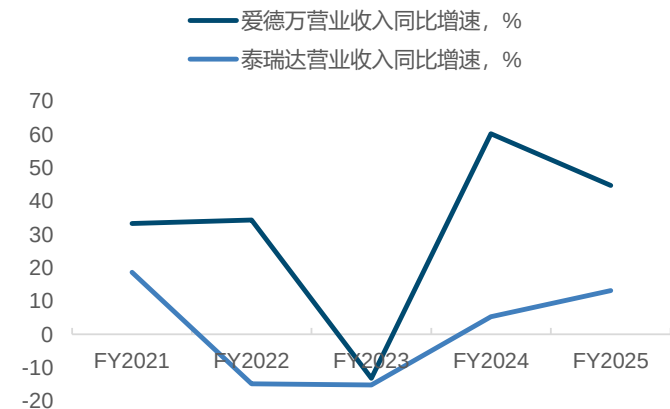
来源：Teradyne 2025 Annual Report、国金证券研究所

2023 年以来，两家公司收入增速由同步下行转向明显分化，爱德万凭借更高的计算/通信及 DRAM 测试敞口率先受益于 AI 相关需求，而泰瑞达则随着 Compute 业务快速放量逐步追赶。2023 年，爱德万与泰瑞达营业收入分别同比下降 13.2%和 15.2%；2024 年，爱德万收入同比增长 60.3%，显著高于泰瑞达的 5.4%；2025 年，两者收入分别增长 44.8%和 13.1%，增速差距由 2024 年的 54.9pcts 收窄至 31.6pcts。同期，泰瑞达 Compute 业务收入由 2023 年的 1.09 亿美元增至 2025 年的 7.53 亿美元，占 SoC 及存储测试收入的比重明显提升。我们认为，两家公司收入增速的分化与收敛，本质上反映了 AI 测试需求由早期集中于高端 GPU、HBM 等领域，逐步向更广泛的计算平台扩散的过程。



图表45: AI 测试需求推动爱德万与泰瑞达收入增速显著分化

图表46: AI 相关计算需求推动泰瑞达 Compute 业务快速增长



来源: ifind、国金证券研究所

来源: Teradyne 2025 Annual Report、国金证券研究所

爱德万的发展路径表明, 测试设备竞争优势并非来源于单一产品性能, 而是由平台架构、客户积累、量产交付和相邻环节协同共同构成。公司先以存储测试建立高速测量、并行测试及规模化交付能力, 再通过 T2000 和收购 Verigy 将既有能力迁移至 SoC 测试, 并在保留客户测试程序和配套资产的基础上形成双平台布局; 此后又围绕 SLT、Socket、测试接口及温控等环节持续补链, 将竞争边界由 ATE 主机延伸至 Test Cell 整体方案。由此看, 后进入者仅依靠单一型号突破或局部参数追赶, 较难形成稳定竞争力, 后续发展的关键在于能否围绕核心平台持续扩展仪器资源和应用覆盖, 并将客户验证、装机基础、测试程序及服务能力转化为下一代产品导入优势。

我们认为, 随着高端 SoC、HBM 及先进封装测试复杂度提升, 国内市场有望由当前分散的单品竞争逐步走向平台化整合: 具备持续研发能力、规模化交付基础和头部客户验证积累的厂商, 将由细分产品供应商向综合测试平台演进, 并通过接口件、分选及系统级测试等相邻环节提升单客户价值量; 缺乏核心测试平台或客户基础的厂商, 则可能更多停留在特定品类和局部应用。长期稳态格局或并非由大量厂商平均分配市场, 而是形成少数平台型厂商主导、若干专业化设备及接口供应商协同参与的分层竞争结构。

四、投资建议

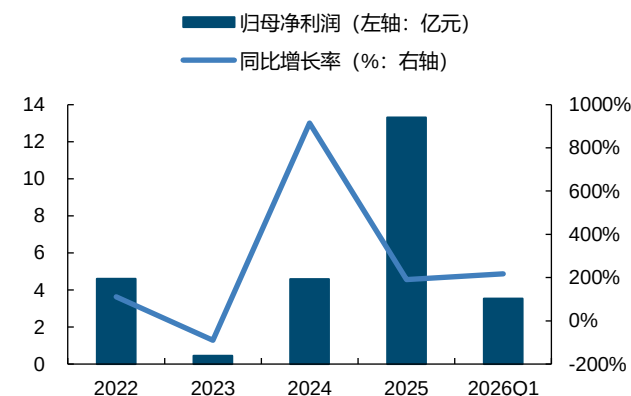
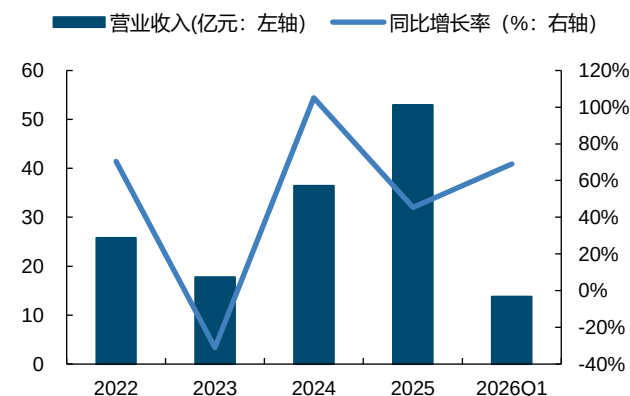
半导体测试设备是保障芯片性能、良率与可靠性的核心环节, AI 推动行业景气由周期修复转向结构成长。根据 SEMI 预测, 全球半导体测试设备销售额预计在 2026 年同比增长 31.0%至 153 亿美元, 并于 2028 年达到 208 亿美元, 2025—2028 年复合增速约 21%。我们判断, AI 基础设施扩张将从“更多芯片、更复杂芯片、更多测试”三个维度持续拉动设备需求: GPU、AI 加速器及 HBM 等高端芯片出货增长扩大测试基数; Chiplet、先进封装及高速接口增加单颗芯片测试内容, 推动测试机通道、速率、功率及精度配置升级; KGD、Burn-in 与 SLT 等测试插入点增加, 叠加单次测试时间延长, 进一步推升测试容量投入, 半导体测试设备产业链有望进入持续扩容阶段。

长川科技: 测试设备平台化布局持续完善, 数字测试机放量打开成长空间。公司是国内集成电路测试设备龙头, 产品已覆盖测试机、分选机、探针台、老化测试、系统级测试及 AOI 检测等多个环节。2025 年公司实现营业收入 52.92 亿元, 同比增长 45.31%; 归母净利润 13.31 亿元, 同比增长 190.42%, 利润增速显著快于收入。其中, 测试机收入达到 32.03 亿元, 同比增长 55.29%, 占营业收入比重提升至 60.53%, 已成为公司最主要的收入来源和增长驱动力。进入 2026 年, 公司增长趋势延续, 实现营业收入 13.78 亿元, 同比增长 69.09%, 归母净利润 9.53 亿元, 同比增长 217.60%; 公司预计 2026H1 归母净利润为 9—10 亿元, 同比增长 110.76%—134.18%, 主要受高端下游需求释放及数字测试机等多条产品线销售增长带动。伴随高毛利测试机业务占比提升及收入规模扩大, 公司盈利效率同步改善, 2025 年销售净利率提升至 25.39%, 2026Q1 进一步达到 26.05%, 规模效应逐步体现。



图表47：公司营收维持高增长

图表48：公司归母净利润增速超营收



来源：ifind、国金证券研究所

来源：ifind、国金证券研究所

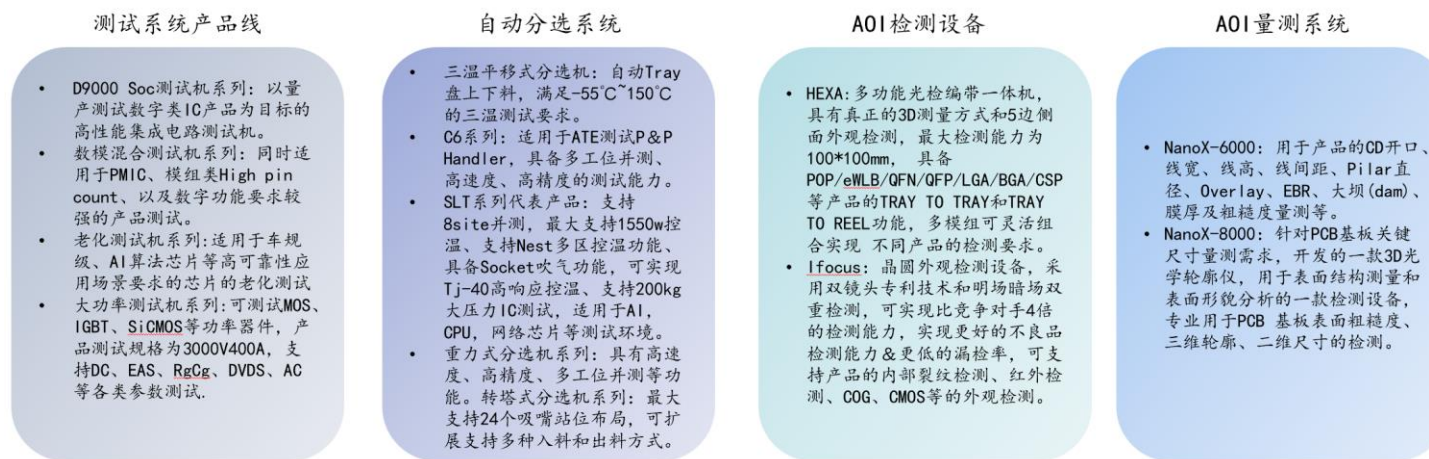
公司测试设备平台化布局持续完善，以高端 SoC 测试机为核心，并向分选、老化、系统级测试、探针台及光学检测等环节持续延伸，较完整的产品矩阵构成公司区别于单一设备供应商的重要竞争基础。

测试机方面，公司已布局以 D9000 系列为代表的高性能 SoC 测试机及数模混合测试机，并进一步拓展至面向车规、AI 算力芯片的 CM1028 老化测试机，以及覆盖 SiC、IGBT 等功率器件的 P3000 大功率测试机；

分选设备方面，公司形成平移式、C9D 系列重力式及 EXIS 系列高速转塔式产品体系，并推出面向高功耗大算力芯片的 CS800T 系统级测试分选机，可支持-55℃至 150℃三温测试及最高 1550W 控温能力；

公司还布局探针台，并通过 HEXA、ifocus 等设备覆盖封装体多面及晶圆外观缺陷检测，通过 NanoX 6000/8000 系列进一步切入半导体关键制程及 PCB 基板的 3D 尺寸、形貌量测。由此，公司产品能力已由传统电性能测试和分选逐步延伸至可靠性测试、系统级测试及光学检测测量等多个后道环节。

图表49：公司产品矩阵完整，平台化布局



来源：公司公告、国金证券研究所

全品类布局的价值不仅在于扩大公司可覆盖的设备市场，更在于为不同测试环节之间的软硬件协同和组合供应提供基础。半导体后道产线涉及多类设备协同运行，对机台间物理对接、软件协同及数据交互均提出较高要求，较完整的设备供应能力有助于降低客户多源采购及联合调试的复杂度。同时，公司产品已进入长电科技、华天科技、通富微电等国内主要封测厂，以及华润微电子、士兰微等 IDM 客户供应链，子公司 STI 亦覆盖日月光、安靠、美光等海外客户，既有客户基础为不同产品之间的协同导入提供了渠道基础。我们认为，随着 AI 算力芯片及 Chiplet、先进封装提升测试复杂度，测试环节由单一电性能验证逐

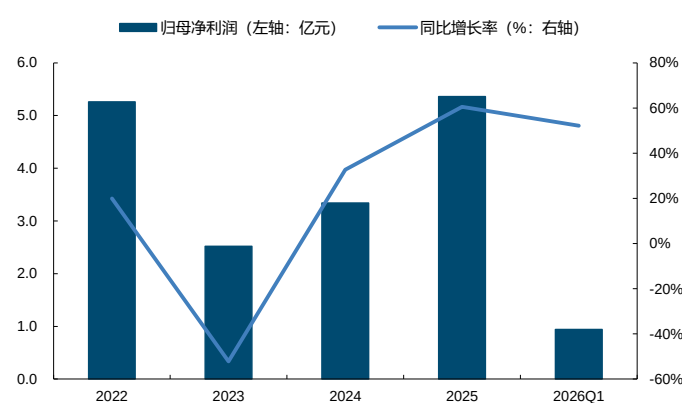
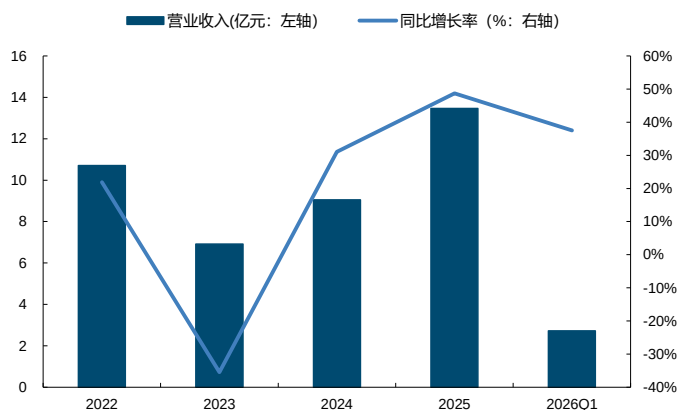


步增加老化、系统级测试及更复杂的检测量测需求，公司现有测试机、分选机、探针台及 AOI 等多品类布局有望进一步发挥平台协同效应，在扩大单客户可覆盖设备范围的同时，推动公司由单机设备供应向综合测试设备平台持续延伸。

华峰测控：模拟测试基本盘稳固，STS8600 推动产品能力向高端 SoC 延伸。公司长期深耕模拟、混合信号及功率芯片测试领域，形成 STS8200、STS8300、STS8600 及功率模块测试产品体系。华峰测控业绩自 2024 年起进入修复增长阶段，利润端增速持续快于收入端，核心测试系统业务维持较强盈利能力。2025 年公司实现营业收入 13.46 亿元，同比增长 48.72%，归母净利润 5.36 亿元，同比增长 60.55%；2026Q1 实现营业收入 2.72 亿元，同比增长 37.52%，归母净利润 0.94 亿元，同比增长 52.12%，其中一季度利润增长部分受到公允价值变动及信用减值损失变化影响。伴随收入规模恢复，公司盈利能力仍维持较高水平，2025 年销售毛利率和销售净利率分别为 73.79%和 39.82%，测试系统业务毛利率长期保持在 72%—74%区间，模拟、功率及混合信号测试业务构成公司稳健的盈利基本盘。

图表50：公司 2026Q1 维持高增长势头

图表51：公司归母净利润增速超营收增速



来源：ifind、国金证券研究所

来源：ifind、国金证券研究所

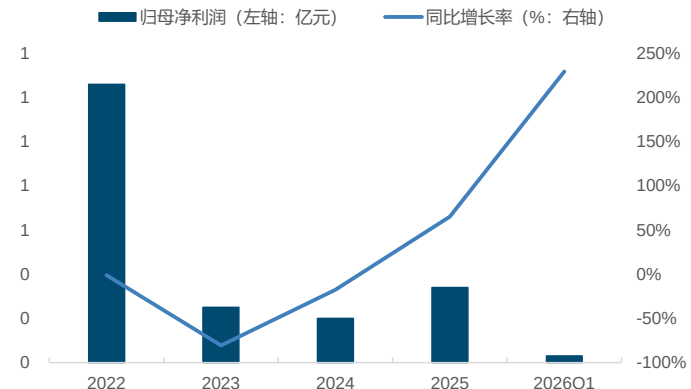
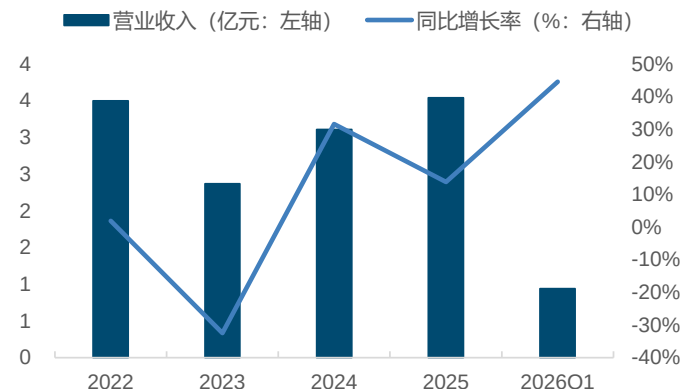
围绕高端 SoC 测试，公司持续加大研发投入，并进一步向核心 ASIC 等底层关键环节延伸，为下一代数字测试平台升级提供技术支撑。根据公司 2025 年报披露，“大规模 SoC 测试系统”项目预计总投资 5.69 亿元，2025 年投入 2.03 亿元，累计投入 3.17 亿元，目前已进入客户验证阶段；同期“高速通讯系统和软件”项目已实现量产，可为模拟、功率、混合及 SoC 类集成电路测试提供技术支持。此外，公司拟投入 7.49 亿元募集资金用于“基于自研 ASIC 芯片测试系统的研发创新项目”，通过核心 ASIC 的自主研发提升测试系统精度、速度及平台扩展能力，并逐步形成核心 ASIC 定义及架构设计能力。我们认为，公司本轮 SoC 布局的核心在于将既有模拟、混合信号及功率测试能力向高速数字测试纵向延伸，STS8600 承担当前大规模 SoC 产品导入，自研 ASIC 则面向下一代测试平台进行底层能力储备；若客户验证及后续产品导入顺利，公司有望逐步形成模拟、功率与高端数字 SoC 并行的 ATE 产品体系，进一步打开传统优势市场之外的成长空间。

联动科技：功率半导体测试基本盘稳固，SoC 与存储测试打开成长空间。公司聚焦半导体后道测试设备，功率半导体测试构成现有业务基本盘，并持续向高端 SoC 及存储测试领域拓展，经营表现已由前期调整逐步转入修复阶段。2025 年公司实现营业收入 3.54 亿元，同比增长 31.60%，归母净利润 0.34 亿元，同比增长 65.25%，利润增速明显快于收入；进入 2026 年，收入端修复进一步提速，2026Q1 实现营业收入 0.94 亿元，同比增长 44.56%，归母净利润 0.03 亿元，同比增长 229.55%，实现同比扭亏。回顾本轮修复过程，2024 年公司营业收入已同比增长 31.60%，但归母净利润仍同比下降 17.41%，收入恢复尚未同步传导至利润端；2025 年以来，随着收入规模继续扩张，归母净利润增速开始明显超过收入增速，2026Q1 利润端进一步转正，表明公司业绩修复已由收入端逐步向盈利端传导，经营弹性有所增强。与此同时，公司正推进 SoC 测试新品导入及存储测试能力补强，若后续新产品验证及市场拓展顺利，有望在功率测试基本盘之外进一步拓宽收入来源。



图表52：公司营收恢复增长，2026Q1 增速进一步提升

图表53：公司归母净利润持续改善，2026Q1 实现扭亏为盈



来源：ifind、国金证券研究所

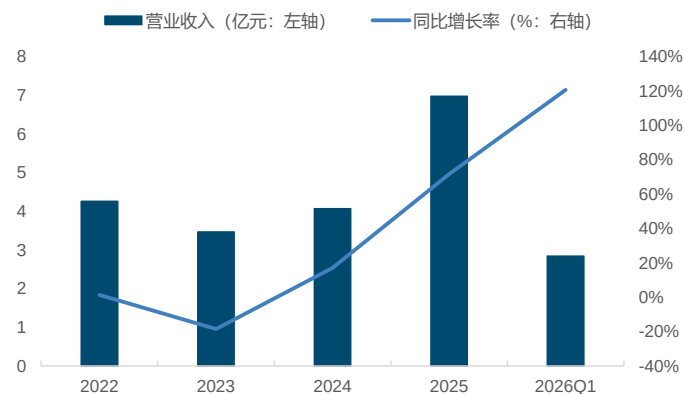
来源：ifind、国金证券研究所

公司拟通过收购 Northstar 引入具备存储测试经验的技术团队及产品平台，补齐现有存储测试设备能力。2026 年 7 月，公司公告拟以 1,000 万美元收购 Northstar Technologies Limited 100% 股权。Northstar 核心团队源自国际领先半导体测试设备厂商，其研发负责人曾长期担任泰瑞达亚太区域产品应用经理，熟悉 J750 数字测试及 Magnum 存储测试平台，并具备存储测试设备 ALPG 算法等技术积累；自研 Javelin J800 为模块化、可扩展 ATE 平台，可支持 1,536 个并行测试通道，应用范围覆盖 EEPROM、NOR Flash、NAND 等存储芯片以及 MCU、PMIC 和 ASIC 等逻辑芯片量产测试。我们认为，本次外延布局的意义不只在增加存储测试机品类，更在于补充公司此前相对欠缺的存储测试技术及行业应用经验。若交易及后续整合顺利，Northstar 研发和技术支持计划逐步落地国内，并依托联动科技佛山制造中心以及上海营销、研发体系推进产品国产化，公司测试能力有望由现有功率半导体、模拟及数模混合和高端 SoC 进一步延伸至存储测试领域，从而拓宽可覆盖的测试市场及客户需求范围。

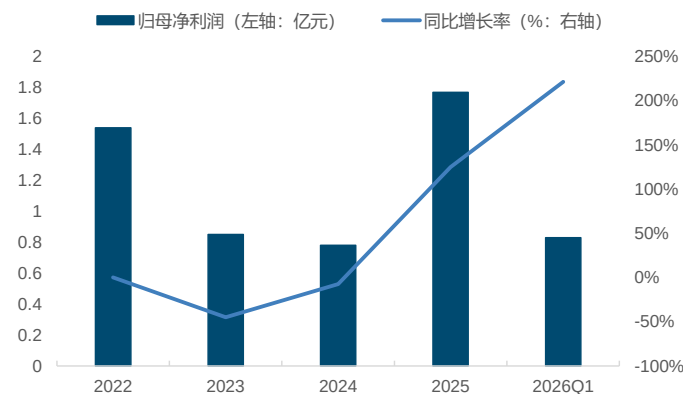
金海通：测试分选机基本盘稳固，高端产品与下游客户放量驱动成长提速。公司深耕集成电路测试分选机领域，2025 年以来核心产品放量带动收入加速增长，产品结构改善叠加规模扩张推动利润端释放更强弹性。2025 年公司实现营业收入 6.98 亿元，同比增长 71.68%，归母净利润 1.77 亿元，同比增长 124.93%，利润增速显著快于收入。其中，测试分选机实现收入 6.33 亿元，同比增长 79.51%，占主营业务收入的 90.92%，仍是公司业绩增长的核心来源；同时，定位三温测试及大平台超多工位测试场景的 EXCEED-9000 系列收入占营业收入比重由 2024 年的 25.80% 提升至 38.98%，高端机型贡献进一步提升。2025 年公司主营业务毛利率由 2024 年的 47.16% 提升至 52.10%，收入规模扩张与盈利能力改善共同推动利润增长。进入 2026 年，公司增长进一步提速，2026Q1 实现营业收入 2.84 亿元，同比增长 120.77%，归母净利润 0.83 亿元，同比增长 221.54%；公司披露，主要受半导体封装测试设备需求增长及测试分选机销量提升带动。我们认为，公司业绩已由行业需求修复进一步转向核心产品放量驱动，随着高端测试分选机收入占比提升，经营杠杆及产品结构优化带来的利润弹性有望进一步体现。



图表54：公司营收增长提速，2026Q1 延续高增长



图表55：公司归母净利润弹性释放，增速持续快于收入



来源：ifind、国金证券研究所

来源：ifind、国金证券研究所

公司下游客户拓展与存量客户需求释放共同推动设备出货增长。2025 年，公司持续拓展新增客户群体并深化既有客户合作，同时围绕细分领域头部客户的前瞻性测试需求开展定制化产品开发；全年测试分选机销量达到 539 套，同比增长 61.86%，客户需求已逐步转化为设备出货。产品端，公司针对汽车电子等三温测试需求推出 32 工位并行测试分选机，并升级 EXCEED-9032 大平台超多工位产品，进一步适配大规模、复杂芯片测试需求。我们认为，公司 2025 年以来的增长已不再仅体现行业需求修复，而是逐步体现为客户拓展、产品升级与设备放量的共同驱动；随着头部客户定制化需求持续释放，高工位、三温等高端测试分选机有望进一步提升公司在单一客户中的设备供给规模。

五、风险提示

下游需求及资本开支不及预期的风险

半导体测试设备需求与晶圆厂、封测厂及 IDM 厂商的产能扩张和资本开支高度相关。本报告对行业增长的判断主要建立在 AI 服务器、高性能计算、HBM、先进封装及功率半导体等下游需求持续增长的基础上。若全球宏观经济波动、AI 基础设施投资增速放缓，或消费电子、汽车电子等终端需求恢复弱于预期，可能导致下游客户降低产能利用率、推迟扩产项目及设备采购计划。此外，若国内先进封装、存储芯片及高端逻辑芯片相关项目建设、融资或投产进度慢于预期，也可能影响测试设备订单释放、验收及收入确认节奏。

高端测试设备研发及客户验证不及预期的风险

高端 SoC、存储及混合信号测试设备涉及高速数字信号处理、高精度时序控制、大规模通道并发、高功率供电及复杂测试软件等多项技术，研发难度较高。同时，测试设备直接关系到芯片良率和出货品质，下游客户对设备稳定性、一致性及长期运行可靠性要求严格，新产品通常需要经历较长的客户验证和量产导入周期。若国内厂商在核心测控技术、底层软硬件架构或关键模块研发中遭遇瓶颈，或数字测试机、SoC 测试机、DRAM 及 HBM 测试设备等新产品验证进度慢于预期，可能导致新产品放量和高端市场突破不及预期。

市场竞争加剧及平台化布局不及预期的风险

全球高端测试机市场长期由爱德万、泰瑞达等海外厂商主导，海外龙头在产品性能、软件生态、客户资源及全球服务能力等方面具有较强优势；与此同时，国内测试设备厂商持续增加研发投入，产品线逐步由模拟、功率及分立器件测试向数字 SoC、存储、老化及系统级测试等领域延伸，厂商间产品重叠度可能不断提高。若行业竞争加剧，设备厂商可能通过降价、增加销售投入或延长信用周期争取客户，从而对产品毛利率和盈利能力造成压力。此外，平台化扩张需要持续投入研发、销售及服务资源，若新产品未能形成规模化收入，可能增加费用负担并拖累整体盈利表现。

核心零部件供应及海外出口管制加剧的风险

高端半导体测试设备由高速数字、精密测量、时序控制、电源及接口等多类模块组成，部分高性能芯片、精密电子元器件和高速接口器件仍可能依赖海外供应链。若海外出口管制范围进一步扩大，或核心零部件出现供应中断、交付周期延长及采购价格上涨，可能影响国内厂商的新产品研发、设备生产和订单交付。同时，海外限制措施若影响下游晶圆厂和封测厂的先进制程、先进封装及高端芯片扩产，也可能间接削弱测试设备需求。



客户集中度较高及订单波动的风险

半导体测试设备具有较高的客户认证壁垒，设备厂商通常需要围绕少数头部芯片设计、制造及封测客户进行长期技术开发和产线适配，部分公司可能存在客户及订单集中度较高的情况。若主要客户资本开支下降、产品迭代节奏变化、供应商体系调整，或新产品未能通过头部客户验证，可能导致相关公司订单、收入及利润出现较大波动。同时，测试设备通常具有单机价值较高、验收周期较长的特点，单一项目交付或验收时点变化也可能造成季度业绩波动。



行业投资评级的说明：

买入：预期未来 3—6 个月内该行业上涨幅度超过大盘在 15%以上；

增持：预期未来 3—6 个月内该行业上涨幅度超过大盘在 5%—15%；

中性：预期未来 3—6 个月内该行业变动幅度相对大盘在 -5%—5%；

减持：预期未来 3—6 个月内该行业下跌幅度超过大盘在 5%以上。



特别声明：

国金证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本报告版权归“国金证券股份有限公司”（以下简称“国金证券”）所有，未经事先书面授权，任何机构和个人均不得以任何方式对本报告的任何部分制作任何形式的复制、转发、转载、引用、修改、仿制、刊发，或以任何侵犯本公司版权的其他方式使用。经过书面授权的引用、刊发，需注明出处为“国金证券股份有限公司”，且不得对本报告进行任何有悖原意的删节和修改。

本报告的产生基于国金证券及其研究人员认为可信的公开资料或实地调研资料，但国金证券及其研究人员对这些信息的准确性和完整性不作任何保证。本报告反映撰写研究人员的不同设想、见解及分析方法，故本报告所载观点可能与其他类似研究报告的观点及市场实际情况不一致，国金证券不对使用本报告所包含的材料产生的任何直接或间接损失或与此有关的其他任何损失承担任何责任。且本报告中的资料、意见、预测均反映报告初次公开发布时的判断，在不作事先通知的情况下，可能会随时调整，亦可因使用不同假设和标准、采用不同观点和分析方法而与国金证券其它业务部门、单位或附属机构在制作类似的其他材料时所给出的意见不同或者相反。

本报告仅为参考之用，在任何地区均不应被视为买卖任何证券、金融工具的要约或要约邀请。本报告提及的任何证券或金融工具均可能含有重大的风险，可能不易变卖以及不适合所有投资者。本报告所提及的证券或金融工具的价格、价值及收益可能会受汇率影响而波动。过往的业绩并不能代表未来的表现。

客户应当考虑到国金证券存在可能影响本报告客观性的利益冲突，而不应视本报告为作出投资决策的唯一因素。证券研究报告是用于服务具备专业知识的投资者和投资顾问的专业产品，使用时必须经专业人士进行解读。国金证券建议获取报告人员应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。报告本身、报告中的信息或所表达意见也不构成投资、法律、会计或税务的最终操作建议，国金证券不就报告中的内容对最终操作建议做出任何担保，在任何时候均不构成对任何人的个人推荐。

在法律允许的情况下，国金证券的关联机构可能会持有报告中涉及的公司所发行的证券并进行交易，并可能为这些公司正在提供或争取提供多种金融服务。

本报告并非意图发送、发布给在当地法律或监管规则下不允许向其发送、发布该研究报告的人员。国金证券并不因收件人收到本报告而视其为国金证券的客户。本报告对于收件人而言属高度机密，只有符合条件的收件人才能使用。根据《证券期货投资者适当性管理办法》，本报告仅供国金证券股份有限公司客户中风险评级高于 C3 级（含 C3 级）的投资者使用；本报告所包含的观点及建议并未考虑个别客户的特殊状况、目标或需要，不应被视为对特定客户关于特定证券或金融工具的建议或策略。对于本报告中提及的任何证券或金融工具，本报告的收件人须保持自身的独立判断。使用国金证券研究报告进行投资，遭受任何损失，国金证券不承担相关法律责任。

若国金证券以外的任何机构或个人发送本报告，则由该机构或个人为此发送行为承担全部责任。本报告不构成国金证券向发送本报告机构或个人的收件人提供投资建议，国金证券不为此承担任何责任。

此报告仅限于中国境内使用。国金证券版权所有，保留一切权利。

上海	北京	深圳
电话：021-80234211	电话：010-85950438	电话：0755-86695353
邮箱：researchsh@gjzq.com.cn	邮箱：researchbj@gjzq.com.cn	邮箱：researchsz@gjzq.com.cn
邮编：201204	邮编：100005	邮编：518000
地址：上海浦东新区芳甸路 1088 号 紫竹国际大厦 5 楼	地址：北京市东城区建国内大街 26 号 新闻大厦 8 层南侧	地址：深圳市福田区金田路 2028 号皇岗商务中心 18 楼 1806



【小程序】
国金证券研究服务



【公众号】
国金证券研究