

社区研究报告

兆瓦级算力系统 AI 整机柜 DC 800V 供电架构

研究报告

编委会作者：

程冰，北京百度网讯科技有限公司
何佳泷，北京抖音科技有限公司
李武，锐捷网络信息股份有限公司
李建邦，莫仕（中国）投资有限公司深圳分公司
李彦、张晋颖、刘祖贵，中国长城科技集团股份有限公司
韩龙飞、王智勇、张俊文，深圳麦格米特电气股份有限公司
咎磊、李恩重，华为技术有限公司
朱鹏程、周新，中达电通股份有限公司
黄秀成、祝锦，讯湃科技（上海）有限公司
韩坤、杨辉，苏州汇川联合动力系统股份有限公司
吴士涛、梁红钊，北京周源科技有限公司
王龙华、王安林、姚洪齐，维谛技术有限公司
宋清亮、姚志成、杨璐宁，英飞凌科技（上海）有限公司
刘少纯、魏海彬、肖飒，芯源系统股份有限公司
刘诣林、吴国继，富加宜连接器（上海）有限公司
魏晓刚、余训龙、时念，杭州芯宇半导体有限公司
张翼，中研益企（北京）信息技术研究院有限公司

参编单位：

伏友文、王坤、胡豆豆、张之瀚、王健涛，杭州士兰微电子股份有限公司
刘小虎，深圳瀚宏电气有限公司
王海成、马莉莎，施耐德电气有限公司

目 次

一、摘要	5
1.1 研究背景与意义	5
1.2 研究范围与核心目标	6
1.3 报告核心结论	7
二、800V AI 机柜供电链路技术基础	7
2.1 核心概念与链路定义	7
2.2 技术路线选择	8
2.2.1 三种供电架构对比分析	8
2.2.2 多维度对比分析	9
2.2.3 为何选择 800V 供电架构?	10
2.2.4 结论	11
2.3 关键技术指标与设计原则	11
2.3.1 关键技术指标	11
2.3.2 设计原则	12
三、800V AI 机柜供电链路技术现状分析	12
3.1 各级供电架构技术现状	12
3.1.1 数据中心配电架构	12
3.1.2 机柜级供电架构	15
3.1.3 服务器板载与芯片供电架构	17

3.2 连接器与铜排技术	21
3.2.1 连接器技术现状	23
3.2.1.2 连接器核心设计要素	25
3.2.1.3 PE Pin、HVIL 与预充逻辑	26
3.2.2 铜排技术现状与高压安全转折	27
3.2.3 铜排技术定位	28
3.2.4 技术现状总结	29
四、国内外生态格局	30
4.1 国外生态布局	30
4.1.1 国外各主要生态布局总览	30
4.1.2 NVIDIA 的 800V 演进路线	31
4.2 国内生态布局	32
4.2.1 主导企业与技术路线	32
4.3 国内外生态对比与差距	33
五、800V AI 机柜供电链路迭代路线	35
5.1 技术路线分析	35
5.2 短期迭代：800V→54V，54V 进入服务器	36
5.2.1 核心目标	36
5.2.2 技术路线	39
5.2.2.1 两大标准化硬件平台	39
5.2.2.2 现有成熟拓扑路线（1200V SiC、100~200kHz 标准化） ..	40
5.2.2.3 当前半导体器件标准化方案	40

5.2.3 未来技术发展趋势（2027 - 2030 迭代方向）	41
5.2.3.1 现有平台短期优化趋势（2026 - 2027 存量升级）	41
5.2.3.2 拓扑与器件中长期迭代趋势（2028 年后主力升级）	41
5.3 中期迭代：800V 直接进入服务器	41
5.3.1 核心目标	41
5.3.2 技术路线	43
5.3.2.1 柜级和板级	43
5.3.2.2 连接器	45
5.3.2.3 铜排	47
5.3.3 关键任务	48
六、800V AI 机柜供电链路核心技术挑战	53
6.1 供电架构技术挑战	53
6.1.1 机柜级供电	53
6.1.2 板级供电	55
6.1.3 EDPp	59
6.1.4 安全、保护与合规	64
6.2 连接器与铜排技术与挑战	64
6.2.1 高压绝缘与安规挑战	65
6.2.2 直流拉弧与插拔安全挑战	65
6.2.3 温升与接触电阻漂移挑战	66
6.2.4 线缆布线与机械整合挑战	66
6.2.5 铜排短路力与液冷环境挑战	66

6.3 生态与工程挑战	66
6.3.1 标准不统一	67
6.3.2 供应链协同	67
6.3.3 工程验证不足	68
6.3.4 生态推进机制	68
七、技术挑战应对策略与建议	69
7.1 供电架构	69
7.1.1 机柜级供电	69
7.1.2 板级供电	71
7.1.3 EDPP 800V 直流架构下的 EDPP 治理方案的研究和规范建立的建 议	74
7.1.4 安全、保护与合规	75
7.2 连接器	77
7.2.1 短期具体作法：800V 线缆连接器标准化	78
7.2.2 中期具体作法：Direct to Node 高压盲插接口	78
7.2.3 连接器验证矩阵	79
7.3 铜排	80
7.3.1 54V Busbar 具体作法	80
7.3.2 800V Busbar 具体作法	80
7.3.3 母排连接接口标准化	81
7.3.4 短路电动力与保护协同	81
7.3.5 液冷 Busbar 预研方向	81
7.3.6 铜排开发流程建议	81

7.4 生态与工程	82
7.4.1 标准协同策略	82
7.4.2 工程落地策略	82
八、总结与展望	82

一、摘要

1.1 研究背景与意义

随着生成式 AI 与大模型技术的飞速发展，全球算力需求呈现前所未有的指数级增长态势。从 GPT、Gemini 到各类行业大模型的不断迭代，对算力硬件的性能和密度提出了极致追求。这直接驱动了 AI 服务器单机柜功率的急剧攀升，在短短数年内，已从传统的数十千瓦级别跃升至 100kW 以上，并正朝着 200kW、500kW 乃至兆瓦（MW）级的更高目标快速演进，如图 1 所示。

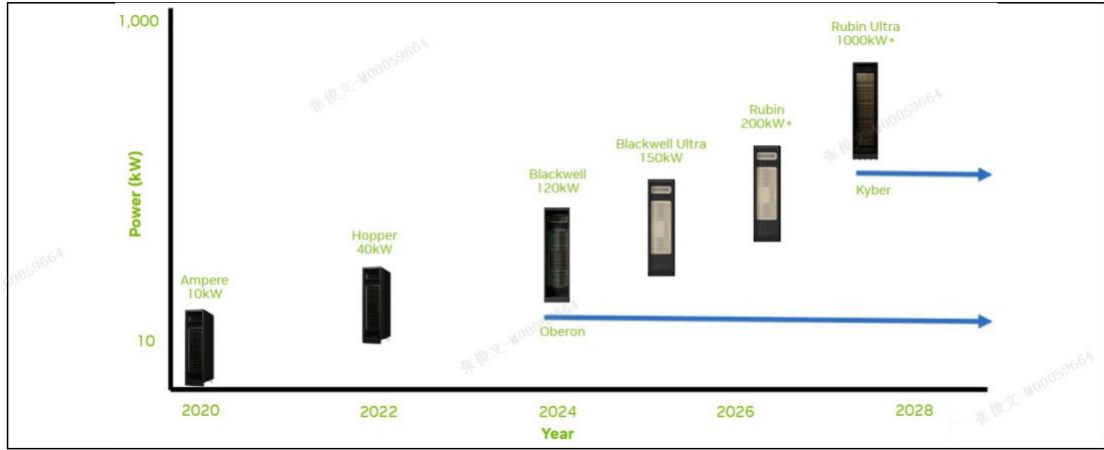


图 1 Nvidia AI 整机柜功耗趋势图

然而，支撑这一变革的底层供电架构却面临着严峻挑战。延续数十年的传统交流入柜+54V 直流供电架构，在面对超高功率密度时已触及物理极限，其固有的设计约束（如图 2）成为制约 AI 算力进一步发展的核心瓶颈：

一是配电容量与空间存在限制，传统低压供电方案在高功率下需要巨大的电流，导致入柜线缆数量庞大、规格粗重，不仅占用了宝贵的机柜空间，也给安装维护带来极大困难，其配电容量上限普遍在 200-300kW 之间，难以满足未来更高功率的需求。

二是体积要求苛刻，传统架构中，电源转换单元（PSU）体积庞大，挤占了大量本可用于部署计算节点的空间。

三是母线损耗与载流能力持续挑战增加，低压大电流导致机柜内部的直流母排（Busbar）损耗随电流平方关系急剧增加，不仅造成严重的能源浪费，还

带来了棘手的温升问题。母排的物理载流能力也成为限制单机柜功率的关键因素。

四是散热能力逼近上限，传统架构，电源转换效率已接近物理极限，电源转换和线路传输产生的巨大热量，使得风冷散热能力迅速达到极限，难以满足更高功率密度机柜的散热需求。

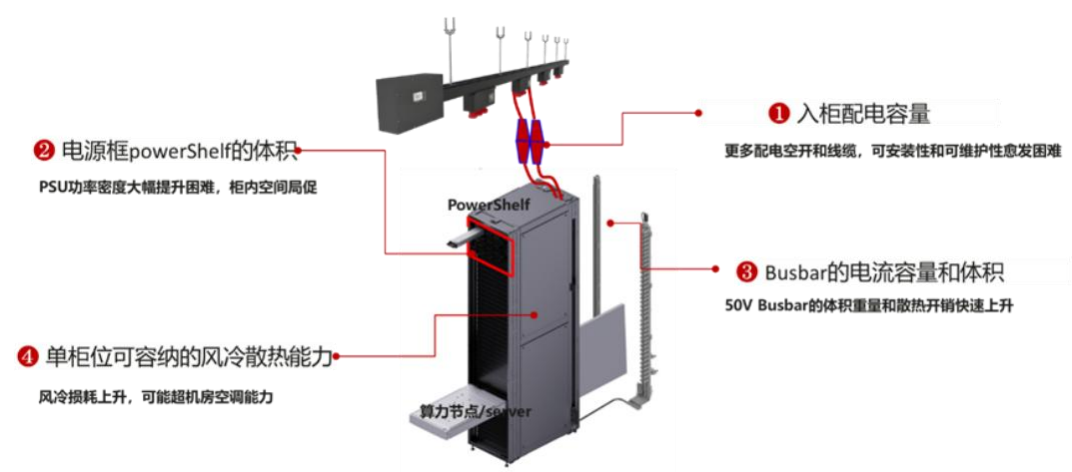


图 2 传统供电架构的设计约束

面对上述挑战，传统供电架构已无法适配新一代 AI 算力的发展需求，成为制约算力扩容、节能降本的核心障碍。在此背景下，将供电电压提升至 $\pm 400\text{V}$ 或者 800V 高压直流已成为全球行业巨头（如 NVIDIA、Google、Meta）及主流标准组织（如 OCP）的广泛共识。向 $\pm 400\text{V}$ 或者 800V 供电架构转型，已不再是简单的技术升级，而是一场由 AI 算力驱动的、从被动适配到主动重构的根本性变革，是支撑下一代高功率、高密度 AI 数据中心建设的必然选择。

1.2 研究范围与核心目标

本报告的核心研究目标是为应对 AI 算力指数级增长带来的供电挑战，系统研究 800V 高压直流进入 AI 整机柜至芯片级的全链路供电架构、技术现状、产业生态、迭代路径、核心挑战和应对策略，为 AI 机柜供电系统设计与产业链协同发展提供技术参考和决策依据。具体目标可细化为以下四个维度：

一是梳理技术体系与路径规划，系统梳理从机柜输入至芯片级的 800V 全链路供电技术体系，明确各层级架构、核心器件（含 Powershelf、板载电源、连

接器、铜排)的技术参数与设计原则。同时,规划从短期过渡方案到中期 Direct to Node 的清晰技术迭代路径。

二是盘点产业生态与技术现状,总览国内外 800V 供电技术的产业生态布局,对比中外企业的技术路线与产品布局,识别产业差距。旨在协调产业链上下游,为技术选型、产品布局和协同发展提供决策依据。

三是识别关键挑战与解决方案,识别当前 800V 技术落地面临的关键挑战,包括但不限于行业标准统一、高压安全规范、核心器件成熟度、散热设计等。针对这些挑战,提出具体、可落地的解决方案、设计约束和参数边界。

1.3 报告核心结论

800V HVDC 技术通过架构创新实现全链路显着能效提升:传输效率提升 5%~6%,铜耗降低 $\geq 45\%$ 。短期内以 Sidecar 前级整流+机柜集中式 800V $\rightarrow$ 54V PowerShelf 方案为商业化落地主流,中长期向 SST(固态变压器)+800V 直入服务器+VPD 芯片供电架构演进。连接器与铜排技术需要突破高压绝缘、大载流散热等核心难题。国内外产业生态呈现“头部企业主导、多元技术并行”的发展格局。

二、800V AI 机柜供电链路技术基础

2.1 核心概念与链路定义

全链路范围:从数据中心边缘整流/配电单元输出 800V 直流电,经机柜入口连接器、铜排母线、机柜级 DC/DC 转换,到服务器板载电源、芯片级供电的完整电力传输路径。

800V HVDC:指 800 伏高压直流供电系统,区别于传统 54V 低压架构,是支撑兆瓦级 AI 机柜的核心电压等级技术。

800V Power Shelf:服务器高压直流电源系统,取消多级低压变换,直接将 800V DC 降压至后端母线。

Busbar:铜排母线。

54V：本文中代表 54V，兼容 48V/50V 系统

Hotswap：热插拔，允许设备在运行过程中热运维，且不影响同网下其他设备的正常运行。

HVIBC：高压中间母线转换器，HVIBC 是一种设置在高压直流母线与下游负载之间的高转换比 DC-DC 转换器，负责将高压直流大幅降压至 54V 或 12V 或 6V 等较低的中间母线电压，同时提供强化电气隔离，将高压系统与低压系统安全分离。

PDB：高压直流配电板，IT 机柜中板机配电单元，部署在服务器托盘 / 机箱内，直接将机柜输入的 800V DC 直降至 GPU/CPU 所需的 6V/12V 或者 54V IBC 电压。

LPD：Lateral Power Delivery，横向供电。电源模块部署在芯片周边的 PCB 上层，电流沿水平方向通过走线输送至芯片引脚，供电路径长、损耗较大。

VPD：Vertical Power Delivery，垂直供电。将电源模块移至 GPU 芯片的背面，让电流垂直向上直接供电，极大地缩短了供电距离，从而降低了阻抗和损耗。

2.2 技术路线选择

随着人工智能（AI）大模型和高性能计算（HPC）的飞速发展，数据中心单机柜功率需求正以前所未有的速度从数十千瓦飙升至数百千瓦，乃至兆瓦级别。传统的交流（AC）供电架构在面对如此巨大的功耗时，已显现出效率低下、损耗巨大、功率密度受限等物理瓶颈。为突破这些限制，业界正积极转向高压直流（HVDC）供电架构，其中 **800V** 和 **+/-400V** 是两种主流的技术路线。

2.2.1 三种供电架构对比分析

1. 传统交流供电架构（AC Power）

这是目前最广泛应用的供电架构。其典型路径为：市电高压 AC -> 降压变压器 -> UPS（AC-DC-AC）/ HVDC（AC-240VDC）-> 配电柜（PDU）-> 服务器电源（PSU，AC-DC）-> 主板 VRM（DC-DC）-> 芯片

特点：系统成熟，产业链配套完善。但包含了多次不必要的 AC/DC 和 DC/AC 转换，特别是 UPS 环节，导致效率损失和成本增加。

2. +/-400V 高压直流供电架构 (HVDC)

这是一种双极性高压直流架构。其路径为：市电高压 AC -> HVDC 整流器 (+/-400V) -> 直流配电柜 -> 服务器电源 (PSU, DC-DC) /HVIBC (DC-DC)-> 主板 VRM (DC-DC) -> 芯片

特点：取消了 UPS 的转换，提升了效率。但需要正负两根母线（+400V 和 - 400V），布线相对复杂，线电压为 800V。

3. 800V 高压直流供电架构 (HVDC)

这是一种单极性高压直流架构，是当前业界的主流趋势。其路径为：市电高压 AC -> HVDC 整流器 (800V) -> 直流配电柜 -> 服务器电源 (PSU, DC-DC)/HVIBC (DC-DC) -> 主板 VRM (DC-DC) -> 芯片

特点：同样取消了 UPS 的冗余转换，效率更高。采用单极性设计，布线相比 +/-400V 更简单。NVIDIA 等行业巨头正大力推动此标准。

2.2.2 多维度对比分析

特性	传统 AC 供电架构	+/-400V HVDC 架构	800V HVDC 架构
端到端效率	约 84.5% - 90%	92% - 96%	92% - 96%
核心优势	技术成熟，生态完善	效率高，可靠性高	效率高，可靠性高，布线更简单
功率密度	受限（通常 < 70kW / 柜）	高（支持 MW 级机柜）	极高（支持 MW 级机柜，潜力更大）
传输损耗 (I²R)	极高，随功率平方增长	低	低

铜材用量	巨大	大幅减少（约45%-75%）	大幅减少（约45%-75%）
系统复杂度	高（UPS 环节复杂）	中（双母线）	低（单母线）
初始投资（CAPEX）	高（UPS 和大量铜材）	中	中 / 低
运营成本（OPEX）	高（效率低，电费高）	低	低
可靠性	中等（故障点多）	高	高
产业生态成熟度	非常成熟	正在发展	快速发展（NVIDIA 等巨头引领）

2.2.3 为何选择 800V 供电架构？

一是具有物理必然性，当单机柜功率迈向兆瓦级时，传统 54V 低压方案的电流将达到数万安培，这在物理上是不可实现的。而 800V 架构通过将电压提升一个数量级，将电流降至原来的 1/15 以下，从根本上解决了低压大电流带来的损耗、温升和布线难题。这使得兆瓦级机柜成为可能。

二是存在技术优势，与传统 AC 架构相比，800V HVDC 在效率、功率密度、成本和可靠性方面均具有压倒性的代际优势。

与 +/-400V HVDC 相比，800V 架构虽然在效率上相近，但具有以下关键优势：

布线更简单，采用单极性设计，只需一根高压母线和一根地线，相比 +/-400V 的正负双母线，布线更简洁，故障点更少。

组件通用性，单极性设计使得电源模块、连接器等组件可以更通用，有利于供应链的规模化和成本降低。

三是产业趋势显著，NVIDIA 在其 Rubin 平台中明确支持 800V HVDC 架构，并联合了几乎所有产业链核心玩家共同构建生态。开放计算项目（OCP）也在积

极制定 800V DC 的机柜级供电标准。这表明 800V 已成为行业共识，其生态系统正在快速形成和成熟，为大规模部署提供了保障。面对 AI 算力爆炸式增长带来的挑战，传统交流供电架构已无法满足未来发展的需求。高压直流（HVDC）供电是必然的演进方向。

2.2.4 结论

在 HVDC 的两种主流技术路线中，800V 单极性高压直流架构凭借其在布线复杂度、组件通用性和产业生态方面的综合优势，成为当前及未来数据中心供电架构的最优选择。

采用 800V 供电架构，不仅是解决当前物理瓶颈的技术手段，更是支撑 AI 产业长远发展、实现数据中心降本增效和绿色低碳目标的关键战略举措。

2.3 关键技术指标与设计原则

2.3.1 关键技术指标

指标分为四层，建议为：电气指标、动态指标、安全保护指标、工程运维指标。

指标类别	建议关注项
电气指标	额定电压、工作范围、最大持续电压、瞬态过压、纹波、额定功率、峰值功率、效率、功率密度、EMI/谐波
动态指标	负载阶跃、EDPp 频率/能量、母线电压跌落、恢复时间、输入功率波动、储能响应时间
安全保护	短路、接地故障、绝缘监测、直流拉弧、热插拔、预充、放电、HVIL、熔断器
工程运维	带电插拔/禁带电插拔边界、MTTR、可视化告警、LOTO、热像/温升、液冷泄漏联动、备件互换性

2.3.2 设计原则

1. 安全优先原则

严格遵循 IEC、OCP、UL 和国标相关标准，区分双极 / 单极系统的绝缘、接地、防触电设计；高压直流区域做物理隔离与警示，强化电弧、接地故障防护。

2. 高效低损原则

最大限度简化电能变换级数，缩短直流传输路径；优化线缆线径与路由，降低导通损耗，保障全工况高运行效率。

3. 高可靠冗余原则

核心变换冗余设计；分级配置保护器件，实现故障逐级隔离，避免单点故障扩散至整个机柜。

4. 标准化与兼容原则

接口、尺寸、电气协议遵循 OCP 和国标等开放标准。

5. 高动态负载适配原则

针对 AI 负载瞬时冲击大、功率波动剧烈的特点，搭配 CBU 电容缓冲 + BBU 电池协同稳压，抑制电压骤升骤降。

6. 易运维可扩展原则

设备模块化设计，支持在线维护。

三、800V AI 机柜供电链路技术现状分析

3.1 各级供电架构技术现状

3.1.1 数据中心配电架构

1. 国内数据中心配电架构

国内数据中心供配电架构以 “提效降本、适配算力密度升级” 为核心主

线，从传统分立交流配电体系，向高压直流、高度集成化方向分四代渐进演进。通过持续削减电能转换层级、提升直流电压等级、推动设备一体化集成，机架前链路供电效率从初代 92.5% 提升至终态 97.5%，全链路累计损耗降低 5 个百分点，同步实现机房占地缩减、建设周期缩短，匹配从通用 IT 负载到 AI 高密算力集群的升级需求，目前由头部互联网厂商与电源企业主导技术落地与标准推广。

四个演进阶段

第一代：低压交流母线架构（传统存量主流）

采用 10kV 市电进线，依次经过中压配电单元、工频降压变压器、低压配电柜、带蓄电池的交流 UPS 系统，最终以 380/220V 交流电接入服务器机架，由机架内 PSU 完成最终直流转换。该架构产业链成熟、运维体系完善，但交直流转换层级多、链路损耗偏高，机架前链路效率约 92.5%，是国内早期传统数据中心的标准形态，适配低密度通用 IT 负载。

第二代：240V 直流母线 + 电池直挂架构（高压直流过渡阶段）

保留前端 10kV 中压配电、降压变压器、低压配电的交流主干链路，将后端交流 UPS 替换为 AC/DC 整流装置，输出 240V 高压直流电输送至机架，蓄电池直接挂接直流母线承担备电功能。该方案省去 UPS 逆变转换环节，单级损耗降低 2.5 个百分点，机架前链路效率提升至 95%，是国内数据中心降本提效的主流过渡方案，适配中密度 IT 负载。

第三代：集成变配电系统（巴拿马供电）架构（当前新建主流）

打破分立设备部署模式，采用一体化集成供电系统（巴拿马电源模式），10kV 市电直接接入集成系统，通过移相整流变压器一步完成变压与整流，输出 240V 直流电至机架，电池直挂直流母线。该架构将多级设备深度整合，大幅减少线缆损耗与机房占地（占地可缩减约 50%），机架前链路效率再提升 2 个百分点至 97%，是当前国内新建大中型数据中心的主流选型。

第四代：高压集成配电架构（AI 高密算力终态方向）

在第三代集成化架构基础上，升级直流输出电压等级，支持 400V DC、

800V DC 及 $\pm 400V$ DC 等多制式输出，匹配高密 AI 服务器的供电需求。更高电压等级进一步降低线路传输损耗，叠加集成化设计优势，机架前链路效率可达 97.5%，是国内 AI 智算中心高密算力集群供电的核心演进方向。



2. 海外数据中心配电架构

海外超大规模数据中心为支撑 AI 算力密度从几十千瓦向兆瓦级跃升，供电架构正以“减少电能转换层级、降低链路损耗、原生兼容储能接入”为核心方向，从成熟的 415/480V 低压交流体系，向 800V 高压直流体系分四阶段渐进式迭代。演进路径兼顾存量机房改造与新建集群部署，端到端供电效率从传统架构的 82%~88% 逐步提升至终态架构的 92% 以上，当前由谷歌、Meta、英伟达等厂商通过 OCP 开放生态主导标准制定与规模化落地。

四个演进阶段

第一阶段：传统 415V 交流配电架构（当前存量主流）

采用 13.8~35kV 中压市电进线，经降压变压器降至 480V/415V 接入低压主配电柜，依次通过交流 UPS、末端配电单元、交流列头柜后，以交流电接入机柜电源模块。该架构产业链成熟、可靠性验证充分，但交直流转换层级多、链路损耗高，端到端效率约 82%~88%，仅适配传统低密 IT 负载，是当前海外存量数据中心的标准形态。

第二阶段：800V 直流白空间改造方案（存量过渡路径）

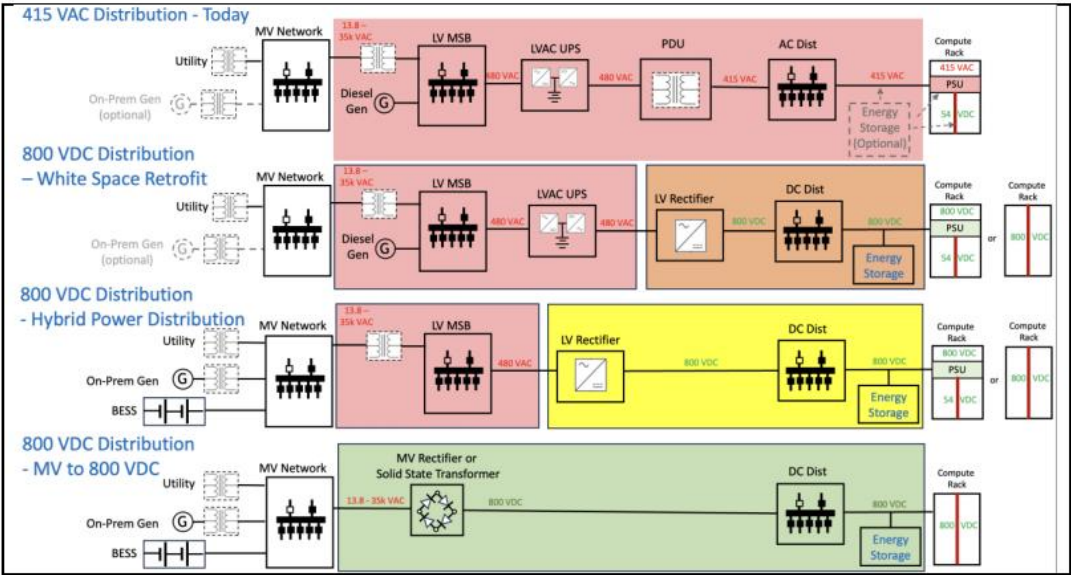
完整保留前端中压配电、低压配电柜、交流 UPS 的交流主干链路，仅在机房白空间列头侧新增低压整流器，将 480V/415V 交流电转换为 800V 直流电送入机柜，储能可直接接入直流母线。该方案对存量机房改动小、改造成本可控，供电效率提升至 86% 以上，是海外存量机房快速升级 AI 高密算力的主流过渡方案。

第三阶段：800V 直流混合配电方案（新建中端形态）

取消交流 UPS 环节，低压主配电柜输出的交流电直接接入集中式低压整流器，统一转换为 800V 直流电后，通过直流配电母线输送至全机房机柜，储能系统直接并入直流母线承担备电功能。该方案减少一级电能转换，架构更精简、损耗进一步降低，适配海外新建中型及以上 AI 数据中心。

第四阶段：中压直转 800V 直流架构（终态演进方向）

省去低压降压变压器、低压配电柜等多级环节，采用中压整流器或固态变压器，直接将 13.8~35kV 中压电一步转换为 800V 直流电，经直流配电系统直连算力机柜，储能同步接入直流母线。该架构转换层级最少，端到端供电效率可达 92% 以上，是海外超大规模 AI 算力工厂的核心技术终态方向。



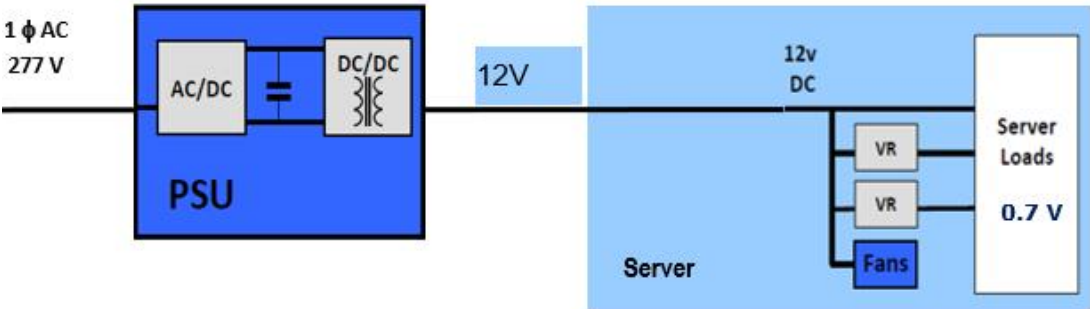
3.1.2 机柜级供电架构

当前 AI 机柜功率已从传统 IT 场景的十几 kW 跃升至百 kW 乃至 MW 级，

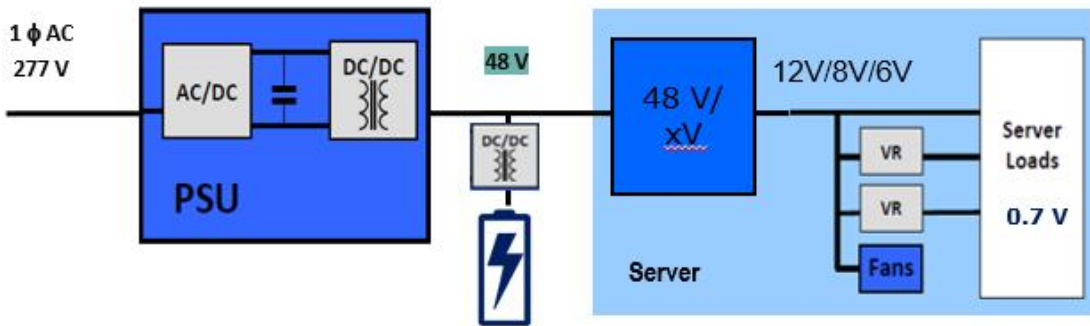
机柜级供电架构沿电压等级持续抬升、供电模式从分布式向集中化再向高压分布式演进两条主线迭代，整体处于 54V 母线规模化商用为主、800V 高压直流加速技术试点、400V 作为小众过渡方案的发展阶段。

1. 电压等级：四级迭代路径，54V 为当前商用主流

12V 母线：传统低密场景存量形态 适配十几 kW 级普通服务器机柜，采用单服务器自带 PSU 的模式完成 AC/DC 转换，是传统数据中心的成熟方案，目前仅在低功率存量场景沿用。



54V（兼容 48V 生态）：规模化落地主流 是百 kW 级以内 AI 机柜的标配方案，产业生态最完善。OCP ORv3 已发布 48V Power Shelf、BBU Module 等完整公开规格，可直接复用 54V 产业体系，支撑当前主流 AI 机柜的供电需求。



400V 母线：小众过渡方案 已在超算场景实现规模落地，但面对 MW 级机柜功率仍无法根本解决电流飙升问题，同时存在接插件标准不统一、产业生态弱于 54V 的短板，未成为行业共识的升级路线。

800V 高压直流：MW 级高密机柜核心演进方向 是多数厂商选择的主流升级路线，目前处于技术试点初期。800V 共享母排（Busbar）标准尚未成熟，现阶段多采用 Power Shelf 点对点直连 DCDC Shelf 的过渡方式，工程边界清晰但

存在单电源掉电联动后端负载的问题；绝缘设计、直流开断、接地故障保护、柜间连接等工程规范仍待统一。



2. 供电模式：从分布式到集中化，800V 阶段将回归分布式

12V 阶段：分布式 CRPS 电源为主。单台服务器配置独立 CRPS 电源，架构灵活，适配低功率场景。

54V 阶段：集中式 Power Shelf 方案优先。机柜级部署集中供电的 Power Shelf，统一整流后向服务器节点输出低压直流，是当前高功率机柜的主流形态。

800V 阶段：先集中过渡，终态分布式。当前采用 800V→54V Power Shelf 集中供电的过渡方案，电源与后端 DCDC 强绑定；未来 800V 母排成熟后，将演进为 800V 直进服务器节点的分布式架构，PSU 与 BBU 可独立接入共享母线，解绑强绑定关系。

3.1.3 服务器板载与芯片供电架构

术语解释

缩写	全称	板级定义
IBC	Intermediate Bus Converter	板级隔离中间总线转换器，板级二级降压核心单元

VRM	Voltage Regulator Module	芯片专用多相电压调节模块，非隔离同步 Buck 阵列
PoL	Point of Load	就近负载点降压电源，多用于内存、IO、辅助轨
PDN	Power Distribution Network	板级电源分配网络，含铜皮平面、过孔、储能电容阵列
SP-Cap	Surface Polymer Conductive Polymer Capacitor	松下贴片高分子固态铝电解电容，板级低频主力储能器件
MLCC	Multi-Layer Ceramic Capacitor	多层陶瓷贴片电容，板级高频去耦标配器件
Hot-Swap	热插拔管控电路	板级输入防浪涌、缓启动、限流保护电路
HVDC	High Voltage Direct Current	高压直流供电，算力中心下一代进柜配电标准，主流 800V DC 机柜母线，取消机柜 PSU，高压直流直入服务器板级，适配大功率液冷 AI 集群

板级供电学术定义、边界划分与架构迭代底层机理

从电力电子板级拓扑、PCB PDN 电源分配网络学术维度定义：服务器板载供电特指机柜二次配电接口至 SoC/GPU/CPU 内核全链路电力变换、阻抗匹配、储能滤波、故障保护等电路集合，严格拆分三级电力层级：柜级一次变换、板级中间母线变换、芯片终端降压变换。AI 服务器供电架构迭代核心驱动因子为：优化 PDN 全频段阻抗、降低传输损耗、提升负载瞬态响应能力、适配 AI 芯片非线性陡变负载 di/dt 特性、实现故障域电气隔离等。当前行业存量、现役、前

瞻三代供电架构，基于母线电压分级、隔离拓扑形式、变换级数完成划分，附全维度电力参数对标，区别于常规民用电源，算力服务器架构强制要求冗余均流、电气隔离、分区保护三大固有特性。

代次	直流母线等级	板级电源拓扑链路	核心拓扑形式	额定适配机柜功耗
初代低压直供架构	12V DC 非隔离母线	柜级 PSU 直出→板级 EFUSE 防护→非隔离 Buck→RM 直降内核电压	单级非隔离降压、无母线隔离	≤120kW 风冷通用服务器
二代分级隔离架构	54V 隔离直流母线	冗余 PSU 并联均流→ORing+HotSwap 防护→分区 LLC-IBC 隔离稳压→12V/6.75V/5V 等中间母线→多相 TLVR/Buck VRM→芯片内核	二级隔离谐振+多相交错降压	120kW~480kW AI 异构算力机柜液冷
三代高压直入架构	800V 隔离 HVDC 母线	柜级集中整流→板级高压泄放+电弧防护→SiC LLC 隔离 DC-DC→54V/12V/6.75V 次级母线→IBC/VRM 复用降压	高压 SiC 隔离+存量拓扑兼容架构	480kW~1.2MW 全液冷超高密机柜

补充供电架构示意图

现役行业主流：54V 分区 LLC-IBC 隔离供电拓扑深度拆解（PCB 板级电气设

计核心)

截至 2026Q2，国内阿里云、腾讯云、字节、百度、美团五大云厂，海外 AWS、Azure、英伟达整机生态，统一标准化落地分区独立 LLC 谐振 IBC 54V 母线架构以适配 GPU 瞬时 1000A+峰值冲击、满足 IEC 高低压隔离安规的量产板级方案。区别于简易降压拓扑，该架构采用功率分区、地平面分割、母线隔离、故障解耦四大电气设计原则，五级电力链路带电气参数阈值、PCB 设计约束如下：

并联均流输入级（柜级 PSU 板端耦合）：4~8 路数字化冗余 PSU 并联组网，板端搭载 N 沟道 ORing 自适应防环流拓扑，闭环均流精度 $\leq \pm 2.5\%$ ，搭配斜率可编程 Hot-Swap 软启动电路，上电浪涌电流斜率受控 $\leq 8\text{A/ms}$ ，配套 TVS+GDT 组合浪涌钳位，54V 母线稳态耐压裕量 1.5 倍，最大瞬态钳位电压 $\leq 72\text{V}$ ，阻断并联环流互馈，规避多电源并联下 PCB 功率铜皮局部过热击穿，为板级入口第一道电气防护壁垒；

分区隔离变换级（架构核心差异化）：摒弃整机共享 IBC 设计，采用 CPU 独立域、GPU 模组独立域、内存通道独立域、BMC 带外独立域四域电气隔离 LLC 谐振拓扑，域间完全分割功率地、信号地；单路 IBC 谐振点效率 $\geq 96.8\%$ ，宽载 15%~100%工况效率维持 $\geq 94\%$ ，闭环稳压精度 $\pm 0.3\%$ ，抑制 GPU 集群负载耦合母线压降，解决多算力模组负载扰动互扰问题；

中间母线分配级：隔离后输出分级稳压辅助母线，分区布设板级 EFUSE，实现单域故障隔离，不牵连整机母线，完成故障电气解耦；

终端芯片降压级（VRM/PoL 拓扑适配）：高端 H100/Rubin GPU 采用耦合电感 TLVR 多相 Buck 拓扑，24~28 相交错并联，环路带宽提升 40%，适配 GPU 瞬时 $di/dt \leq 1000\text{A}/\mu\text{s}$ 陡变负载；Xeon/AMD Genoa 高端 CPU 采用数字可控多相 Buck，支持动态相数休眠节能；DDR5 全局通道级 PoL 就近降压，缩短供电环路长度，降低环路寄生电感；

全局 PDN 宽频去耦级（PCB 版图核心设计）：基于电源谐振频点仿真，搭建三级去耦网络：300KHz~20MHz 频段 0201/0402/0603/0805 MLCC、100kHz~300KHz 频段低 ESR 高分子 SP-Cap 储能稳压、工频低频段大功率钽电容

兜底储能，全频段压制内核供电纹波，满足先进工艺芯片供电噪声阈值要求。

现役 54V 板级 PCB 电力、工艺、器件、时序全局量产规范经由 OCP、IPC、JEDEC 三方联合标定，2025-2026 全球服务器 54V 供电 PCB 量产强制设计规范，全参数量化可落地，无行业弹性阈值，细分四大维度专业规范：

1. PCB 基材与铜厚电力分级规范：算力功率域（GPU/CPU 供电区）基材选用 $T_g \geq 150^\circ\text{C}$ 通用 FR-4，CTI $\geq 500\text{V}$ ；功率主干铜厚统一 2oz，转接分支铜厚 1.5oz，纯信号层 1oz；54V 直流加强绝缘爬电距离 $\geq 3.2\text{mm}$ ，电气间隙 $\geq 2.0\text{mm}$ ，高低压过孔间距 $\geq 1.2\text{mm}$ ；

2. 板级器件降额选型规范：54V 母线无源器件直流耐压降额 0.6 倍选型，电容额定耐压 $\geq 80\text{V}$ ，功率 MOS 耐压 $\geq 100\text{V}$ ；电源回路全器件满足 $-40^\circ\text{C} \sim 105^\circ\text{C}$ 机箱宽温抗震等级，B 级振动工况无参数漂移；

3. 上电联锁时序电气规范：工业级 CPLD 全局闭环联锁，固定 7 级上电时序：AON 待机域上电 $\rightarrow$ BMC 电源自检 $\rightarrow$ 绝缘阻抗采样 $\rightarrow$ 母线缓启动合闸 $\rightarrow$ IBC 稳压闭环 $\rightarrow$ 中间母线建立 $\rightarrow$ 芯片内核分级上电，具备母线欠压、过流、环流硬件互锁闭锁逻辑；

4. PDN 阻抗闭环规范：全频段扫频仿真，满载负载阶跃下母线电压跌落 $\leq 3\%$ ，为现役 54V 架构 PCB 版图设计准入门槛指标。

本节小结：当前服务器供电迭代逻辑为「单级非隔离 $\rightarrow$ 二级分区隔离低压母线 $\rightarrow$ 高压一次隔离兼容存量母线」，54V 分区 LLC-IBC 架构为平衡改造成本、PCB 工艺难度、能效、可靠性的最优折中量产拓扑，但受限于母线电流物理上限，无法适配 MW 级超高密液冷算力机柜，倒逼行业向 800V HVDC 板端直入拓扑演进。

3.2 连接器与铜排技术

在 800V AI 机柜供电链路中，连接器与铜排已由传统低压系统中的导通组件，转变为高压系统中的关键接口与安全边界。相较于 54V 架构主要受限于 I^2R 损耗、接触电阻、温升与铜材体积，当系统提升至 $\pm 400\text{V}$ 或 800V HVDC 后，工程问题不再只是「如何承载更大电流」，而是「如何在更高电压下维持

系统安全、绝缘完整性与可维护性」。这也是为何 OCP Mt. Diablo 采用 $\pm 400\text{V}$ HVDC 分离式电源架构，而 NVIDIA 则直接推进 800V DC 以支持 1 MW IT rack 与后续 AI Factory 的原因之一。

从物理根源来看，低压大电流系统的主要瓶颈是导体损耗与热。若在 1 MW 机柜下仍使用 54V 配电，母线电流可达约 $18,500\text{A}$ 等级，这将直接导致铜排截面巨大、压降与发热显著、机柜内空间被配电结构大量挤占，并放大连接器端子的热疲劳与接触可靠性问题。正因如此，目前产业已普遍将提升配电电压视为支撑 MW 级 AI 机柜的必要路径。

然而，当配电电压由 54V 提升至 $\pm 400\text{V}$ 或 800V 时，系统虽降低了电流与铜耗，却同时把设计焦点由「热问题」重新映像为「安全问题」。在高压直流条件下，连接器与铜排必须重新面对 creepage、clearance、绝缘材料 CTI、污染等级、海拔降额、Touch-safe、防误插、PE 保护接地、HVIL、预充与残压管理等一系列要求。与交流系统不同，直流系统没有自然过零点，因此一旦在插拔、接点退化或故障条件下形成电弧，其持续性与破坏性都会更高。

从接口分层来看， 800V AI 机柜中的连接器至少可区分为 Power Rack 输入/输出接口、Power Rack 与 IT Rack 的柜间 HVDC 线缆接口、Power Shelf / DCDC Shelf 模块接口，以及中期 Direct to Node 的节点级高压盲插界面。这些接口在机械包络、插拔容差、维护路径与载流条件上差异极大，但共同面临高压安全与维护可控性的挑战，因此连接器不再只是零件，而是系统安全链条的一部分。

液冷环境使上述挑战进一步加剧。液冷虽是高功率 AI 机柜的重要散热方案，但其导入使高压系统原先依据干燥空气所设计的绝缘条件失去稳定性。冷凝、水气、雾化微滴与液冷渗漏都可能使绝缘表面电阻下降，进而造成表面追踪（tracking）、局部放电、漏电流或导电桥接。对高压直流系统而言，这些现象不只是环境扰动，而是可能直接改变高压边界与故障模式的关键条件，因此液冷必须被视为高压安全架构的一部分，而非单纯的 thermal solution。

在铜排技术方面， 54V Busbar 与 800V Busbar 也呈现出不同设计逻辑。 54V Busbar 仍以承受数千安培电流下的温升、压降与接触电阻为核心；相对地，

800V Busbar 的重点则转向绝缘包覆、短路电动力、局部电场集中、支路保护与 Touch-safe 防护。当系统中存在多个 PSU、BBU/CBU 或节点端储能电容时，一旦出现短路，母排所承受的机械力将与故障电流平方成正比增加，若支撑结构与支距设计不足，便可能引发结构变形、绝缘失效与二次故障。

综合而言，3.2 的技术现状可概括为一个明确转折：**低压大电流时代的主要瓶颈在于热与铜，HVDC 高压时代的主要瓶颈则转为安全与控制**。因此，连接器与铜排的价值，不只在于支持高功率传输，更在于建立一个可被验证、可被维护、可被标准化的高压互连体系。这一现状也直接导向后续第六章的技术挑战，以及第七章所提出的具体策略与可行方案。

3.2.1 连接器技术现状

在 800V AI 机柜供电链路中，连接器技术的演进已逐渐脱离传统服务器低压配电接口的设计逻辑，而转向高压直流系统接口的系统化设计。相较于 54V 时代主要着重于大电流导通能力、接触电阻与热稳定性，高压直流架构下的连接器必须同时兼顾绝缘、电弧抑制、触电防护、插拔时序控制与系统故障隔离等多项要求。OAI 0.5 原文已指出，连接器在 800V AI 机柜中不再只是单一器件，而是连结 Power Rack、IT Rack、DCDC Shelf 与节点级供电的重要接口，必须与整体供电链路共同设计。

从目前国际生态的公开方向来看，连接器技术已呈现出由「低压大电流」向「高压中电流」转型的趋势。OCP Diablo 400 与 ORv3 HVDC-LVDC Power Shelf 的公开规范显示，分离式电源机柜与高压直流输入已逐步从概念进入接口定义阶段，包含 HVDC 输出连接器、线缆输入与高功率输出接头等，都被纳入正式规范文件。这表明在 OCP 路线中，连接器已不再被视为附属零件，而是机柜级高压配电能否互换与扩展的前提。

与此同时，NVIDIA 所代表的 800V 架构则更进一步指出，当未来 IT rack 功率进入 1 MW 级别后，传统 54V 机柜内配电将因电源架空间占用、铜排重量与多级转换损耗而失去可扩展性，因此 800V DC 将成为新一代 AI Factory 的供电基础。这也意味着，高压连接器将不仅存在于机柜之间，更将逐步下沉到 IT Rack 内部，甚至进一步延伸至 Direct to Node 架构。从技术现状来看，

这说明连接器的功能已由「点对点导通」扩展为「系统高压接口 + 安全控制节点」。

在设计特性上，高压直流连接器的核心与传统低压连接器有明显差异。低压系统中的连接器通常优先考虑接触电阻、额定电流、端子热分布与插拔寿命；但在 800V 系统中，除导通能力外，还必须额外考虑 creepage、clearance、Touch-safe、防误插、HVIL、预充（pre-charge）、PE 先接后断与残压释放等设计。尤其在高压直流条件下，由于不存在交流过零点，若连接器于半插、误插或慢速拔出时形成电弧，其破坏性与危险性将远高于低压 AC/DC 系统，因此高压接口的时序控制与安全联锁能力，实际上与额定电流同等重要。业界技术数据亦已指出，800V DC 系统必须依赖高压感测、隔离、800V 热插入、固态继电器与保护组件，这进一步说明高压连接器设计已从被动零件升级为主动参与系统保护的关键节点。

从技术成熟度来看，目前较成熟的高压连接器应用仍集中在 Power Rack 输入 / 输出接口 以及 柜间 HVDC 线缆组件；而对于 Direct to Node 节点级高压盲插连接器，则仍处于发展中阶段。其原因在于，节点级接口不仅需承受高压，更需同时满足更高的插拔频率、更紧凑的几何尺寸、更严苛的维护情境与更接近液冷管路的空间条件。这使其在机械容差、触电防护、预充控制、液冷联锁与故障后安全状态等方面的要求，都显着高于机柜级接口。也因此，3.2.1 所呈现的连接器技术现状，不是单一产品成熟度的问题，而是不同层级接口正处于不同成熟区间的事实。

800V AI 机柜中的连接器建议按照应用位置分层定义，而不是以单一连接器规格覆盖全部场景。

第一类是 Power Rack 输入/输出连接器，主要承担 AC 输入、800VDC 输出、储能接口或 BBU/CBU 接口，其重点是高压额定、短路耐受、PE 保护接地、机械防误插、维护隔离与状态回馈。

第二类是 Power Rack 到 IT Rack 的柜间 HVDC 连接器/线缆组件，该接口是短期 800V→54V 架构中的关键高压传输接口，必须重点定义触指防护、HVIL、预充/主回路顺序、拔出前断电、线缆应力释放和残压释放。

第三类是 Power Shelf / DCDC Shelf 模块连接器，其特点是同时涉及 800V 高压输入和 54V 大电流输出，需要把高压侧绝缘安全与低压侧温升、降压、Busbar 盲插可靠性共同设计。

第四类是 Direct to Node 节点级高压盲插连接器，用于中期 800V 直接进入服务器节点或托盘，必须具备盲插容差、首合末断、预充、HVIL、Touch-proof、防误插、故障隔离和液冷联锁能力。

3.2.1.2 连接器核心设计要素

800V 连接器的设计重点应从「额定电流优先」转向「高压安全状态机优先」。建议每一类连接器至少定义以下工程要素。

【连接器核心设计要素】

设计要素	建议定义内容	工程关注点	设计要素	建议定义内容	工程关注点	设计要素	建议定义内容
额定边界	额定电压、最大持续电压、瞬态过压、额定电流、峰值电流	需区分 800V 单极、±400V 双极，以及未来 1000V/1500V 升级裕量	额定边界	额定电压、最大持续电压、瞬态过压、额定电流、峰值电流	需区分 800V 单极、±400V 双极，以及未来 1000V/1500V 升级裕量	额定边界	额定电压、最大持续电压、瞬态过压、额定电流、峰值电流
绝缘设计	Clearance、creepage、CTI、污染等级、海拔	避免高压、小间距、液冷冷凝环境下绝缘裕量不足	绝缘设计	Clearance、creepage、CTI、污染等级、海拔	避免高压、小间距、液冷冷凝环境下绝缘裕量不足	绝缘设计	Clearance、creepage、CTI、污染等级、海拔

	降额			降额			降额
--	----	--	--	----	--	--	----

【新增建议表：连接器接口工程定义】

连接器位置	典型任务	需新增定义项	连接器位置	典型任务
Power Rack 输入/输出	AC 输入、 800VDC 输出、储能接口	额定电压、最大持续电压、 短路耐受、PE Pin 顺序、 HVIL 状态、 维护隔离、残压显示	Power Rack 输入/输出	AC 输入、 800VDC 输出、 储能接口
Power Rack 到 IT Rack	柜间 HVDC 连接或母排桥接	线缆组件认证、弯折半径、 插销解锁、拔出前断电、 异常半插测试	Power Rack 到 IT Rack	柜间 HVDC 连接或母排桥接

3.2.1.3 PE Pin、HVIL 与预充逻辑

PE Pin 在 800V HVDC 连接器中不应仅被视为传统接地端子，而应作为高压安全链路的一部分。其功能包括建立保护接地参考、降低故障状态下可触及金属件的危险电位、配合绝缘监测与接地故障检测，以及透过先接后断逻辑确保系统在插拔过程中维持安全状态。

建议采用以下插拔顺序：

插入顺序：PE Pin 先接触 → 低压讯号 Pin 接触 → 预充触点闭合 → 系统检测极性、绝缘、锁止与 HVIL 状态 → 主功率触点闭合。

拔出顺序：解锁动作触发 HVIL → 主回路断开 → 放电回路启动 → 残压降至安全阈值 → 机械结构允许拔出。

异常状态：半插、锁扣未复位、PE 未导通、绝缘异常、液冷泄漏、温度异常时，主回路保持禁止闭合。

该逻辑可降低带载拔出、半插、端子接触不良和维护误操作造成的直流拉弧风险。建议 HVIL、预充、故障隔离、维护安全和 Safety Case 作为 800V 系统安全设计的重要方向。

3.2.2 铜排技术现状与高压安全转折

相较于连接器直接表现为高压接口，铜排技术所反映的转变则更清楚体现在功率密度与失效模式的变化上。在传统 54V 系统中，Busbar 的核心设计目标是承受极高电流并将压降与温升控制在可接受范围内，因此其主要设计语言是截面尺寸、电阻、电流密度、热分布与机械支撑。然而，当机柜供电由低压大电流转向 $\pm 400V$ 或 800V 高压直流后，铜排设计的主导变量也从「热与铜」转变为「绝缘与安全」。这是因为高压直流虽可大幅降低电流与导体尺寸，但同时引入了爬电距离、绝缘包覆、局部电场集中、短路电动力、Touch-safe 防护与维护隔离等全新的技术要求。

在 54V Busbar 条件下，系统的主要物理约束来自大电流。当 AI 机柜功率上升时，54V 总线会面临显著的 I^2R 损耗，并促使铜排截面、螺栓接头与接触面积快速膨胀。随着功率持续提升，连接器端子与搭接点会形成局部热点，并进一步增加热循环、材料应力与机械松动的风险。因此，在低压时代，Busbar 技术的核心瓶颈在于「如何把电流传过去而不致过热」。这种问题虽然严重，但本质上仍属于热与结构管理问题。

然而，进入高压直流时代后，Busbar 技术虽然获得了电流下降与导体缩小的优势，却必须面对另一组完全不同的设计逻辑。首先，高压总线不再只是低阻抗导体，而是高压电场的载体，因此电场分布、局部几何尖角、支撑件距离与包覆绝缘材料的选择，都会直接影响系统是否容易出现局部放电、电痕或击穿。其次，在短路条件下，Busbar 所承受的电磁力与电流平方成正比，故即便正常工作电流降低，一旦故障电流来自多个 PSU、BBU/CBU 与节点电容的迭加，

其机械负载仍可能非常高。相关工程数据也指出，总线短路电动力可在瞬间形成数千牛顿等级的推力，使母排支撑、间距与固定结构成为高压安全设计的重要核心。

这种从低压热瓶颈转向高压安全瓶颈的变化，亦可从 OCP 与 NVIDIA 的演进方向中观察到。OCP Diablo 400 的推进显示，高压配电虽然提升了机柜功率与效率，但其关键不仅在于把电压提升到 $\pm 400V$ ，而是在于建立可互换的高压总线与 Sidecar / IT Rack 接口，让高压母线成为可部署的基础设施。另一方面，NVIDIA 的 800V 路径则更进一步指出，当 AI Factory 走向 1 MW 级机柜时，Busbar 不仅要负责高压配电，更要支持更高密度的计算节点与液冷环境，因此其发展方向将逐步朝向层迭式（laminated）与液冷整合（liquid-cooled busbar）演进。这说明 Busbar 的角色已从「大铜条」进化为整体供电路径与热管理架构的一部分。

在液冷条件下，Busbar 的高压安全问题进一步被放大。液冷虽可有效降低导体稳态温度，但却可能透过冷凝、水气、泄漏与材料兼容性问题，改变高压总线原本的绝缘边界。尤其在 800V DC 条件下，液体残留、污染与湿热都可能使绝缘表面电阻下降，导致 creepage 实际裕量不足，进而形成局部放电或导电桥接。这也是为何液冷 Busbar 不能只从热管理角度评估，而必须同步验证其在带液条件下的绝缘耐受性、导液行为与故障联动机制。也因此，在高压 AI 机柜中，液冷 Busbar 应被视为高潜力但尚需大规模系统验证的方向，而非已成熟的标准方案。

3.2.3 铜排技术定位

铜排在 800V 架构中的角色也发生变化。54V Busbar 仍是短期负载侧大电流传输核心，需要重点关注数千安培电流下的温升、压降、接触电阻、结构强度和液冷协同；800V Busbar 则是中期共享高压母线和 Direct to Node 架构的基础，需要重点关注绝缘包覆、爬电距离、局部放电、电痕、短路电动力、支路保护和人员维护安全。OAI V0.5 原文指出，800V Busbar 成熟后，PSU 与 BBU 可从一体化 Power Shelf 中解耦，并分别接入共享 800V 母线，从而提升系统可用性和架构灵活性

【新增建议表：铜排设计验证输出】

铜排设计项	800V 关注点	具体作法	验证输出物
截面与温升	电流下降但局部接触点仍可能热点	以额定、过载、热循环三种工况验证	温升曲线、IR 热像、接触电阻漂移报告
绝缘与爬电	污染、冷凝、液冷泄漏影响绝缘	定义绝缘包覆、边缘倒角、支撑件距离	耐压、绝缘电阻、湿热、冷凝测试报告
短路与机械力	故障电流造成母排电动力	以最大预期短路电流与保护时间计算支撑间距	$I^2 t$ 、短路力模拟、支撑件强度验证
低感抗布局	AI 动态负载放大寄生参数影响	正负极紧耦合、迭层母排、回路面积最小化	阻抗/频响测试、EDPp 负载波形
液冷协同	泄漏和电腐蚀风险	泄漏检测、材料兼容、绝缘耐液测试	液体兼容性、泄漏联动断电验证

3.2.4 技术现状总结

若从工程角度总结，3.2.2 所呈现的铜排技术现状并非「高压后问题减少」，而是「问题类型发生转移」。在低压大电流时代，Busbar 的核心问题是导体、温升与机柜空间；在高压直流时代，Busbar 的核心问题则转为绝缘、电场、短路电动力、维护隔离与液冷兼容性。前者关心的是「是否传得动」，后者关心的是「即使传得动，是否仍然安全」。因此，铜排技术的现状不应只用材料与尺寸来描述，而应放在整体高压系统安全与供电架构演进的脉络中来理解。

四、国内外生态格局

4.1 国外生态布局

4.1.1 国外各主要生态布局总览

目前，高压直流供电应用方面，海外市场已形成以“NVIDIA-OCP-CSP（Meta/Google/微软等）”为轴心的闭环生态。其中：

架构定义者是 NVIDIA。通过 DGX/GB 系列整机柜方案，对供电链路的各级规格拥有最终话语权，其《800 VDC Architecture for Next-Generation AI Infrastructure》白皮书已明确框架。

标准推动者是 OCP。ORv3 PSU 规范已纳入 800V 输入选项，Meta 和 Google 分别在±400V 和 800V 路径上推进标准化，意图降低定制化成本。

关键方案商是 Vicor（板级 IBC）、MPS（GPU VRM）、台达/光宝（机柜 Power Shelf）、Molex/Amphenol/TE（高压连接器与铜排）。

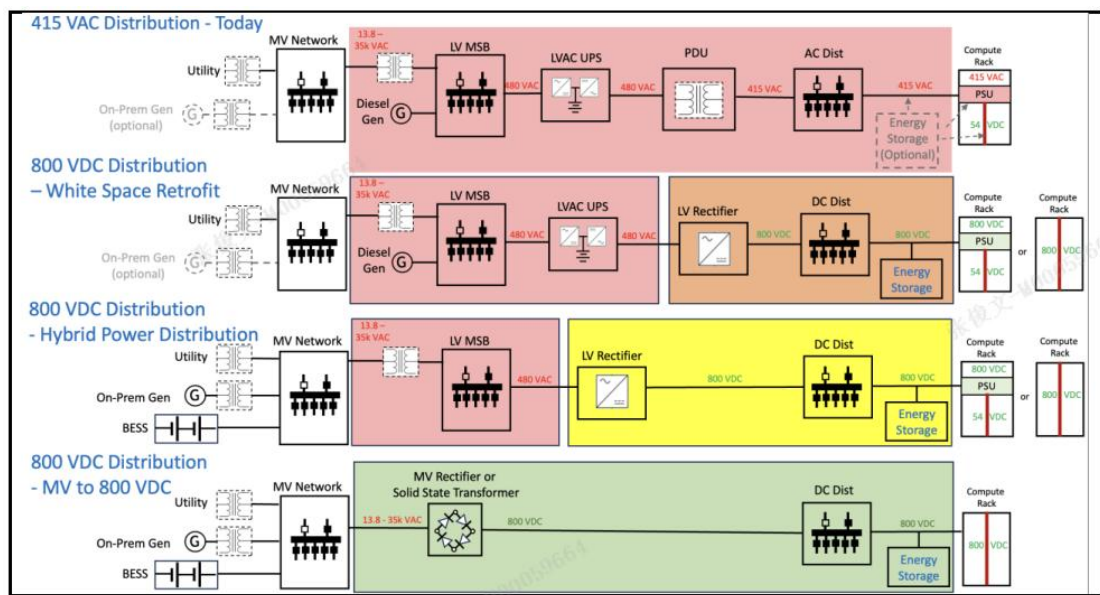
当前该 800V 生态的特点是：需求自上而下定义清晰，垂直整合度高，标准推进与芯片研发同步。

国外生态布局路线一览表		
生态主体	公开路线/动作	对 800V 标准化的含义
NVIDIA	公开提出 800VDC 架构，强调减少转换级数、降低铜耗与支持未来 1MW 以上机柜，同时推动 800V 生态伙伴	AI GPU 平台厂商定义负载侧需求和时间表，是 800V 能否成为事实标准的核心推动方
Google / Meta / Microsoft / OCP	OCP 博客称 Diablo 规格由 Google、Meta、Microsoft 描述分离式 Power Rack，将 54V 机柜供电推向±400VDC 或 800VDC，可支持 100kW 到 1MW IT rack	开放组织路线有利于形成跨云厂商、跨 OEM 的公共接口
Google	提出±400VDC 支撑 1MW rack，并贡献 Project Deschutes 液冷 CDU 经验到 OCP	把电源和液冷一起标准化，说明高功率机柜必须电热协同
Meta / Rittal / AMD	OCP 列表显示 ORW Base Specification 和 ORW Meta Design Specification 已发布，AMD Helios 采用 Meta 开放机柜设计方向	开放宽机柜可能成为 AI rack 机械平台之一，影响供电母排、液冷和节点包络
TI	围绕 800V 到处理器电源两级转换、800V	半导体与模块厂商决定

Infineon / ST / Renesas	到 12V/54V 高频转换、GaN/SiC/控制与隔离器件推出方案	板级转换效率、功率密度、可靠性和成本曲线
连接器/线缆/母排厂商	Amphenol、TE、Molex、BizLink 等布局高功率数据中心连接器、OCP 母排连接器、800VDC busbar 和液冷母排方案	接口标准越早明确，供应链越容易从定制件转向多供应商生态

4.1.2 NVIDIA 的 800V 演进路线

NVIDIA 的技术路线如下图所示：



- 1、当前供电架构为：电能以 415V 交流电输送至每台 IT Rack，机柜内置电源插框单元（PSU）将其变换为 54V 直流电，为计算托盘及各类 IT 设备供电。
- 2、短期过渡刚需方案：采用 Sidecar 方案，增加 Power Rack，在每台算力机柜近端完成交流电至 800V 直流电的变换。机柜内置电源插框单元（PSU）将 800V 变换为 54V 直流电，为计算托盘及各类 IT 设备供电。
- 3、800V PDB 方案：该架构下 800V 直流电直接输送至算力节点内部，直装于计算托盘的 DC/DC 降压模块；
- 4、SST 方案：为满足 AI 算力工厂持续攀升的用电需求，英伟达正研究应用中压整流器（将中压交流电变换为 800V 直流电），同时研发固态变压器（SST）技术，作为具备长期适配性的园区配电解决方案。

4.2 国内生态布局

4.2.1 主导企业与技术路线

国内的优势不在于已形成完整 800V AI Rack 开放生态，而在于长期积累了 240V/336V HVDC、通信电源、数据中心集中整流、模块化 UPS/直流电源、巴拿马电源、锂电/储能、铜排母线和工程交付经验。ODCC 巴拿马电源白皮书显示，国内已经探索过中压直供直流、移相变压器、整流模块、集中监控与电池直挂等高效供电方案。

1、240VDC 的高压直流供电架构

- a. 以腾讯和百度等为代表，使用 240VDC + 市电直供的方案；
- b. 以阿里为代表的巴拿马方案产生 240VDC；
- c. 以上两种方案在 IT 机柜内都是以 240VDC 呈现的。

2、400VDC

在部分超算中，400VDC 直接进计算节点，已有规模部署落地应用。

国内对 240~400VDC 系统的应用经验对 800V Power Rack 有参考价值，但不能直接等同于 800V AI 机柜标准已成熟，目前国内还缺少相关的标准和落地经验，急需协同上下游产业共同推动 800V 相关标准和规范的制定，加速产业落地。

从工程能力角度看国内的供应链能力，可划分为如下几大类：

电源系统/整流模块：具备数据中心整流、UPS、HVDC、模块化电源经验的企业，可参与 Power Rack、整流柜、控制监控和系统集成。

功率器件与控制芯片：围绕 SiC/GaN、隔离驱动、数字电源控制、采样、保护、固态开关、热管理建立国产替代与联合验证。

连接器/铜排/线缆：围绕 800VDC 触指防护、母排绝缘、液冷母排、柜间连接、盲插接口和测试夹具建立标准样件。

服务器/OEM/ODM：需要与 GPU 平台方、整机厂、液冷厂商共同定义节点

PDB、IBC/DCX、运维与安全边界。

运营商/云厂商/数据中心设计院：提供负载谱、配电拓扑、冗余等级、运维流程和 AHJ/消防/保险约束，是标准可落地的关键输入。

4.3 国内外生态对比与差距

高压直流的需求源自于 AIDC 单柜功率需求的激增，迫切需要解决效率、散热、铜消耗量等挑战。400V、 $\pm 400V$ 和 800V 等路线的提出，其内在逻辑都是保证新技术与既有技术生态系统的高效协同。譬如 400V 方案可继承已有直流微电网技术规范与器件资源，不论是电气安全还是电池管理系统，都有丰富的经验，而相较之下，800V 则是相对较新的生态系统，成本高，安全等方面的经验积累较少。

大型 CSP 率先探索 400V 或 $\pm 400V$ ，是优先考虑供应链效率。而 NVIDIA 期望跨入 800V，则是期望充分利用现有供应商的技术能力以提升性能上限。对于中国市场，得益于新能源产业在全球范围内的显著领先地位，不论是新能源车，还是储能领域，对 800V 甚至更高电压等级的应用是相对熟悉的领域——这也是国内 IT 产业界对导入 800V 方案积极性较高的根本原因。对于数据中心市场，800V 是全新的赛道，国内外企业均无历史积累或者历史包袱，国内企业具备追赶、超越的机会。

我们也应当清醒地认识到：虽然国内的 800V 生态系统有较好的技术储备，但在最为关键的需求驱动方面仍有差距。海外依靠芯片 + 云厂商双核心自上而下锁定架构与标准，需求、研发、标准同步推进。而国内应用发展存在滞后，尤其是单柜功率密度的提升需求不那么迫切，这也导致了缺乏顶层设计的号召力，削弱了系统整合能力。

从配套器件角度看，国内厂商在柜级配电部分有成熟的工程能力，但在板级高功率密度器件方面相对英飞凌、Ti 等国际大厂尚有差距，完整、自主的第三代半导体本土产业链仍存在大而不强的现象。

整体而言，我们可充分发挥中国市场新能源基础设施与数据中心高效联动的战略优势，依托完整第三代半导体产业链，推动中国数据中心行业应补齐顶

层统一标准、通用硬件接口、联合可靠性验证体系，搭建独立、自主可控的 800V 高压直流产业生态，缩小与海外在系统定义、全球化认证领域的差距，依托本土算力市场实现产业弯道追赶。

对比维度	国外现状	国内现状	国内补齐建议
顶层需求牵引	NVIDIA、Google、Meta、微软、AMD 等芯片与云平台厂商主动牵头，自上而下公开完整供电架构需求	传统 240V 直流机房落地经验充足，但 800V AI 机柜缺乏明确的顶层定义主体，统一硬件、电气接口规范缺失	由一批权威行业组织牵头，联合头部云厂商、服务器整机厂、电源、连接器企业及数据中心设计院，联合编制统一 800V 算力机柜相关规范
开放标准体系	OCP 持续迭代 ORv3、ORW、Diablo 系列完整供电规范，标准持续公开、迭代更新	ODCC 已沉淀成熟低压直流标准，但面向兆瓦级 AI 机柜的 800V 专用接口规范未统一、未对外公开	成立专项 800V 机柜供电标准工作组，优先输出通用接口框架、整机性能统一测试方法
板级电源生态	TI、英飞凌、意法、瑞萨等国际半导体厂商完整开放 800V 转处理器 / 12V/54V 全套参考设计，积累海量长期可靠性数据	国产功率器件、数字电源控制芯片具备研发潜力，但高压、高频、高功率密度场景的标准化参考设计、耐久实测数据储备不足	组织产业链上下游联合开发 800V 转 54V、800V 转 12V 样机，开展联合可靠性、热循环验证，共建共享测试数据库
连接器 / 母	安费诺、TE、莫仕、	国内线束、母排	统一额定电流、

线排配套	BizLink 等头部企业提前布局标准化 800V 高压连接产品，电气、机械规格统一	加工制造工程能力突出，但适配 AI 算力机柜的高压直流通用接口规范空白	机械包络尺寸、温升指标、HVIL 高压互锁、预充回路、耐久寿命、液冷多环境全套测试标准
安全认证与工程验收	北美 NEC、AHJ、NRTL 及保险配套认证体系成熟；仅 800V 直流属于新兴场景，需项目单独解读适配	可复用现有国内 HVDC 直流供电验收体系，但国产 800V 设备与国际主流 AI 整机平台兼容性较差	梳理中、美、欧三地高压直流标准差异，编制标准映射对照表，制定跨境设备认证互通落地路径
核心竞争优势	顶层系统架构定义能力领先，高端功率半导体器件技术储备深厚	拥有全球规模领先的 240V HVDC 商用落地经验，完整自主第三代半导体产业链	本土供应链、工程落地层面具备长期结构性优势

五、800V AI 机柜供电链路迭代路线

5.1 技术路线分析

800V HVDC 节点直入落地具备核心动因，当前 AI 异构算力进入高密度集群时代，单机柜搭载多颗高性能 GPU，单机柜峰值功耗突破 500kW，部分液冷超高密机柜峰值功耗触及 800kW+，54V 低压母线体系受制于焦耳损耗定律 $P = I^2R$ ，母线铜排、板端功率主干走线、连接器触点导通损耗随电流平方级激增，同时大电流带来触点氧化、温升漂移、均流失衡次生问题，48V 配电架构已触及电流、温升、能效、成本四大物理天花板。同等传输有功功率下，母线电压由 54V 抬升至 800V，理论稳态传输电流缩减至原有 1/16，纯传输焦耳损耗理论降

低 99.6%；叠加柜级连接器、转接铜排、板端功率走线、转接端子综合损耗，机房全链路配电损耗降低 62%以上；除此以外，800V 直流母线可原生耦合光伏直流并网、储能 BESS 直流并离网系统，适配零碳算力园区顶层纯直流配电架构设计，契合算力低碳政策导向。

800V 路线选型对比：

阶段一：Sidecar 外挂转接过渡方案（2025-2026 存量机房适配期）：保留机房原有工频 UPS、交流母线、柜级布线土建体系，机柜侧边标准化插拔式加装 800V AC-DC Sidecar 整流模块，柜级完成高压直流变换，输出隔离 800V 母线，服务器端完全复用存量 54V 主板、IBC、VRM、CPLD 时序程序全链路器件，无需改动 PCB 布局、器件 BOM、量产测试流程，适配老旧机房低成本迭代改造，改造成本仅为原生改板方案 37%，施耐德、维谛、台达为核心供货厂商，主打改造性价比、业务零中断；

阶段二：原生 800V 板端直入方案（2027-2029 行业商用主流期）：取消机柜内置冗余 PSU、柜级一次变换单元，机房配电房集中 AC 全局整流输出隔离型 800V DC 高压母线，高压经由高压绝缘母排、防电弧高速连接器直入服务器 PCB 板端，板级搭载自研高频 GaN 隔离谐振 DC-DC 模块，一步降压至标准化 54V 次级母线，向下完全兼容现役 12V IBC、全系列 VRM/PoL 拓扑、时序管控逻辑，兼顾能效最大化、存量器件复用率、运维体系兼容，为头部云厂中长期主力落地路线；

阶段三：10kV 中压 SST 原生直流架构（2030 远期终极架构）：10kV 市电高压直入机房固态变压器 SST，一步电力电子变换输出隔离 800V 直流母线，全局取消机房交流配电、UPS 逆变、柜级一次整流单元，构建全局纯直流零变换算力配电体系，适配 GW 级超大型新能源直连零碳算力园区，目前处于 IEC 标准定义、头部电源厂样机联合研发阶段，暂无量产落地条件。

5.2 短期迭代：800V→54V，54V 进入服务器

5.2.1 核心目标

800V→54V 架构是现阶段工程落地的折中过渡方案，短期目标是在 800V

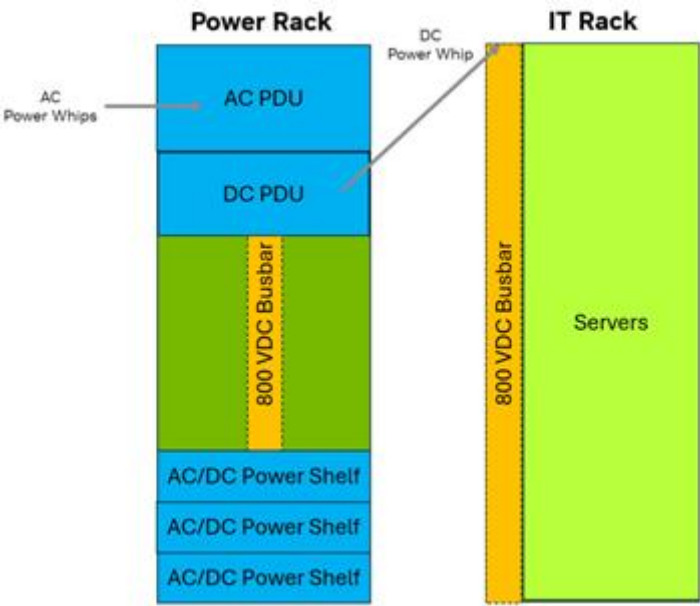
Busbar 尚未成熟的情况下，实现 800V 供电架构的工程落地。该阶段重点不是追求最终母线形态，而是先完成 AC 转 800Vdc、800V 连接、DCDCshelf 转换、54V Busbar 输出和 BBU 备电保护的系统闭环。凭借对现有主流 54V IT 机柜结构的良好兼容性，800V→54V 架构成为当前 800V 高压直流改造的主流选型。该方案依托 800V 高压侧优化机房干线配电、降低线路损耗，依靠后端 54V 母线适配存量服务器硬件与 AI 高功率负载的供电现状。

为了平稳过渡并解决兆瓦级供电难题，行业引入了集中式电源柜（Power Rack）或边柜（Sidecar）的架构。如 NVIDIA 800VDC MGX 架构定义，将 ACDC 转换集中在一个独立的电源柜中。架构如下：

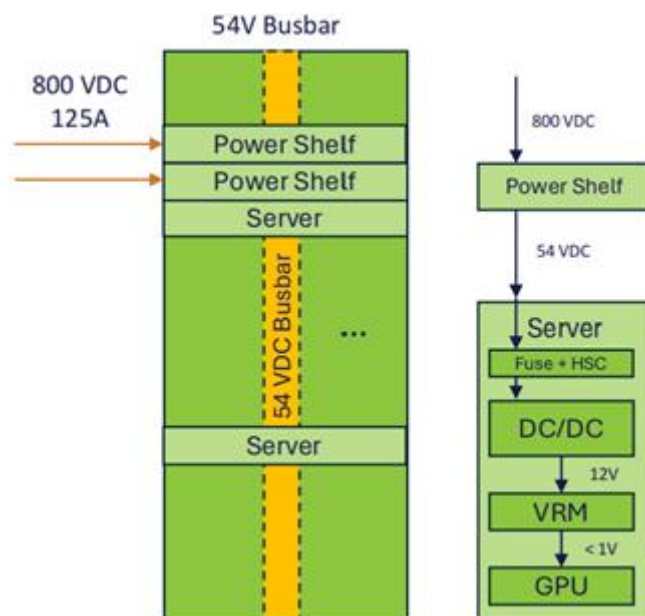
供电链路： AC 输入进 Power Rack 内的 AC PDU ，经多个 AC/DC Power Shelf 转换为高压 800VDC，通过机柜内部的 800VDC Busbar 汇集，再通过高压直流线缆（DC Power Whip）输送至相邻的计算柜（IT Rack）。

电源边柜功率： 18.3kW ACDC 3ph 产生 800VDC，6 个 PSU 组成一个电源架。一个电源柜共有 6 个电源架，总共 660kw。通过 6 根 125A 的直流电缆连接到计算柜。

计算柜功率： 计算柜通过 800V 转 54V DCDC PSU 电源架给服务器供电。

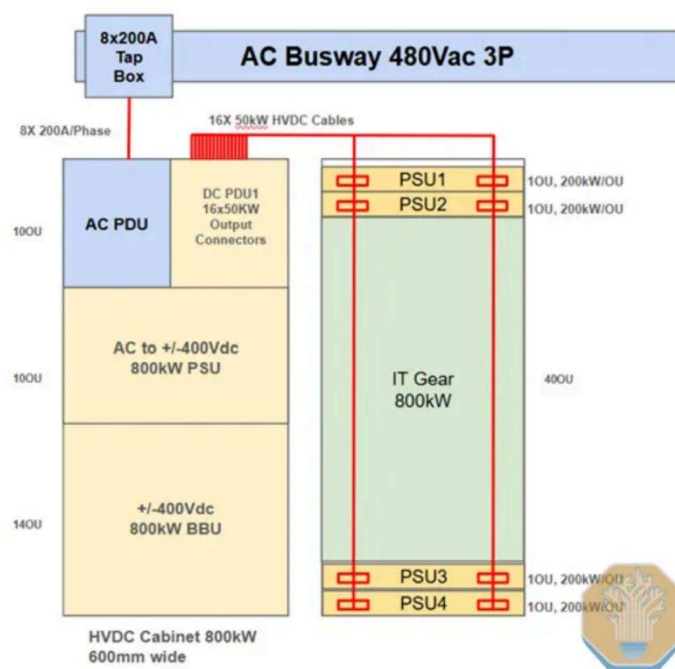


IT Rack



来源: Nvidia 800 VDC Architecture for Next-Generation AI Infrastructure

Meta 与 Google 定义的 800kw 的 ± 400 VDC 机柜架构也与 Nvidia 类似。



来源: Meta

此架构的优势是采用 800VDC 总线，实现了电源柜和计算柜 800VDC 的互联，降低了电流传输损耗。其次，实现了热源与计算核心的解耦，IT Rack 内部可以 100% 专注于计算托盘与液冷散热。由于计算柜内仍使用 54V 总线，可以兼

容服务器板上电源现有方案。

5.2.2 技术路线

短期内，800V AI 高密机柜采用机房侧/边柜（sidecar）800V 直流输入 + 机柜内集中式 800V→54V PowerShelf 插框供电架构。供电路径为：机房 Sidecar 输出 800VDC → 机柜顶部/底部 DC PSU 功率插框集中降压至 54V → 机柜 Busbar 大电流汇流排 → GPU 计算托盘/交换托盘 54V 转 12V VRM。

整机供电采用多模块 N+1/N+N 热插拔并联冗余设计，依靠多模块均流并联提升整机带载能力、容错能力与供电可靠性，完全匹配 AI 负载瞬时尖峰、动态波动大的运行特性，是短期内 800V AI 高密机柜机柜的标准供电形态。

5.2.2.1 两大标准化硬件平台

（一）19 英寸平台

1) 模块单体规格

- a) 外形尺寸：受限於机架安装位 19 英寸限制，电源模块尺寸一般为 68mm 宽×40mm 高，深度尺寸依赖于机架深度尺寸限制。
- b) 单模块设计功率：~15kW。

2) 整机并联配置：6 个模块并联输出， $6 \times 15\text{kW} = 90\text{kW}$ 机柜总功率

3) 系统硬瓶颈：输出 Barclip 载流上限 2000A

- a) 功率上限验算： $2000\text{A} \times 54\text{V} = 108\text{kW}$

（二）21 英寸平台

1) 模块单体规格

- a) 外形尺寸：受限於机架安装位 21 英寸限制，电源模块尺寸可以加宽为 83.4mm 宽×40mm 高，深度尺寸依赖于机架深度尺寸限制。
- b) 宽度 83.4mm，可并排布置 2 组 40mm 厚度轴流风扇，强化散热，支持更高单模块功率。

- c) 单模块设计功率：~18kW。
- 2) 整机并联配置：6 个模块并联输出， $6 \times 18\text{kW} = 108\text{kW}$ 机柜总功率
- 3) 系统硬瓶颈：输出 Barclip 载流上限 2000A
 - a) 功率上限验算： $2000\text{A} \times 54\text{V} = 108\text{kW}$
- 4) 结构短板：双风扇占用壳体横向空间，导致 PMC 控制板、采样与保护电路安装空间狭小，需做小型化结构适配设计。

5.2.2.2 现有成熟拓扑路线（1200V SiC、100~200kHz 标准化）

- 1. 路线 A 拓扑：三相交错 LLC
 - 1) 拓扑架构：三相交错全桥/半桥 LLC+磁集成变压器、谐振电感，三路功率单元输入并联、输出并联，SiC MOSFET，副边标配 80V/100V 硅同步整流 MOS。
 - 2) 核心优势：输入/输出纹波大幅抵消，相位互差 120° 交错工作。
 - 3) 核心器件：原边统一 1200V 滤波电容容量降低 60%；热应力与功率分散，适配 40mm 超薄扁平磁件结构；多相交错天然支持容错运行、热插拔均流，整机效率可达 97.5%~98%。
 - 4) 短板：整机功率密度中等，控制复杂度高于单相拓扑。
- 2. 路线 B 拓扑：单相全桥 LLC
 - 1) 拓扑架构：单路全桥 LLC，无交错相位控制。
 - 2) 核心器件：4 颗 1200V SiC MOSFET 单路直驱 800V 母线。
 - 3) 核心优势：控制逻辑极简、磁件数量减半、BOM 成本更低
 - 4) 短板：电流与发热高度集中，超薄壳体散热压力大、纹波高、滤波体积大，同等尺寸下功率比三相方案低 15%~20%

5.2.2.3 当前半导体器件标准化方案

- 1. 高压原边：1200V SiC MOSFET，耐压裕量充足，覆盖 800V 母线尖峰、启动冲击与负载扰动，工作频率锁定 100~200kHz，兼顾损耗、磁性体积与长期可靠性，满足数据中心 10 年寿命要求。

2. 低压副边：采用 80V/100V 硅同步整流 MOS。

5.2.3 未来技术发展趋势（2027 - 2030 迭代方向）

5.2.3.1 现有平台短期优化趋势（2026 - 2027 存量升级）

1. 大电流汇流系统优化：全面升级镀银加厚 Barclip 铜排，采用分段低阻搭接结构，解决千安级大电流工况下 I^2R 发热、压降瓶颈，提升整机满载稳定性。
2. 超薄磁件集成升级：针对 40mm 限高结构做磁芯优化，降低高频铜损与铁损，提升单模块功率密度与效率。
3. 控制系统小型化迭代：采用控制、驱动、采样、保护一体化单芯片方案，解决 21 英寸平台风扇挤占空间、PMC 板卡安装局促的结构痛点，适配高密模块结构。
4. 副边器件全面高端化：高密机型逐步完成低压 GaN 同步整流替代硅 MOS，持续降低 54V 大电流输出支路损耗，提升满载与轻载全工况效率。

5.2.3.2 拓扑与器件中长期迭代趋势（2028 年后主力升级）

1. 功率器件迭代：高压 GaN 逐步替代 SiC：900~1200V 垂直型 GaN 器件规模化量产，兼顾两电平拓扑简洁性与 GaN 高频低损耗优势，逐步替代传统 1200V SiC 方案，在不增加控制复杂度的前提下提升功率密度。
2. 拓扑架构升级：三电平 GaN LLC 成为高密主力：飞跨电容三电平 LLC 拓扑批量落地，采用成熟 650V GaN 器件，将开关管电压应力由 800V 降至 400V，可大幅提升开关频率、缩减磁件体积，整机功率密度较现有 SiC 三相 LLC 提升 25%以上。

5.3 中期迭代：800V 直接进入服务器

5.3.1 核心目标

为了在 800VDC 架构下进一步降低电流传输损耗，下一阶段的发展方向是将 800V 直接进入服务器节点（Direct to Node）。这意味着计算机架的供电链路将发生彻底重构，电源转换逻辑从“机架级”直接下沉到了“托盘级/节点

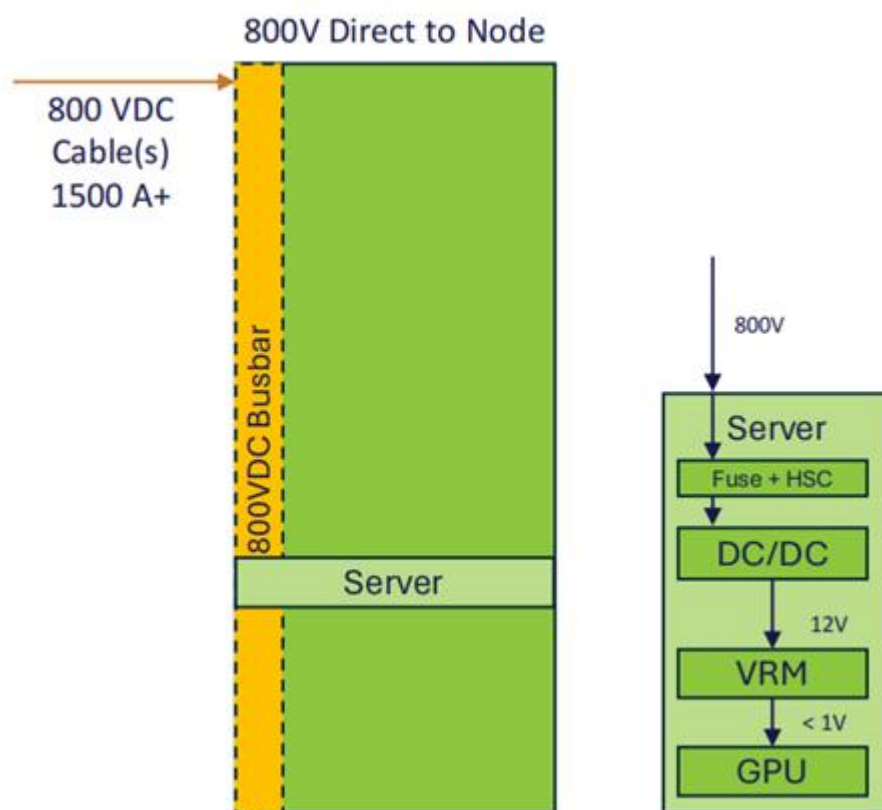
级”，彻底颠覆了传统的 54V 机架供电模式。

800V 直接进入服务器节点的目标是进一步减少转换级数，缩短低压大电流路径。将 800V 送入服务器节点/托盘，在节点内部完成高压到 12V/54V/中间电压甚至更靠近负载的转换，可大幅压缩中间转换环节、释放机柜空间、降低铜材消耗，但安全、认证与运维复杂度也最高。

以 NVIDIA Kyber 机架为例，计算托盘直接接入 800V 总线，彻底取消了 54V 中间母排层级。

损耗暴降： 提升至 800VDC 后，总线电流骤降至原本的约 1/15，机架铜排厚度可减少多达 45% 。

路径极限压缩： I²R 损耗的考虑范围从过去“几百毫欧的系统级铜排”转变为“厘米级的托盘 PCB 走线”，距离 GPU Die 的物理距离被压缩到极限。



来源：NVIDIA 800VDC Architecture for Next-Generation AI Infrastructure

5.3.2 技术路线

5.3.2.1 柜级和板级

800V 高压母线落地后，三级电压定义适配算力负载分级：54V 为存量兼容中压母线、12V 为传统中间总线、6.75V 为 GPU 近核原生低压母线。三条路线核心差异为变换级数、SiC/GaN 器件配比、PDN 寄生损耗、PCB 布局成本、存量 IBC/VRM 复用率，适配老旧机房改造、中端 AI 算力、超高密原生液冷三大差异化场景，下文从拓扑链路、电学参数、PCB 适配、适配场景、迭代趋势五大维度量化对标分析。

三条降压路线标准拓扑与电力链路定义：

路线一：800V 隔离 LLC→54V 中压母线

完整链路：800V SiC 隔离谐振 DC-DC→稳压 54V 隔离母线→板级存量 LLC-IBC→母线→VRM 内核降压；核心逻辑：复刻现役 54V 母线供电层级，仅将中压母线抬升为 54V 宽压母线，全链路保留现有分区 IBC、多相 VRM、CPLD 上电时序、PDN 三级去耦网络，仅更换前端 800V 高压一次变换模块。

路线二：800V 直驱隔离→12V 中间母线

完整链路：800V 高频隔离 LLC 直降稳压 12V 全局母线→分区多相 Buck/TLVR 直供芯片内核；核心逻辑：取消 54V 中间中转层级，压缩一级板级变换环节，依托 1MHz 高频 GaN 谐振拓扑实现宽变比隔离降压，简化板级功率器件数量，缩减功率铜皮走线层级，降低 PCB 多层功率层设计难度。

路线三：800V 隔离分压→6.75V 近核母线

完整链路：800V 高压隔离分压 DC-DC 就近降压→6.75V 全局低压母线→低压 MOS 极简 PoL 直供 GPU/CPU 内核；核心逻辑：适配下一代 2000W+单颗超高功耗 GPU，贴合英伟达定义 GPU 原生供电基准电压 6.75V，完全取消多级母线变换，实现柜端高压→板端低压一级隔离变换，属于去中间总线极简架构。

三大路线全维度量化对标

降压路	全链路	板级变	存量供电	PCB 布局	负载适配	高压安规
-----	-----	-----	------	--------	------	------

线	满载效率	换级数	复用率	增量成本	类型	改造难度
800V→54V	95.1% (最优兼容能效)	三级变换	92% (极高复用)	+8% (小幅改板)	存量改造 中端 AI 集群	低, 沿用 54V 绝缘工艺
800V→12V	96.3% (均衡能效)	二级变换	65% (VRM 小幅改版)	+22% (功率层改版)	新建常规 液冷算力机柜	中, 需优化高低压分区
800V→6.75V	97.2% (极致能效)	一级隔离变换	18% (全新供电体系)	+45% (全新 PCB 开发)	MW 级超 高密原生 AI 机柜	高, 全局高压绝缘重构

单路线核心优劣、PCB 专属痛点拆解：

800V→54V 路线（当下 2026-2027 主流首选）

核心优势：完全适配前文 Sidecar 外挂改造方案，PCB 高低压绝缘布局沿用 54V 量产工艺，爬电距离、铜厚、接地体系无需重做；原有 GPU 分区 IBC、VRM 固件、BMC 采样程序几乎零改动，改板周期最短、量产风险最低；54V 母线相较 48V 小幅升压，进一步降低板级主干电流，缓解大电流铜皮温升问题。

核心短板：变换层级最多，多级谐振叠加损耗，极致能效受限；母线依旧存在中等电流，高密度 GPU 区域走线压降管控压力较大。

800V→12V 路线（2027-2028 商用过渡路线）

核心优势：砍掉中间 IBC 中转模块，减少板级无源储能器件数量，缩减 PCB 电源区占用面积；12V 为芯片适配经典母线，VRM 拓扑生态成熟，高频 GaN 器件适配性强，适配单机柜 600kW 以内算力规模。

核心短板：800V 直降 12V 变比高达 66:1，LLC 谐振区间窄，负载波动下稳压难度大；板级高压侧杂散电感激增，EMC 耦合干扰强，必须单独增设高压屏

蔽腔体。

800V→6.75V 路线（2029 远期终极路线）

核心优势：去中间总线架构，全链路变换损耗最低，完美适配下一代 3000W 级超高功耗 GPU；低压母线 di/dt 扰动极小，PoL 就近降压环路寄生电感最低，内核供电纹波可控制 $\leq 10\text{mV}$ ，适配 2nm/1.4nm 先进工艺算力芯片。

核心短板：存量供电生态完全作废，主板电源层、绝缘分区、BMC 遥测、上电时序全部重构；800V 至 6.75V 超大变比隔离难度极高，板级专用高压分压器件供应链不成熟，宽温抗震可靠性未通过机房量产验证。

头部云厂路线选型现状+全周期演进趋势：

存量改造周期（2026-2027）：全局锁定 800V→54V 路线

字节、阿里、腾讯国内云厂统一敲定 54V 中转方案，依托原有 54V 供电 PCB 小幅改版，兼容存量 GPU 板卡、运维工具、高压 Sidecar 模块，平衡改造成本与能效，是现阶段唯一可规模化落地的降压路线。

新建算力周期（2028-2029）：800V→12V 路线

因 AI 芯片功耗的非线性增加，已经超过数千 A 量级，对应的 VR 发展趋势均向低压发展，对应母线电压会优选 6V，800V 转 12V 对应的 12V 母线不匹配未来低压母线需求，12V 可能在发展过程的非大家优选。

远期原生架构（2030 及以后）：800V→6.75V 成为行业终态

伴随 1200V SiC 集成分压模块、高压一体化隔离器件量产落地，叠加先进工艺芯片供电低压化趋势，行业彻底取消中间母线层级，实现高压直供近核低压，最大化压降全链路配电损耗，适配零碳 GW 级新能源算力园区。

5.3.2.2 连接器

Direct to Node 架构使节点级 800V 连接器成为关键瓶颈。与短期 Power Rack 到 IT Rack 的高压线缆连接器相比，节点级连接器的使用场景更严苛：空间更小、插拔频率更高、靠近维护人员与液冷管路，且需支援抽屉式节点或托盘盲插。中期路线中节点级 800V 连接器需解决防触电、防拉弧、HVIL、首合末断、误插防护、维护流程、寿命与温升等问题。

具体作法：

1. 节点级连接器必须支援高压盲插
 - a. 定义 X/Y/Z 三方向容差与导向结构；
 - b. 支援节点抽屉插入时的自动对位；
 - c. 避免偏插造成端子局部接触或半插拉弧。
2. 内建 HVIL 与预充逻辑
 - a. 连接器插入时，PE/安全参考先接触，讯号 Pin 确认后启动预充；
 - b. 预充完成后才闭合主功率回路；
 - c. 拔出时解锁先断 HVIL，主回路断电并完成放电后才允许机械抽出。
3. Touch-proof 与防误插设计
 - a. 节点抽出后不可触及危险高压端子；
 - b. 使用机械编码、颜色、极性设计避免错插；
 - c. 对残压状态提供可视化或遥测确认。
4. 液冷与连接器联锁
 - a. 液冷快接头未完全锁定时，禁止主功率闭合；
 - b. 液冷泄漏时，HVIL 或系统控制应触发断电/降额/维护锁定。

【新增建议表：节点级 800V 连接器定义项】

额定能力	800V/±400V、额定电流、峰值电流、温升	额定负载与过载温升
绝缘安全	creepage、clearance、CTI、Touch-proof	耐压、IR、冷凝、湿热
插拔顺序	PE、讯号、预充、主功率 首合末断	插拔时序测试

HVIL	未锁止、半插、解锁即断电	故障注入测试
预充/放电	输入电容预充与残压释放	浪涌与放电时间测试
液冷联锁	快接头状态、泄漏检测	液冷泄漏联动测试
寿命可靠性	插拔寿命、振动、热循环	老化后接触电阻与温升

5.3.2.3 铜排

Direct to Node 架构下，800V Busbar 会从机柜母线延伸到节点背板、侧板或抽屉式节点接口，并在节点内透过 PDB 将高压电转换为中间电压。铜排设计因此需同时兼顾高压绝缘、低感抗、短路电动力、支路保护、热循环与维护安全。机柜内高压母排延伸到节点背板或侧板时，需处理绝缘包覆、低感抗、热循环、短路电动力与液冷相容等问题。

具体作法：

1. 800V Busbar 机柜内分区设计
 - a. 主母线区：承载整柜或多节点功率；
 - b. 支路区：连接单一节点或托盘；
 - c. 维护隔离区：包含可拆卸盖板、残压显示、LOTO 标示。
2. 低感抗布局
 - a. 正负极或双极母排应紧耦合；
 - b. 控制回路面积，降低 EDPp 动态负载造成的母线振荡；
 - c. 对高 di/dt 支路进行阻抗与频响测试。
3. 短路电动力与支撑件设计
 - a. 以最大预期故障电流与保护动作时间计算支撑间距；
 - b. 支撑件需具备阻燃、耐热、耐电痕与机械强度；

c. 对节点支路短路、主母线短路和接地故障进行故障后安全验证。

4. 液冷环境保护

- a. 高压母排与液冷管路之间需有明确隔离距离与屏障；
- b. 液冷泄漏应触发绝缘监测、HVIL 或控制器联动；
- c. 需验证冷凝、液体污染和电腐蚀风险。

5.3.3 关键任务

5.3.3.1 任务一：定义节点级 800V 连接器技术规范

Direct to Node 的第一个标准化对象应是节点级 800V 连接器，因为它直接决定节点能否安全接入 800V 母线。

具体输出：

额定电压、最大持续电压、瞬态过压；

额定电流、峰值电流、温升限制；

creepage、clearance、CTI、污染等级；

Touch-proof、防误插、机械编码；

PE Pin 先接后断；

HVIL 状态讯号；

预充触点与主功率触点顺序；

插拔寿命与半插异常行为；

液冷泄漏联锁；

残压释放与维护安全状态。

具体作法：

建立节点连接器 3D 包络与盲插容差模型。

建立插拔时序图，定义 PE、讯号、预充、主功率、放电顺序。

建立故障注入测试，包括半插、慢拔、锁扣失效、HVIL 断线、液冷泄漏。

建立供应商互换性需求，避免不同连接器方案导致节点平台分裂。

5.3.3.2 任务二：定义节点 PDB 安全架构

节点 PDB 是 800V Direct to Node 的安全核心。PDB 必须管理高压输入、预充、放电、故障隔离、EMI、热设计、HV IBC 转换、遥测与维护不可触及区域。

具体输出：

1. PDB 高压区域与低压区域分区图；
2. 800V 输入保护架构；
3. 预充电阻/旁路策略；
4. 输入电容容量限制与浪涌管理；
5. 放电时间与残压阈值；
6. eFuse/SSR/熔断器/接触器组合；
7. 故障锁存与复位条件；
8. 温度、电压、电流、绝缘与 HVIL 遥测；
9. 维护不可触及区域定义；
10. 液冷泄漏联动策略。

具体作法：

1. 将 PDB 状态机分为：未插入、插入检测、预充、运行、告警、故障隔离、放电、维护锁定。
2. 对每一状态定义允许动作与禁止动作。
3. 对 PDB 进行高压爬电、EMI、热、短路与放电时间验证。

4. 与 BMC/机柜控制器建立遥测与故障事件记录机制。

【新增建议表：节点 PDB 安全状态机】

状态	进入条件	允许动作	禁止动作
未插入	节点未接入	无	主功率闭合
插入检测	PE/HVIL 讯号有效	极性、绝缘、液冷状态检测	主功率直接闭合
预充	安全条件满足	输入电容预充	节点拔出
运行	预充完成、主回路闭合	正常供电与遥测	解锁带载拔出
告警	温度、绝缘或电流异常	降额、告警	忽略故障继续满载
故障隔离	短路、接地、HVIL 断线	切除故障支路	自动重启未验证节点
放电	主回路断开	释放残压	人员接触高压端子
维护锁定	残压安全、LOTO 完成	节点更换/检修	远程重新上电

5.3.3.3 任务三：完成 800V 到 54V/12V/6V 样机对比

Direct to Node 不应过早锁定单一路线，应透过样机比较 800V→54V、800V→12V、800V→6V 等不同架构的效率、功率密度、EMI、热、可靠性、成本与维修性。

具体比较项：

评估项	800V→54V	800V→12V	800V→6V
生态兼容性	最高	中	较低
转换级数	较多	中	最少
HV IBC 变比	中	高	最高

难度			
低压侧电流	中	高	最高
PDN 损耗	中	高	低/视 VPD 设计
瞬态响应	中	中	最佳潜力
安规与布局 风险	中	高	最高
导入成熟度	最高	中	预研

具体作法：

1. 建立相同功率等级下的三组 PDB/HV IBC 样机。
2. 在相同输入、负载与冷却条件下测试效率与温升。
3. 使用相同 EDPp 负载谱比较母线跌落、输出瞬时与保护反应。
4. 比较 EMI、爬电距离、磁件尺寸、PCB 面积、BOM 成本和维护可行性。
5. 以测试数据决定短期示范、中期导入和长期预研路线。

5.3.3.4 任务四：完成认证与 Safety Case 预评估

800V 进入节点后，高压范围从机柜级扩展到服务器节点内部，认证与安全责任边界更复杂。必须在设计早期进行 Safety Case 与认证路径预评估。

具体输出：

1. 适用标准映射表；
2. 高压可触及性分析；
3. 单故障情境分析；
4. 绝缘与爬电距离评估；
5. 液冷泄漏与电气安全评估；

6. 残压与放电时间评估；
7. LOTO 与维护流程；
8. NRTL/AHJ/EHS/保险要求清单。

具体作法：

1. 建立 Direct to Node Safety Case，列出危险源、保护措施、验证证据与残余风险。
2. 与 NRTL、AHJ、客户 EHS 和数据中心运维团队早期对齐。
3. 对高压节点连接器、PDB、Busbar、液冷接口建立单故障分析。
4. 明确哪些动作允许维护人员执行，哪些必须由受训人员或停电状态下执行。

5.3.3.5 任务五：建立小规模示范机柜验证

Direct to Node 的风险必须透过示范机柜验证，而不是仅依赖模拟或单板测试。需在小规模示范机柜上验证 EDPp、液冷故障、热插入/禁热插入、误操作和故障选择性。

示范机柜建议包含：

1. 800V Power Rack 或 Sidecar；
2. IT Rack 800V Busbar；
3. 至少 2-4 个 Direct to Node 节点；
4. 节点级 800V 盲插连接器；
5. PDB + HV IBC 样机；
6. 仿真 AI 负载或电子负载；
7. 液冷回路与泄漏模拟；
8. HVIL/预充/放电状态机；

9. 温度、电压、电流、绝缘、故障波形遥测；

10. 可重复故障注入测试环境。

【新增建议表：Direct to Node 示范机柜验证项】

验证项	测试内容	通过准则
EDPp 负载	峰值、频率、占空比、母线跌落	母线电压在定义范围内恢复
节点插拔	半插、慢拔、未锁止、误插	不产生拉弧，不允许主回路误闭合
液冷故障	泄漏、冷凝、快接头未锁定	触发降额/断电/维护锁定
节点短路	PDB 输入或输出短路	故障节点隔离，不扩散至整柜
接地故障	单点接地、绝缘下降	IMD/保护系统告警或隔离
残压释放	主回路断开后放电	规定时间内降至安全阈值
维护流程	LOTO、PPE、节点更换	人员不可接触危险带电体

六、800V AI 机柜供电链路核心技术挑战

6.1 供电架构技术挑战

6.1.1 机柜级供电

800V 高压直流是适配 MW 级 AI 高密机柜的核心演进方向，可大幅降低母线电流与线路损耗，但相比传统低压系统，其在制式选型、故障保护、系统稳定、安全运维等维度复杂度显着跃升，核心矛盾是“高压降损收益与系统安全、保护、运维成本上升”的平衡，当前行业面临六大核心技术挑战：

1. 电压制式与接地系统无统一标准，选型权衡难度大

双路线径各有短板：800V 单极系统结构简洁，但对正负极绝缘设计、触电防护、接地故障检测要求极高；±400V 双极系统可降低单极对地电压、提升人

员安全性，但需额外配置中点平衡管理单元，保护器件数量增加，还需应对系统不平衡运行风险。

接地方案影响全局逻辑：直接接地、高阻接地、浮地三种接地方式，会直接改变故障电流路径、绝缘监测装置（IMD）的检测灵敏度与保护动作逻辑，行业尚未形成公认的最优选型。

顶层安规规范空白：目前暂无专门针对数据中心 800V/±400V 高压直流场景的专属安规标准，国内认证体系暂不受理 800V 输入电源的合规申请，国际通用安规也未完整覆盖 600V 以上直流输入，系统设计的合规性与一致性缺乏统一依据。

2. 直流故障切除难度高，保护选择性不足易扩大故障

天然存在灭弧短板：高压直流无交流自然过零点特性，短路电流上升速度快，熔断器、断路器、固态开关的动作时序与参数配合难度远高于交流系统，短路拉弧难以快速、可靠熄灭与切除。

保护越级跳闸风险突出：系统保护选择性设计不足时，即使电源模块、BBU 配置了 N+1/2N 冗余，局部支路短路仍可能触发上级保护越级跳闸，最终导致整柜掉电，单点故障影响范围被放大。

容性涌流增加保护难度：机柜内 DCDC 变换器存在大容量输入电容，上电瞬间会产生幅值极高的容性涌流，易造成上游保护器件误动作，需配套预充电路设计，进一步提升了保护器件的选型与配合门槛。

3. 储能接入方案不明确，母线动态稳定性控制难度大

接入位置存在两难：BBU / 储能可选择在 AC 侧、800V 母线侧、54V 侧或节点侧接入；储能靠近负载可提升毫秒级功率波动的动态响应速度，但会增加故障点可释放能量，放大安全风险；集中布置便于运维，但对母线阻抗、多模块控制协同的要求显着提升。

功能边界影响设计逻辑：储能需同时覆盖备电、削峰填谷、AI 功率波动缓冲、电网互动等多重功能，不同功能定位对应控制策略、保护边界差异极大，需明确定义功能优先级与协同逻辑。

AI 负载冲击性强：AI 训练负载存在毫秒级同步功率波动，对母线电压稳压精度、储能响应速度提出了远高于传统 IT 场景的要求，控制策略失当会直接导致母线电压跌落、负载宕机。

4. 液冷与高压系统耦合，绝缘防护面临新场景挑战

AI 高密机柜普遍配套液冷散热方案，冷却液泄漏、凝结结露、维护拆装等场景，会持续劣化高压母排、连接器的绝缘环境，极易引发绝缘击穿、短路故障。需配套泄漏检测联动保护机制，完成湿热、污染环境下的可靠性验证，并提升母排、连接器的防护等级，实现供电与液冷系统的安全协同。

5. 运维安全体系空白，作业风险不可控

热插拔安全要求严苛：800V 高压直流的带电热插拔，需同时满足预充、放电、机械互锁、弧光抑制、状态检测等多重安全条件，传统 54V 低压系统的运维经验完全不适用。

维护边界与流程缺失：2N/N+1/Sidecar 等不同冗余架构的维护边界不清晰，在线维护、断电闭锁、Power Rack 与 IT Rack 电气隔离等作业流程缺乏统一行业标准。

人员防护标准滞后：现有电气安全规范未完整覆盖 600~1000V 直流场景的个人防护装备等级，运维人员的触电、弧光伤害防护缺乏明确依据。

6. 产业链生态不成熟，器件与接口标准化不足

核心器件适配门槛高：800V 高压输入对功率器件耐压等级要求高，需全面采用碳化硅等高耐压器件；同时高降压比 DCDC 模块的拓扑设计、功率密度提升均存在技术瓶颈，产业链成熟度低于低压方案。

接插件与母排标准不统一：800V 高压连接器、母排、盲插接口尚无统一行业标准，不同厂商方案兼容性差，制约了产业链规模化落地与成本下降。

6.1.2 板级供电

6.1.2.1 HVDC PCB 安规工艺与物理布局挑战

爬电/电气间隙硬性指标跃升：依据 IEC62368-1:2018 高压加强绝缘增补条款，800V DC 功率回路 PCB 最小爬电距离 $\geq 12.5\text{mm}$ 、电气间隙 $\geq 10\text{mm}$ ，相较 54V 低压回路 3.2mm 爬电距离，绝缘布局占用主板面积扩容 2.8 倍；当下 AI 主板高密度布局，板内集成 PCIe6.0 连接器、多组 BGA 算力插座、高密度内存插槽，板内空间余量不足，直接压缩信号布线、散热通道空间，布局耦合设计难度指数级上升；

高低压分区隔离难度大：800V 高压功率域与 12V 低压芯片域严禁共地、严禁走线交叉，主板原有 BGA 插座、连接器位置需重新迭代；

沿面电弧碳化永久失效风险：常规服务器 FR-4 基材 CTI 耐起痕指数仅 400V~500V，800V 高压工况下，PCB 阻焊表层水汽、粉尘杂质极易诱发沿面爬电打火，高温电弧碳化基材树脂，形成不可逆导电碳化通道，最终引发高低压跨区永久性短路，整机直接报废，常规板材无法适配高压长期运行工况。

6.1.2.2 板级 HVDC 功率器件适配挑战

高低压储能器件全局迭代：板级低压储能 MLCC、SP-Cap 额定耐压最高仅 16V，仅适配 12V/54V 次级母线，无法承受 800V 一次高压母线直流偏压；高压输入端必须更换安规级 Y2 高压电容、车载级 1200V 大容量 MLCC、SiC 专用无感储能电容，高压无源器件单价为低压器件 3~6 倍，整板电源 BOM 综合成本上浮 41%，同时高压电容体积偏大，进一步挤占板内布局空间；

开关器件失效风险：硅基 MOSFET 耐压不足，必须全系更换碳化硅 SiC 器件，SiC 高频开关耦合噪声更大，极易干扰 BMC、CPLD 时序电路；

板级高压保护器件生态空白：目前全球半导体厂商暂无量产适配服务器工况、宽温抗震的 800V 集成式板级 eFuse、可编程高压 Hot-Swap 专用主控芯片，现有工业级高压保护芯片体积大、无抗震加固、无服务器专用通信接口，低压保护芯片耐压裕量不足，高压冲击下瞬时击穿率高达 68%（OCP 2026 样机摸底失效统计），无法实现板级微秒级故障隔离。

6.1.2.3 板级 HVDC 时序、保护与 RAS 可靠性挑战

多级联锁上电时序复杂度翻倍升级：原有 54V 架构 8 级简易上电时序，仅

管控待机域-功率域-芯片域逐级上电；800V 架构升级为 12 级高压前置联锁时序，硬性逻辑要求：高压对地绝缘校验→高压残压清零→高压回路自检→分区高压合闸→次级 54V 稳压校验→12V 母线建立→低压芯片逐级上电，高压未泄放、绝缘不达标工况下，硬件互锁禁止低压上电，现有 CPLD 固件架构需全盘重构，固件开发、验证周期增加 60%；

高压故障能量扩散不可控：800V 母线储能容值更大、击穿释放能量远高于 54V 低压架构，单点接口打火、介质击穿故障释放能量可达低压架构 11 倍，现有小型贴片熔断器熔断速度滞后，无法实现分区独立快速熔断，单点高压故障极易烧毁整块主板、算力 BGA 插座，故障隔离能力远弱于低压架构；

全局绝缘监测新增管控刚需：高压板级必须外置专用 IMD 对地绝缘监测芯片，20ms 周期采样高压正极、负极对地阻抗，预判水汽凝露、基材老化隐患；原有 BMC 遥测端口、采样分压电路、通信协议均为低压适配设计，耐压、采样精度不足，全局遥测子系统需要重新硬件改版、协议适配。

6.1.2.4 板级 HVDC EMC 电磁兼容专项挑战

板级 EMC 为高压量产最难闭环项：适配 800V 降压的 SiC MOSFET 开关频率提升至 420kHz~450kHz，开关边沿陡度大幅提升，回路高压变化率 $dv/dt \geq 800V/ns$ ，相较于硅基器件 dv/dt 提升 4.3 倍，板级共模、差模辐射全局超标；高频高压噪声会耦合串扰板内 PCIe5.0/6.0 高速差分链路、DDR5 内存读写链路，引发高速链路误码、内存训练失败、芯片链路降速降级；现役板级常规磁珠、共模电感、屏蔽滤波器件带宽、耐压等级不足，无法适配高压高频噪声抑制，EMC 整改迭代次数相较低压架构提升 3 倍以上。

6.1.2.5 板级 HVDC 失效故障专项调整

多级联锁上电时序复杂度翻倍升级：原有 54V 架构 8 级简易上电时序，仅管控待机域-功率域-芯片域逐级上电；800V 架构升级为 12 级高压前置联锁时序，硬性逻辑要求：高压对地绝缘校验→高压残压清零→高压回路自检→分区高压合闸→次级 54V 稳压校验→12V 母线建立→低压芯片逐级上电，高压未泄放、绝缘不达标工况下，硬件互锁禁止低压上电，现有 CPLD 固件架构需全盘重

构，固件开发、验证周期增加 60%；

高压故障能量扩散不可控：800V 母线储能容值更大、击穿释放能量远高于 54V 低压架构，单点接口打火、介质击穿故障释放能量可达低压架构 11 倍，现有小型贴片熔断器熔断速度滞后，无法实现分区独立快速熔断，单点高压故障极易烧毁整块主板、算力 BGA 插座，故障隔离能力远弱于低压架构；

全局绝缘监测新增管控刚需：高压板级必须外置专用 IMD 对地绝缘监测芯片，20ms 周期采样高压正极、负极对地阻抗，预判水汽凝露、基材老化隐患；原有 BMC 遥测端口、采样分压电路、通信协议均为低压适配设计，耐压、采样精度不足，全局遥测子系统需要重新硬件改版、协议适配。

6.1.2.6 GPU 近核供电架构挑战

1. 板侧分立 VRM 传统水平供电架构（存量通用+高功耗适配瓶颈专项）

架构模式：VRM 降压模组平铺布置于 GPU 主板侧边/尾部，水平走线供电至 GPU，属于分体式远端横向供电，功率电流平行主板平面传输，供电环路长、功率路径固定；适配母线：54V 中转母线、12V 中间母线；器件特点：多相分立 Buck/TLVR MOS、外置电感电容，调试简单、维修便捷；**专属行业瓶颈（AI 高功耗迭代核心痛点）**：伴随新一代 GPU 功耗突破 2000W~3500W，内核电压低至 0.65~0.8V，内核稳态电流高达 2500~3500A、微秒级冲击电流突破 4000A，传统水平供电已触及 PCB 布局、传输损耗、热管理、VRM 密度四重物理瓶颈，为当下存量改造最大短板。

2. 高功耗 AI 芯片迭代下，传统水平供电全局挑战拆解

1) 功率路径寄生损耗不可逆：水平远端供电环路长度普遍 $\geq 35\text{mm}$ ，叠加多层功率过孔、横向铜皮阻抗，大电流工况下 $P = I^2 R$ 传输损耗指数飙升，单 GPU 供电传输损耗突破 120W，整机能效直接下滑 2.8%~4%，同时 GPU 近端压降超标，满载工况内核电压跌落超 SPEC，触发芯片降频保护；

2) PCB 布局面积刚性挤占：传统水平 VRM 依托侧边平铺布局，GPU 功耗每提升一倍，VRM 并联相数近乎翻倍，B200 平台已标配 60 相 DrMOS 阵列，整套水平 VRM 占用主板面积等同 GPU 本体面积，挤占 PCIe 扩展、HBM 散热、分区去耦

布局空间，AI 高密度主板无扩容余量；

3) 瞬态负载能力失效：AI 大模型同步训练工况 di/dt 峰值突破 $2000A/\mu s$ ，水平长环路寄生电感高达数 nH，无法快速抵消负载陡变扰动，内核噪声超标；

4) 分区热耦合失效：水平平铺 VRM 紧邻 GPU 风冷/液冷散热区，VRM 结温与 GPU 芯片结温双向耦合，VRM 最高结温突破 $125^{\circ}C$ 器件降额红线，MOS 管导通内阻漂移，进一步加剧供电劣化。

3. AI 高功耗倒逼下，传统水平架构 VRM 功率密度极限挑战

1) 器件封装密度瓶颈：传统水平分立 DrMOS、外置耦合电感为平面贴片布局，受制于封装散热、爬电间距，常规 12V/54V 平面 VRM 功率密度上限仅 $18\sim 22W/cm^2$ ；面向 3000W 超高功耗 GPU，平面 VRM 必须无限叠加相数，无法缩小占地，功率密度无提升空间；

2) 热密度无解瓶颈：水平 VRM 平面散热仅依托单面 PCB 导热，无背部散热通道，单位面积热流密度突破 $120W/cm^2$ ，超出 FR-4 基材导热极限，无法通过常规降阻、均流优化破解；

3) 拓扑原生密度短板：适配水平布局的传统 TLVR、分立 Buck 拓扑，元器件分散排布，储能电容、驱动电路、采样电路分立布局，集成度偏低；对比垂直堆叠 VRM、封装 IVR，平面水平 VRM 功率密度差值高达 60%；

4) 母线适配放大瓶颈：800V 降压后 54V/12V/6.75V 中低压母线，依旧需要水平大电流铜皮转运功率，母线电流越大，VRM 输入端均分、均流难度越高，必须增设冗余功率通道，进一步稀释 VRM 有效功率密度，形成恶性循环。

阶段性结论：1800W 及以下中端 GPU，传统水平 VRM 供电尚可量产适配；2000W 以上下一代 AI 超高功耗芯片，平面水平供电+分立 VRM 组合，已完全抵达物理极限，仅能短期适配存量风冷机房，无法适配液冷高密算力集群。

6.1.3 EDPp

6.1.3.1 EDPP 的基本定义、影响及现有治理措施

对于芯片而言 EDPP 有两种叫法，一是电气设计峰值功率（Electrical Design Peak Power，EDPP），另一个是极端动态负载脉冲功率（Extremely Dynamic Pulse Power），特指 GPU、高性能计算芯片、服务器及配套电源等算力硬件，在突发高强度计算任务、负载瞬时跳变工况下，短时间内允许承受的极限瞬时峰值功率。区别于稳态热设计功率 TDP，EDPP 聚焦设备短时脉冲式功耗冲击。EDPP 是当前芯片及其模组（英伟达成为 SuperChip）电源、机柜电源甚至机房电源供电的关键约束指标。要求各级供电电源设计的 EDP（Electrical Design Power）能够覆盖该 EDPP 功率需求。对于 EDPP 功率各家芯片也都定义了其多个档位的 EDPP 功率峰值及其允许的持续时间，如下图 1，持续时长短 EDPP 峰值更高，持续时长长的 EDPP 峰值较低。实际业务运行中，AI 算力调用 EDPP 为芯片定义的 EDPP 系列的近似随机组合，只要每一段功率并不超出芯片的要求且长时间的平均功率也不超过 TDP，那么都应是允许的，各级电源需要支持，这一点有点类似功率开关管的 SOA 应用的概念。

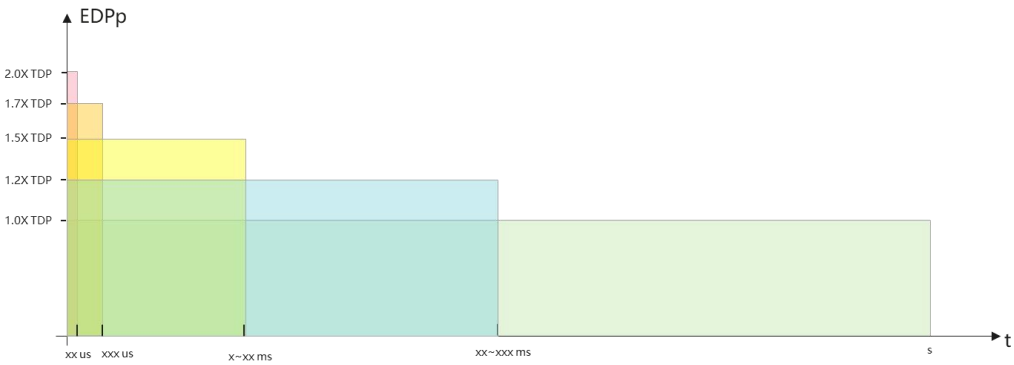


图 1 芯片 EDPp 示意图（各厂家芯片定义具体值会不同）

EDPP 源于芯片侧，从芯片及其模组电源向前逐渐传递，是否会被传递到前一级遵循 $\frac{1}{2}C(U_1^2 - U_2^2)$ ，其中 C 为该级的可用电容值，U1 和 U2 是该级电压允许的电压上下限。

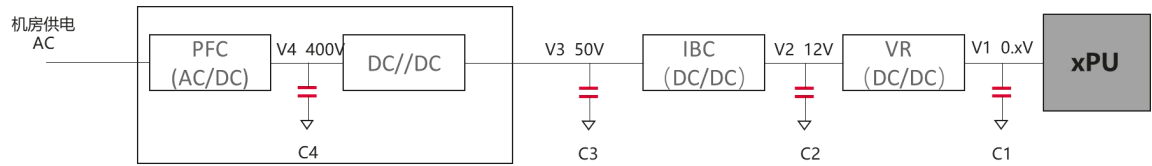


图 2 当前供电架构 EDPP 传导示意图

一般来说，芯片级 VR 电源对于电压的波动容限很低，并且其工作电压也很低，因此基本最多只能对微米级的 EDPP 有一定吸收能力。并且芯片级 VR 电源的设计目标就是通过不断提升带宽来满足芯片的动态功率需求，进而以最快速度向前传递功率需求。前一级的 IBC 电源设计理念类似，因此的很多的 EDPP 就会被传递至机柜级甚至机房。

EDPP 核心工况特征结合 OCP 官方测试规范与机房实测负载数据，EDPP 具备三大核心典型特征，区别于常规稳态负载与持续过载负载：1. 功率幅值瞬时跃升：EDPP 峰值功率显着高于设备常态 TDP 工作功率，常规工况下峰值为 TDP 的 120%~150%，OCP 项目 SideCar 800V 电源极限工况可达 175%TDP，属于业务负载带来的正常功耗波动，非电路故障浪涌，不可通过保护电路直接切除。2. 作用时长与峰值且呈负相关特性：峰值功率倍率越高，允许持续工作时间越短；3. 该功率脉冲最高工作频率可达 10kHz，周期性冲击会持续影响后端供电链路稳定性。3. 功率扰动覆盖宽频段：负载波动分为低频与高频两大区间，不同频段扰动向上传导的供电层级完全不同，对配电系统的影响存在明显差异。

No.	Low load	High load	T_low	T_high	Average load	Frequency	PSU Slew rate
1	70%	130%	0.05ms	0.05ms	100%	10kHz	1A/us
2	20%	140%	0.1ms	0.1ms	80%	5kHz	1A/us
3	40%	175%	2.5ms	2ms	100%	222Hz	1A/us
4	0%	80%	1ms	1ms	40%	500Hz	0.1A/us
5	20%	140%	50ms	50ms	80%	10Hz	1A/us
6	60%	140%	50ms	50ms	100%	10Hz	1A/us
7	30%	140%	28.6ms	50ms	100%	12.7Hz	1A/us
8	30%	175%	0.43ms	0.4ms	100%	1.2kHz	1A/us

图 3 Mt Diabale 400 定义的脉冲功率序列

因此 EDPp 功率的处理分 2 个方面。一个是是否该级电压能‘抗’住该功率冲击，即可满足 EDPp 的短时功率输出能力，是对输出能力的定义。另一个是是否该级电压能够对 EDPp 功率有平波抑制能力，即可以一定程度阻止其功率波动向前一级传递，即功率滤波器，是对输入能力的定义。具备‘功率滤波器’能力就是为了解决前文所说的供电链路稳定性问题。

低频段（0.1~100Hz，其中主要为 0.1Hz~30Hz）：主要影响电网和机房配电的稳定性，影响配电容量与电网入网许可。TPSU 可处理 10Hz~100Hz 频段（目前 Turbo 功率波动最低频为 10Hz），更低频由机房备电 BBU 或 ESU 协同。

高频段（100Hz 以上，其中主要为 KHz~10kHz）：主要影响柜内 54V&6V PDN 供电网络稳定性。该部分功率不会被透出机柜，但严重时产生剧烈谐振会影响供电可靠性，对于电容容量和纹波电流耐受能力有要求。

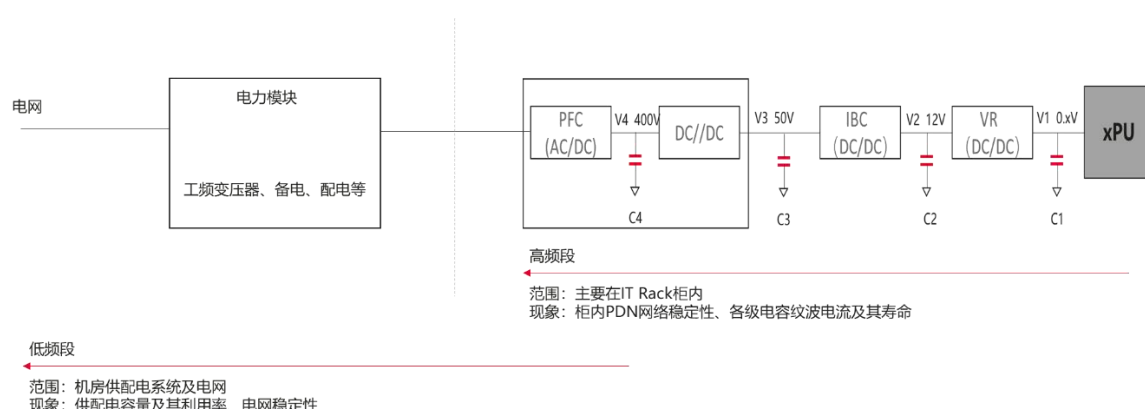
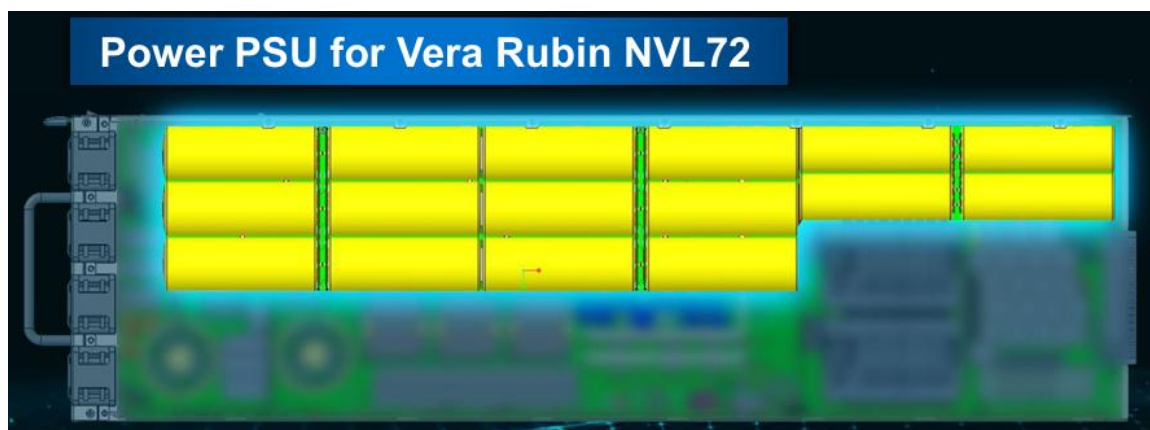


图 4 各频率 EDPP 对各级供电的影响分析

现有传统 AC 入柜+54V 母排架构已经开始出现对于 EDPp 进行抑制的方案设计。主要有以下两种：

方案 1：在 AC PSU 中加入大量高压电解电容，挂在内部的 PFC 母线上。基于前文的 $\frac{1}{2}C(U_1^2 - U_2^2)$ 规则，PFC 出的电压可以允许有较大电压波动幅度，且电压较高（400V 等级），因此可以对较长时间的低频 ms 级（几毫秒到一百毫秒）形成很好的抑制波动能力。



Energy Storage Aluminum capacitor embedded in PSU for high frequency dynamic load

图 4 台达在 GTC2026（春季）公布的用于 Rubin 18.3kW PSU 设计

方案 2：部分厂商在尝试在 54V 母排处，使用 CBU（也有叫 PCS、PLSS 等）的方案，其核心设计为通过串并超级电容并经双向 DCDC 与 PSU 协同对 EDP_p 进行抑制平波处理。同样参考 $\frac{1}{2}C(U_1^2 - U_2^2)$ 规则，尽管超容自身的电压范围不大，但是其依靠法拉级的超大容值可以取得很好的平波抑制效果。

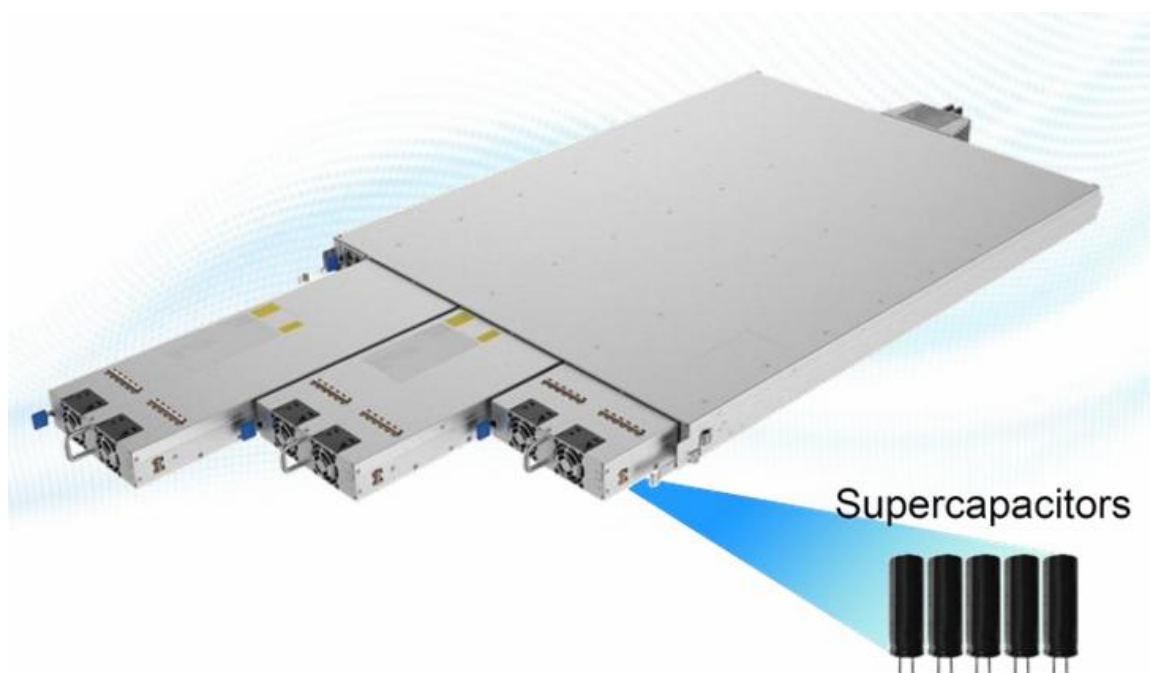


图 5 CBU 示意图（Source: Rack and Power Update, OCP 2025）

以上 2 种方案虽然都可以取得比较好的滤波效果，但用于现有传统 AC 入柜 +54V 母排架构均有一个相同问题。即随功率需求增大，其所需的电容量要随功率需求等比例增大，那么机柜的槽位空间降难以支持。比如以 Vera Rubin NVL72 的机柜供电方案计算，其 12U Powershelf 在 3+1 冗余下可提供最大 330kW 供电能力，若整柜功率需求来到 600kW 以上，那么 Powershelf 将占用达到 24U 槽位，这显然不合适了。

在 800V 直流架构下，这个问题就会出现转机。因为直流母线从机柜延伸到了机房，那么原来挂在柜内的哪些高压电容或者超级电容组就可以上移到柜外的 800V 直流母线上。

6.1.4 安全、保护与合规

高压工作环境下的绝缘防护、电弧防护、热插拔合规性需要满足 UL/IEC 等国际最新安全标准要求。设备间距与爬电距离需要适配机柜空间限制。

6.2 连接器与铜排技术与挑战

连接器和铜排的挑战可归纳为 **高压安全、高功率热、高密度机械、高可靠运维和标准化不足**。800V 架构降低了传输电流，却显着提高了绝缘、防拉弧、触电防护、故障隔离和维护安全复杂度。连接器与铜排不应只比较样本额定值，而应推动厂商联合定义公共测试方法、接口边界和故障后安全状态。行业组织应推动厂商联合定义公共测试，而不是仅比较单个样本额定值。

【连接器与铜排技术与挑战】

技术挑战	失效后果	建议标准化测试
直流拉弧	插拔或接触不良时形成持续电弧，引发烧蚀或火灾	带载/非带载边界、预充顺序、HVIL 响应、异常半插试验
接触电阻漂移	温升上升、效率下降、局部热点加速老化	初始/老化后接触电阻、热循环、振动后温升测试
误插与维护错误	人员触电、设备损坏、反接	机械编码、颜色/标签、锁止、状态检测、LOTO 流程验证
液冷环境	泄漏/冷凝降低绝缘性能	湿热、冷凝、液体兼容性、泄漏联动断电
母排短路力	故障时母排移位、绝缘破	短路电动力计算与试验、支撑件

	裂或二次短路	阻燃与耐热
--	--------	-------

6.2.1 高压绝缘与安规挑战

800V DC 已超出传统低压服务器供电接口的经验范围。连接器和铜排需重新定义电气间隙、爬电距离、CTI、污染等级、海拔降额、绝缘包覆、边缘场强、高压与低压隔离，以及液冷泄漏后的绝缘保持能力。

具体作法：

1. 建立 **800V Insulation Map**，标出 Power Rack、IT Rack、DCDC Shelf、Busbar、PDB、连接器中的所有高压区域。
2. 按应用位置分别定义 creepage/clearance，而不是全系统使用单一数值。
3. 对液冷邻近区域增加冷凝、喷溅、泄漏后的绝缘电阻测试。
4. 对连接器塑料、Busbar 绝缘包覆、支撑件材料建立 CTI、阻燃、耐热、耐液体兼容性清单。
5. 在样机阶段执行 Hi-pot、IR、局放/电痕、湿热、冷凝和污染测试。

6.2.2 直流拉弧与插拔安全挑战

800V DC 最大的危险之一是直流电弧。DC 无自然过零点，若在带载状态下拔出连接器，或连接器半插造成接触面积不足，电弧可能持续燃烧，导致端子烧蚀、塑料碳化、绝缘下降甚至火灾。800V 热插入与保护机制必须处理直流电弧、预充、安全锁定与维护边界。

具体作法：

1. 800V 连接器预设为 禁止人工带载插拔，除非通过专门 DC load-break 认证。
2. 所有可维护连接器必须配置 HVIL，且 HVIL 不应被软件旁路。
3. 插拔逻辑必须硬件化：解锁即断电，未锁止不供电。
4. 设置预充触点与主功率触点分离，避免输入电容造成浪涌。

5. 对半插、慢速拔出、锁扣未闭合、讯号 Pin 断线进行故障注入测试。
6. 在连接器附近增加温度感测或热敏电阻，用于发现接触电阻异常引起的热点。

6.2.3 温升与接触电阻漂移挑战

短期 800V→54V 架构中，54V 输出侧仍可能承受极大电流，因此 54V Busbar、54V 输出连接器和 DCDC Shelf 输出接口仍是温升风险集中点。建议 54V 输出连接器、800V DC Whip 输入连接器与 800V 转 54V PSU 连接器均需定义电气性能、机械性能和环境要求。

6.2.4 线缆布线与机械整合挑战

短期 800V→54V 过渡架构中，Power Shelf 到 DCDC Shelf 多采用连接器 + 直流线缆。线缆需要同时满足高压绝缘、载流、柔软性、阻燃、弯折半径、端接可靠性和现场布线便利性。

6.2.5 铜排短路力与液冷环境挑战

800V Busbar 的短路电流可能由多个 PSU、BBU 或储能单元共同贡献，故障电流上升快，母排支撑结构需要承受电动力。建议将短路保护、故障选择性、液冷泄漏联锁列为系统挑战。

6.3 生态与工程挑战

800V AI 机柜供电链路的难点并不只在单一器件或单一拓扑，而在于生态协同和工程落地。800V HVDC 架构横跨数据中心配电、Power Rack、IT Rack、DCDC Shelf、BBU/CBU、连接器、线缆、Busbar、液冷、PDB、IBC、VRM、服务器节点、安全认证与运维流程等多个环节。0Aii V0.5 原文已指出，当前行业同时存在 800VDC、±400VDC、480VDC、54V、ORv3、ORW、Diablo 以及厂商私有 Power Rack 等多条表达与路线，若缺乏公共接口定义，会造成重复开发、互不兼容、测试方法不一致和客户验证成本高的问题。

建议先定义系统边界，再定义器件规格。系统边界建议分为设施侧、Power Rack、柜间 HVDC 连接、IT Rack 母线、DCDC Shelf、节点 PDB、板级

IBC/VRM。每一区域需明确额定电压、最大持续电压、瞬态过压、故障电流、维护可触及性和保护动作要求。

6.3.1 标准不统一

800V AI 机柜供电目前最大的生态问题之一，是技术方向虽然趋于明确，但接口、术语与标准路线尚未完全收敛。目前产业同时存在 800VDC、±400VDC、480VDC、54V、ORv3、ORW、Diablo 以及不同厂商的私有 Power Rack 架构，若缺乏公共接口定义，将造成重复开发、互不兼容、测试方法不一致与客户验证成本高的现象。OCP Diablo 400 v0.7 已由 Microsoft、Meta、Google 联合推动，而 NVIDIA 800V DC 生态则主要与其与半导体、电源与基础设施合作伙伴共同推进，这意味着标准与生态正同步演化，但尚未完全收敛。

标准化对象	短期优先级	具体输出
术语与系统边界	高	800V AI Rack glossary、系统边界图
Power Rack 到 IT Rack 界面	高	800V HVDC 输出接口规范
800V 连接器与线缆	高	Connector & cable assembly V0.5
54V Busbar 输出接口	高	54V 大电流母排接口要求
800V Busbar	中	绝缘、支路保护、机械包络规范
Direct to Node	中	节点级高压盲插界面预研规范
SST/MVDC	低/长期	长期架构与认证路径研究

【新增建议表：标准化优先级】

6.3.2 供应链协同

800V 链路不是单一厂商可自行完成的产品，而是跨平台、跨电源、跨连接器、跨液冷、跨认证与跨运维流程的系统工程。平台方、云厂商、服务器 OEM/ODM、电源厂、半导体厂、连接器厂、铜排 / 线束厂、液冷厂、机柜厂与认证单位都需要同步参与，任何单点成熟都不足以形成可部署系统。从 OCP 与 NVIDIA 的发展也可看出，其竞争不只是器件技术竞争，而是生态整合与落地效率的竞争。

【新增建议表：五类角色协同机制】

角色	主要输入	需要对齐内容
GPU/平台方	负载功率、EDPp、节点功率路线	负载谱、功率峰值、Direct to Node 时程
云厂商/数据中心	机房配电、冗余等级、运维流程	接地、保护、消防、AHJ、EHS、LOTO
OEM/ODM/服务器厂	Rack/Node 结构、PDB、液冷路径	节点包络、盲插、PDB 安规、维护流程
电源/半导体厂	PSU、DCDC、IBC、保护器件	转换效率、动态响应、故障隔离、EMI
连接器/铜排/线束/液冷厂	连接接口、Busbar、线缆、冷却	机械包络、温升、绝缘、液冷泄漏联动

6.3.3 工程验证不足

目前公开资料多仍停留在架构、参考设计或白皮书阶段，缺少跨厂商长期运行数据、故障统计、EDPp 负载谱、AHJ 验收案例与维修流程验证。无论是 OCP Mt. Diablo 或 NVIDIA 800V 生态，虽然都已提出明确路线与接口方向，但真正可供产业共享的 Demo Rack、故障注入测试方法、HVIL / 预充共同验证平台与 Safety Case 模板仍然不足。因此，若没有共通验证平台与测试矩阵，800V AI 机柜就很难从领先厂商的封闭试点，走向开放供应链的规模化交付。行业组织应优先建立公共验证平台。

【新增建议表：工程验证测试矩阵】

器件级	连接器温升、接触电阻、耐压、插拔寿命	验证器件基本能力
组件级	Cable assembly、Busbar joint、HVIL/预充模块	验证接口组件可靠性
子系统级	Power Shelf + DCDC Shelf + Busbar	验证效率、均流、保护、热表现
系统级	Power Rack + IT Rack + 负载	验证 EDPp、故障选择性、运维流程
异常工况	半插、短路、接地故障、液冷泄漏、残压异常	验证故障后安全状态
长期运行	热循环、负载循环、湿热、振动后复测	验证可靠性与老化趋势

6.3.4 生态推进机制

【新增建议表：6.3 生态与工程工作组】

工作组	参与方	主要任务
架构与界面组	云厂商、GPU 平台、OEMODM、电源厂	定义系统边界、界面清单、参考架构
安全与合规组	EHS、NRTL、AHJ 顾问、保险、资料中心运维	定义 Safety Case、标准映射、LOTO
连接器与铜排组	Molex/TE/Amphenol/Bizlink、铜排/线束厂	定义连接器、线缆、Busbar 界面和测试
板级电源组	半导体、电源模组、服务器 PDB/VRM 厂商	800-→54、800-→12、->6 线路比较
验证平台组	系统整合方、测试机构、云厂商、OEM/ODM	建立公共样机和故障注入测试

七、技术挑战应对策略与建议

7.1 供电架构

7.1.1 机柜级供电

针对 800V 机柜级供电在制式标准、故障保护、储能协同、液冷耦合、运维安全、产业生态六大核心挑战，行业应遵循标准先行、分区防护、分阶落地、系统协同的总体原则，从顶层规范、保护体系、架构设计、运维体系、落地节奏五个维度系统应对，在保障安全可靠的前提下，稳步推进 800V 高压直流在 AI 高密机柜的规模化落地。

1. 推动行业标准统一，明确制式选型边界

顶层规范先行，统一接口框架 由 OCP、ODCC 等行业组织牵头，优先发布 800V AI 机柜电源接口规范，暂不锁定具体器件形态，先统一系统边界、电气接口、保护分区、测试方法四大核心框架，同步推动输入端子标准化，降低产业链跨厂商适配成本。明确悬浮接地、高阻接地、中点接地、±400V 中点管理四类接地方案的适用场景与设计要求，给出标准化选型指引，减少厂商选型分歧。

分场景匹配电压制式 中小功率、运维接触频次低的封闭机柜优先采用 800V 单极系统，简化架构与布线；人员接触多、安全等级要求高的场景可选用 ±400V 双极方案，配套中点平衡管理与不平衡保护机制，降低单极对地电压风险。同步推动数据中心高压直流专属安规标准制定，填补 600V 以上直流供电

的合规空白。

2. 构建分级分区保护体系，破解直流故障切除难题

六级分区保护架构，实现故障就地隔离 自上而下划分设施侧、Power Rack 电源柜、柜间连接、IT Rack 母排、节点 PDB、板级 DC/DC 六级独立保护分区，每个分区配置专属保护器件与故障隔离机制，实现 “故障就地隔离、不越级扩散”。针对 N+1/2N 冗余电源系统，覆盖单模块故障、支路短路、上级保护拒动、BBU 反灌等全工况验证，避免保护参数误配抵消系统冗余能力。

精细化故障能量管控，优化保护配合 架构评审阶段同步建立母线阻抗模型与故障能量模型，量化不同故障点的电流来源、峰值电流、上升速率与清除时间，基于 I^2t 特性匹配熔断器、混合式断路器、eFuse 固态开关的动作时序，实现保护选择性配合。针对直流短路电流上升快的特性，配套 di/dt 限流装置减缓故障电流上升速率，提升保护器件的可靠分断能力。

3. 分层优化储能接入，保障母线动态稳定

按功能定位分层接入，明确保护边界 明确储能功能优先级与对应接入点位：以毫秒级 AI 功率波动缓冲为核心需求的，储能靠近负载侧接入，最大化动态响应速度；以备电、削峰填谷为核心的，集中在 800V 母线侧接入，兼顾运维便利性与控制协同。清晰界定 AC 侧、800V 母线侧、54V 侧、节点侧四类接入方案的保护边界与控制逻辑，避免功能交叉导致的控制冲突。

协同前端架构设计，平抑负载波动 EDPP 解决方案需与上游 IDC 侧 800V 供电架构协同设计，明确功率交互边界与控制优先级，避免架构耦合导致系统复杂度失控。针对 AI 负载毫秒级同步功率波动，配套 BBU 快速限流与电压稳压控制策略，平抑母线电压跌落，保障负载供电连续性。

4. 系统化搭建运维安全体系，适配高压作业要求

全链路热插拔系统化设计 将机械互锁、预充电电路、eFuse 限流、软件许可授权、高压互锁（HVIL）、状态指示灯作为完整系统设计，而非单独依赖连接器额定值，实现热插拔全流程的安全管控。定义完整的故障处理状态机，覆盖正常运行、预充、降额运行、告警、故障隔离、安全放电、维护锁定全流程，

明确各状态切换条件与动作逻辑。

液冷与供电协同防护 机柜层面统一规划高压母排、连接器与液冷管路的布局，保持安全绝缘距离；对高压部件采用高防护等级封装，通过湿热、污染、冷凝环境可靠性测试。部署液冷泄漏检测系统，与供电保护系统联动，触发泄漏告警时同步执行高压断电、放电流程，避免绝缘劣化引发短路、触电风险。

全量状态遥测支撑运维 搭建完整的遥测与通信体系，实时监测电压、电流、功率、温度、绝缘状态、连接器状态、HVIL 状态、储能状态与故障波形，实现运维可视化与故障快速溯源。

5. 分阶段渐进落地，平衡技术成熟度与产业节奏

采用三阶段渐进式导入策略，兼顾技术验证与产业落地节奏：

第一阶段：过渡验证期 以 800V→54V 电源架为核心落地方案，重点验证 800V 母线、连接器、保护体系与储能系统的可靠性，复用成熟 54V 负载生态，降低初期落地门槛。针对 54V 铜排大电流损耗与散热问题，优化铜排截面设计与散热路径，结合液冷实现温均控制；针对双输入 ATS 需求，采用集成化设计将 ATS 与 Power Shelf 深度融合，最小化空间占用，兼顾冗余可靠性与功率密度。

第二阶段：直供样机期，将 800V 电压延伸至机柜 PDB 或服务器托盘，打造 Direct to Node 直供节点样机，验证高压进节点的绝缘、保护与运维方案，逐步减少中间转换层级。

第三阶段：设施级落地期 结合新建数据中心项目，探索以 800V 直流母线为核心的设施级直流配电架构，实现从机柜级到园区级的全链路高压直流协同。

7.1.2 板级供电

1. HVDC PCB 安规工艺与物理布局优化

基材分级选型控本：高压功率专属区域统一选用 $CTI \geq 600V$ 高耐起痕改性 FR-5 阻燃基材， T_g 玻璃化温度 $\geq 170^\circ C$ ，耐高温电弧碳化；信号低压区域、VRM 常规供电域沿用量产 FR-4 基材，分级控本，避免整板高价基材成本浪费；

物理隔离全局加固：严格执行 800V 回路爬电 $\geq$ xxmm、电气间隙 $\geq$ xxmm 硬性标准，高压走线区域开槽挖空基材、阻焊边缘加厚绝缘油墨覆边；高低压区域完全独立铺铜、全局割地零耦合，禁止高低压过孔邻位排布，高低压过孔间距 $\geq$ xxmm，从 Layout 源头规避耦合打火；

高压铜皮电场优化：800V 主干母线采用 3oz 加厚电解铜皮，抵消 SiC 高频趋肤效应损耗；所有高压铜皮、焊盘转角做 $R\geq 0.8\text{mm}$ 圆弧倒角，消除尖端电场聚集效应，降低空气电离打火概率，提升高压长期运行稳定性；

水平供电专属隔离布局：存量水平 VRM 主板单独划定独立高压进线分区，高压功率走线远离 GPU 水平供电环路，阻断高压噪声耦合至低压 VRM 回路，规避高低压叠加干扰劣化供电质量。

2. 板级 HVDC 功率器件适配优化

分级降额选型落地：800V 一次侧全系选用 1200V 耐压量产 SiC MOS，功率降额系数 ≤ 0.5 ；54V 次级适配 100V 低压 MOS、12V/6.75V 母线适配 80V 低寄生 GaN DrMOS，全局器件 $-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$ 宽温抗震加固，适配服务器振动工况；

高压无源器件替换：淘汰低压通用 MLCC，高压输入端标配 Y2 安规电容、SiC 专用无感储能电容，板级搭载独立主动泄放芯片，下电 1.5s 内将母线残压泄放至 36V 安全电压，消除自持电弧隐患；

保护器件模块化替代：暂无集成 800V 板级 eFuse 期间，采用「高压 TVS+分区熔断器+分立高压 HotSwap」组合电路，实现微秒级故障隔离，适配存量主板不改板替换；

水平 VRM 器件提质升级：淘汰老式高内阻分体电感 VRM，更换集成磁芯 GaN 一体化 VRM 模组，缩小平铺占地面积，提升平面 VRM 功率密度，缓解高功耗 GPU 供电布局挤占问题。

3. 板级时序、保护与 RAS 可靠性优化

重构四级联锁上电时序：升级 CPLD 可编程固件，搭建「高压绝缘自检 $\rightarrow$ 高压缓启动合闸 $\rightarrow$ 母线稳压建立 $\rightarrow$ GPU 内核分级上电」时序逻辑，绝缘阻抗不达标直接闭锁高压合闸；

故障域分区解耦保护：高压变换域、单 GPU VRM 供电域独立熔丝隔离，单点故障仅本域下电，不全局母线断电；打通高压打火、VRM 过流、芯片过热联动告警，BMC 归集故障点位，提升可维护性；

新增对地绝缘闭环监测：板级搭载专用 IMD 芯片，20ms 高频采样高压对地阻抗，预判凝露、基材老化隐患，联动风扇提速、母线降压防护，整机 RAS 可靠性提升至 5 个 9；

水平供电热耦合防护：平铺 VRM 增设独立温控采样点位，结温 $\geq 115^{\circ}\text{C}$ 自动降相限流，规避 MOS 内阻漂移、供电电压降超标，杜绝 GPU 满载降频。

4. 板级 HVDC EMC 电磁兼容专项优化

源头压制开关噪声：SiC 栅极匹配定制阻尼电阻，优化开关边沿，将 dv/dt 由 800V/ns 压制至 300V/ns 以内，高压功率回路加装 RC 吸收回路，抑制开关尖峰共模噪声；

三地独立隔离接地：高压功率地、VRM 低压功率地、信号控制地完全分割，采用单点星形共地，杜绝地平面互感耦合；高压变换区加装金属屏蔽腔体，隔离高频辐射；

全链路滤波降噪：高压进线加装高压高频共模电感、差分磁环；GPU 水平供电两端增设分级高频去耦阵列，阻断高压噪声沿水平长铜皮传导至芯片；PCIe6.0、DDR5 高速链路配套耐压隔离磁珠，规避链路误码；

环路缩径 Layout 降噪：最小化高压开关环路面积，高压走线绕行避开 GPU 水平供电、高速差分通道，降低跨域电磁耦合系数。

5. 传统水平供电架构闭环整改方案

面向 1800W-2200W 中端 GPU、存量卧式主板，不改机箱、不切换垂直架构，低成本整改补齐损耗、瞬态、密度短板，延长水平架构 2-3 年量产生命周期；

供电环路整改：重构 GPU 侧边供电 Layout，将原有 $\geq 35\text{mm}$ 水平供电环路压缩至 $\leq 20\text{mm}$ ，增设多路并联功率过孔矩阵，环路寄生电感由 $xx\text{nH}$ 降至 $x\text{nH}$ 以内，适配 2000A+/ μs 负载冲击；

VRM 密度升级整改：分体 TLVR 拓扑更换集成磁芯 VRM，平面功率密度由 $18\sim 22\text{W}/\text{cm}^2$ 提升至 $30\text{W}/\text{cm}^2$ ，同等功率下 VRM 占地缩减 40%，释放 HBM、PCIe 布局空间；

近端去耦压降整改：GPU BGA 近端密布 0201 高频 MLCC+低 ESR 大容量储能电容，搭建二级近端去耦网络，满载内核电压跌落管控 $\leq 3\%$ ，单路供电环路损耗控制在 55W 以内；

风道解耦散热整改：水平 VRM 加装独立超薄散热鳍片，与 GPU 主散热风道物理隔断，双向热解耦，VRM 满载结温严控 $\leq 110^\circ\text{C}$ ；

母线适配选型整改：水平供电体系优先绑定 $800\text{V}\rightarrow 54\text{V}$ 母线路线，规避 12V 超大母线电流放大水平走线损耗，为水平架构最优适配电压档位。

6. 行业阶段性落地选型结论

算力功耗分界阈值： $\leq 1800\text{W}$ GPU，传统水平 VRM 供电可整改复用； $2000\sim 2200\text{W}$ GPU，水平架构整改后可适配风冷存量机房； $\geq 2500\text{W}$ 超高功耗 GPU，水平架构物理触顶，必须切换背部垂直 VRM/GPU 内置 IVR 架构；

高压路线周期分界：2026-2027 过渡期：Sidecar 外挂+ $800\text{V}\rightarrow 54\text{V}$ +水平供电，改造成本最低；2028-2029 商用期：原生板入 $800\text{V}\rightarrow 12\text{V}$ +垂直堆叠供电，能效密度最优；2030 远期： $800\text{V}\rightarrow 6.75\text{V}$ +片上 IVR，极简终极供电架构；

研发准入建议：所有 800V 样机必须新增高压电弧、绝缘老化、高低压耦合 EMC 三项专属板级测试，纳入量产准入标准；全行业统一对标 OCP Mt.Diablo 高压 PCB、连接器、时序通用标准。

7.1.3 EDPP 800V 直流架构下的 EDPp 治理方案的研究和规范建立的建议

建议成立“AI Dynamic Power Profile”专项，制定 EDPp 测试谱和治理指标，该工作应由 GPU 平台方、云厂商、电源厂、服务器厂和储能厂共同参与。确定功率器件、保护和母排热能力。 E_{pulse} 单次或连续脉冲窗口内能量。确定电容/超级电容/BBU 容量。 F / duty 脉冲频率与占空比。区分由板级、机柜级还是设施侧治理。 ΔV_{bus} 母线电压最大跌落/过冲。定义电源动态性能和负

载容忍度。 $\Delta P_{\text{gridPCC}}$ 或 UPS 输入侧功率波动。评估对 UPS、发电机、电网和防逆流策略影响。Response time 从检测到补偿输出建立的时间。定义 PCS/BBU/超级电容控制要求。

7.1.4 安全、保护与合规

宜建立系统级安全证据链与示范验证平台。800V AI 机柜供电链路的导入，不应仅被视为电压等级提升或单一零件升级，而应被定义为涵盖电气安全、热管理、液冷环境、故障隔离、维护流程与供应链协同的系统级工程转换。相较于传统 54V 架构，800V HVDC 虽能有效降低同功率条件下的传输电流，进而减少 I^2R 损耗、铜材用量与低压大电流配电压力，但其同时引入更高的绝缘要求、直流拉弧风险、残压管理需求、液冷耦合失效与人员维护安全问题。因此，800V 系统的工程成熟度不能仅以连接器额定电压、铜排通流能力或电源转换效率作为判断依据，而必须建立由架构定义、危害分析、控制措施、验证方法与运维流程共同构成的安全证据链。800V 高压接口需同时纳入 creepage、clearance、Touch-safe、防误插、HVIL、pre-charge、PE 先接后断与残压释放等设计；800V interconnect design 不再只是电流承载问题，而是连接器、线缆、铜排、绝缘系统、PE pin sequencing、HVIL logic、pre-charge、discharge 与液冷联锁共同构成的架构问题。

在此基础上，建议 OAii 于 7.1 中新增系统级 Safety Case 方法，将 800V AI 机柜的安全设计由零件规格转化为可审查、可验证、可追溯的工程证据。Safety Case 应至少包含五个层次。第一层为架构边界定义，明确区分 Power Rack、IT Rack、DCDC Shelf、BBU / CBU、HVDC Busbar、Direct to Node interface 与维护可触及区域，避免高压责任边界在不同供应商之间模糊。第二层为危害识别，针对 DC arc、绝缘击穿、局部放电、液冷泄漏、残压未释放、pre-charge failure、HVIL failure、多电源反灌、短路电力与维护误操作建立失效清单。第三层为控制措施，将 PE、HVIL、pre-charge、discharge、Touch-safe、防误插、液冷联锁、绝缘监测、branch protection 与 LOTO 流程对应至各项风险。第四层为验证证据，透过组件测试、子系统测试、故障注入、液冷异常测试、湿热带电测试与示范机柜测试证明控制措施有效。第五层为运维证据，确认现场安装、维修、复测与异常排除流程可被实际

执行，并可将系统导入可预期安全状态。此方法可避免 800V 系统只停留在「额定符合」层级，而未能证明其在异常与维护条件下仍具备足够安全性。

此外，800V AI 机柜应建立共通示范验证平台，用以支撑 0Aii 从研究框架走向可落地标准。示范平台不应只是单一 power shelf 或单一连接器样品，而应包含 Power Rack 或 Sidecar Power Rack、IT Rack HVDC Busbar、DCDC Shelf、BBU / CBU 模组、Direct to Node 连接器、液冷回路、故障注入单元、遥测监控与安全控制器。验证矩阵需从 component rating 延伸至 system safety evidence，并涵盖 DC arcing、contact resistance drift、maintenance / mis-mating error、liquid-cooling exposure 与 busbar short-circuit force 等风险；另外液冷 / 冷凝 / 污染造成表面导电性增加、creepage 降低、漏电 / 局部放电、电弧 / 击穿与系统故障视为需要被系统化验证的高压失效机制。

示范验证平台的重点不在于展示单一最佳性能，而在于建立跨供应商可重复执行的测试方法。正常工作条件下，平台应验证 800V 主母线稳态运行、DCDC 转换效率、Busbar 温升、连接器接触电阻、液冷流量与压降、遥测资料完整性。异常条件下，平台应验证半插、慢拔、HVIL 断线、pre-charge failure、主接点接触弹跳、液冷泄漏、冷凝附着、残压未释放、branch fault、多电源反灌与短路电动力。维护条件下，平台应验证 LOTO、safe-to-touch 指示、残压确认、模组抽换、液冷 quick disconnect 复位与维修后复测。透过此类平台，0Aii 可将高压 AI 机柜的安全要求转化为具体测试条件与判定准则，进一步降低不同 CSP、OEM / ODM、电源厂、连接器厂、铜排厂与液冷厂之间的接口不确定性。

从产业落地角度看，系统级安全证据链亦有助于处理 54V 与 800V HVDC 并存期间的过渡问题。54V DC 目前仍是 AI rack 的重要架构方向，而未来 800V HVDC 会因 megawatt-scale rack 需求而变得必要；该文件亦提及混合 54V 与 800V 基础设施可能增加营运复杂度。这表示 0Aii 不宜假设所有机柜将一次性切换至 800V，而应定义可分阶段导入的安全与验证路径：短期以 800V→54V 架构降低低压配电压力，中期建立 800V shared bus 与 DCDC Shelf 标准接口，长期再导入 Direct to Node 与 liquid-cooled HV Busbar。

此分阶段策略可使既有 54V 生态、0Rv3 power shelf、OCP 开放标准与未来 800V AI Factory 架构之间形成可衔接的技术路线，而非造成供应链与资料中心运维的断裂。

应将 800V AI 机柜供电链路的标准化工作，从组件规格扩展至「系统级安全证据链 + 示范验证平台 + 分阶段导入路径」。其中，系统级安全证据链用于证明高压架构在正常、异常与维护条件下皆可被安全控制；示范验证平台用于建立跨供应商共通测试方法；分阶段导入路径则用于降低从 54V 过渡至 800V HVDC 的工程与运维风险。唯有如此，800V AI 机柜才能从概念性高压配电架构，逐步演进为可标准化、可认证、可部署、可维护的产业级基础设施。

【新增表 7-2A】800V 系统级安全证据链建议

证据层级	主要内容	对应目的
架构边界	Power Rack、IT Rack、DCDC Shelf、BBU / CBU、HVDC Busbar、Direct to Node interface	明确责任边界与高压安全区域
危害识别	DC arc、绝缘击穿、液冷泄漏、残压、反灌电流、短路力、维护误操作	建立完整风险清单
控制措施	PE、HVIL、pre-charge、discharge、Touch-safe、液冷联锁、LOTO	将风险转化为可设计功能
验证证据	Hi-pot、IR、PD、故障注入、液冷异常、湿热带电、短路力测试	证明控制措施有效
运维证据	安装、维修、复测、safe-to-touch、LOTO、异常排除	确保现场可安全执行

7.2 连接器

连接器策略建议按「三阶段」推进：短期先把 Power Shelf 到 DCDC Shelf 的 800V 连接器与直流线缆定义清楚；中期定义 800V Busbar 与 Direct to Node 节点接口；长期形成可覆盖 ±400V、800V、1000V/1500V 演

进的连接器平台。0Aii V0.5 原文已提出，短期应重点定义 Power Shelf 到 DCDC Shelf 的 800V 连接器和直流线缆规范，中期则应与连接器厂商共同定义 800V Busbar 接口和 Direct to Node 高压接口。

7.2.1 短期具体作法：800V 线缆连接器标准化

建议输出《800V DC Whip Connector & Cable Assembly Specification》，内容包括：

- 1) 额定电压：800VDC 或 $\pm 400\text{VDC}$ ；
- 2) 最大持续电压与瞬态过压；
- 3) 额定电流与峰值电流；
- 4) 最大温升与电压降；
- 5) 绝缘耐压与绝缘电阻；
- 6) PE Pin 先接后断；
- 7) HVIL 回路；
- 8) 预充触点；
- 9) 主功率触点延迟闭合；
- 10) 插销/锁扣解锁即断电；
- 11) 残压释放与状态显示；
- 12) Touch-proof 防护；
- 13) 线缆最小弯折半径；
- 14) 湿热、冷凝、液冷泄漏、振动与阻燃测试。

7.2.2 中期具体作法：Direct to Node 高压盲插接口

项目	具体作法
----	------

盲插容差	定义 X/Y/Z 三方向容差、导向结构、浮动量和插入力
安全顺序	PE 先接、讯号检测、预充、主功率闭合、拔出前断电
Touch-proof	节点抽出后不可触及危险带电体
残压管理	节点拔出前必须完成输入电容放电
液冷联锁	液冷快接头未锁定或泄漏时禁止主回路闭合
故障隔离	节点短路时只切除故障节点，不影响整柜母线
维修策略	预设禁止人工带载插拔，除非通过专门认证

项目	具体作法
盲插容差	定义 X/Y/Z 三方向容差、导向结构、浮动量和插入力
安全顺序	PE 先接、讯号检测、预充、主功率闭合、拔出前断电
Touch-proof	节点抽出后不可触及危险带电体
残压管理	节点拔出前必须完成输入电容放电
液冷联锁	液冷快接头未锁定或泄漏时禁止主回路闭合
故障隔离	节点短路时只切除故障节点，不影响整柜母线
维修策略	预设禁止人工带载插拔，除非通过专门认证

7.2.3 连接器验证矩阵

电气	额定电流、峰值电流、电压降、温升	额定曲线与降额曲线
绝缘	Hi-pot、IR、creepage/clearance review	绝缘裕量报告
插拔	插拔寿命、半插、慢拔、误插	插拔安全报告

安全	HVIL、预充、残压释放、PE continuity	状态机验证报告
环境	湿热、冷凝、液冷泄漏、振动	环境可靠性报告
故障	短路后安全性、端子过热、锁扣失效	故障后安全报告

7.3 铜排

铜排策略应区分 54V Busbar 与 800V Busbar 两类对象。54V Busbar 是短期 800V→54V 架构下的负载侧大电流瓶颈；800V Busbar 是中期共享母线和 Direct to Node 架构的基础。54V Busbar 需重点关注温升、压降、接触电阻和结构空间，800V Busbar 需重点关注绝缘、爬电距离、故障隔离和支路保护，同时液冷 Busbar 应作为重要方向预研。

7.3.1 54V Busbar 具体作法

- 1) 按 200kW、300kW、500kW、1MW 功率等级定义 54V 电流、Busbar 截面、压降与温升目标。
- 2) 定义在实际风道或液冷环境中的最大温升。
- 3) 定义螺栓规格、力矩、镀层、接触面积、抗松结构、接触电阻上限。
- 4) 在高风险连接点加入 NTC 或温度传感器。
- 5) 对母排搭接点进行热循环、振动和长期通流后接触电阻复测。

7.3.2 800V Busbar 具体作法

【新增建议表：800V Busbar 定义项】

项目	具体定义
电气边界	额定电压、最大持续电压、瞬态过压、额定电流、峰值电流
绝缘边界	绝缘包覆、creepage、clearance、CTI、污染等级、海拔降额
保护边界	支路保护、短路选择性、接地故障检测、绝缘监测
机械边界	支撑间距、固定方式、短路力、热膨胀、维护空间
安全边界	Touch-proof、维护盖板、残压显示、LOTO、警示标签

液冷边界	泄漏检测、冷凝测试、绝缘耐液、电腐蚀风险
------	----------------------

7.3.3 母排连接接口标准化

建议建立《Busbar Joint Design Guide》，覆盖接触面材料与镀层、螺栓规格与锁附力矩、接触电阻初始值与老化后上限、抗松结构、热循环后复测方法、现场安装扭矩记录、红外热像检查方法与维护后复验流程。

7.3.4 短路电力与保护协同

母排不能脱离保护策略单独设计。建议在铜排规范中加入最大预期短路电流、保护器件动作时间、 I^2t 能量、母排间距、支撑件强度、绝缘件耐热等级、故障后可触及安全状态，以及下级保护与上级保护选择性。

7.3.5 液冷 Busbar 预研方向

液冷 Busbar 是高功率机柜的重要方向，但不能只看散热收益。建议分两阶段推进：

- 1) 阶段一：非带电液冷结构验证
冷板/冷管材料兼容性、密封寿命、冷凝风险、泄漏检测、机械安装与维护流程。
- 2) 阶段二：带电高压环境验证
800V 绝缘耐液、液体污染后的绝缘电阻、冷凝后 creepage 风险、泄漏联动 HVIL、电腐蚀、故障后安全状态。

7.3.6 铜排开发流程建议

- 1) 确定系统功率等级：200kW、300kW、500kW、1MW。
- 2) 确定母线电压：54V、800V、±400V 或未来更高电压。
- 3) 完成电流与压降计算。
- 4) 完成热模拟。

- 5) 完成绝缘设计。
- 6) 完成短路力计算。
- 7) 完成样件验证。
- 8) 完成现场安装规范。

7.4 生态与工程

7.4.1 标准协同策略

联合国内头部企业，推动行业标准制定工作，减少技术方案碎片化现象。

7.4.2 工程落地策略

联合国内头部企业，优先在新建 AI 数据中心项目中部署 800V 供电架构，通过规模化部署实现成本优化。开展试点示范项目，验证技术方案的可行性和可靠性。

建议保留原 OAii V0.5 的工作组架构，并与本修订版 6.3、7.2、7.3 的交付物对齐：

工作组	建议任务
架构与界面组	定义 800V 供电链路框架、接口清单、参考架构
连接器与铜排组	定义连接器、线缆、Busbar 需求与测试方法
板级电源组	比较 800→54、800→12、800→6 路线与可靠性
安全合规组	建立 Safety Case、标准映像与认证路径
EDPp 与储能组	定义 EDPp 负载谱、动态补偿与示范测试方法

八、总结与展望

800V 高压直流是超高密 AI 机柜主流升级架构，短期采用 Sidecar 前级整流

+机柜集中 LLC 变换架构，依托 N+1/N+N 并联冗余提升供电容错，中长期 800V 直入服务器，搭配 VPD 垂直供电大幅缩短 GPU 供电路径、抑制动态压降，相比传统 AC 横向供电，整机能效提升 5%以上、全链路铜耗降低 45%以上。同时，800V 高压绝缘、高压连接器可靠性、GPU 垂直供电方案先进封装设计、整机高压安全防护体系等仍需进一步完善、迭代或突破，支撑下一代超大规模智算中心高效、稳定运行。